LABORATÓRIO DE ARQUITETURA DE COMPUTADORES

Experimento 4

Instrução de Salto Condicional

BEQ

SUMÁRIO

1 Introdução teórica

Este experimento é uma continuação do experimento anterior em direção à descrição do processador MIPS simplificado. Neste experimento vamos inserir os sinais de controle e circuitos necessários para a criação da instrução BEQ (Branch if equal). A instrução BEQ realiza um desvio condicional na execução do programa, semelhante ao desvio condicional de execução realizado pela instrução *if* da linguagem C.

1.1 Instrução BEQ

BEQ é uma instrução do tipo I-Format. Esta instrução compara o conteúdo dos registradores Rs e Rt e, se forem iguais, a execução do programa é desviada para o **endereço relativo** definido pelos bits menos significativos da instrução (15 a 0). Endereço relativo significa que o desvio ocorre em relação à posição atual de execução (próxima instrução). Os 16 bits menos significativos indicam de quantas instruções será o desvio para mais ou menos em relação ao (PC+1)[1], que aponta para a próxima instrução. Como o valor de desvio pode ser positivo ou negativo, é representado em complemento de 2 com sinal. Por exemplo, observe as instruções `beq` no código de máquina abaixo:

```
00: 8C020000;     -- lw $2,0 ;memory(00)=55
01: 8C030004;     -- lw $3,4 ;memory(01)=AA
02: 00430820;     -- add $1,$2,$3
03: AC010003C;    -- sw $1,12 ;memory(03)=FF
04: 1022FFFF;     -- beq $1,$2,-4
05: 1021FFFA;     -- beq $1,$1,-24
```

Na instrução `beq $1,$2,-4 (1022FFFF)`[2], se o conteúdo dos registradores $1 e $2 forem iguais, o salto ocorrerá para a própria instrução, pois FFFF corresponde ao valor decimal -1 (complemento de 2 com sinal) e (PC+1) aponta para a próxima instrução (endereço 05). Fazendo (PC+1) + (-1), o contador de programa passará a apontar para o endereço 04. Neste caso o programa ficará parado. Observe que tanto o valor a ser somado quanto o (PC+1) operam sobre uma palavra, de 4 bytes.

De forma equivalente, podemos concluir que a instrução `beq $1,$1,-24 (1022FFFA)` retorna o contador de programa para o início do programa, no endereço 00. Observe que FFFA corresponde ao valor decimal -6. Neste momento PC+1 aponta para o endereço 06. Fazendo (PC+1) + (-6) teremos o endereço 00. A instrução em *assembly* indica o desvio relativo como sendo -24 porque esta contagem está em bytes, mas em código de máquina contém o valor em palavras de 4 bytes, portanto -06.

2 Procedimento Prático

Crie um novo projeto de nome Exp04 e copie todos os arquivos do experimento 3. Altere o nome do arquivo Exp03 para Exp04, assim como o nome da entidade no arquivo. Selecione o menu “Assigments - Settings”, escolha a aba “Files” e clique em “Add All”, feche a janela. Isto fará com que o Quartus reconheça os arquivos copiados como parte do projeto e evitará alguns *warnings*. Com isto a lista dos arquivos poderá ser vista do lado esquerdo da janela escolhendo a guia “Files”.

[1] (PC+1) refere-se à próxima instrução, pois +1 indica o número de palavras, sendo que cada instrução tem 4 bytes.

[2] Observe que em assembly o valor a ser somado é dado em bytes e em linguagem de máquina é dado em palavras/instruções (4 bytes).

A figura a seguir ilustra as alterações necessárias no circuito para criar a instrução BEQ. Se o sinal de controle indicar que é uma instrução do tipo *Branch* e **(AND)** o resultado da ULA indicar que o conteúdo dos registradores Rs e Rt são iguais (*zero*), o NextPC deve ser o resultado da soma do PC+1 (words) com o signExtend (words), caso contrário o NextPC deve ser o PC+1.

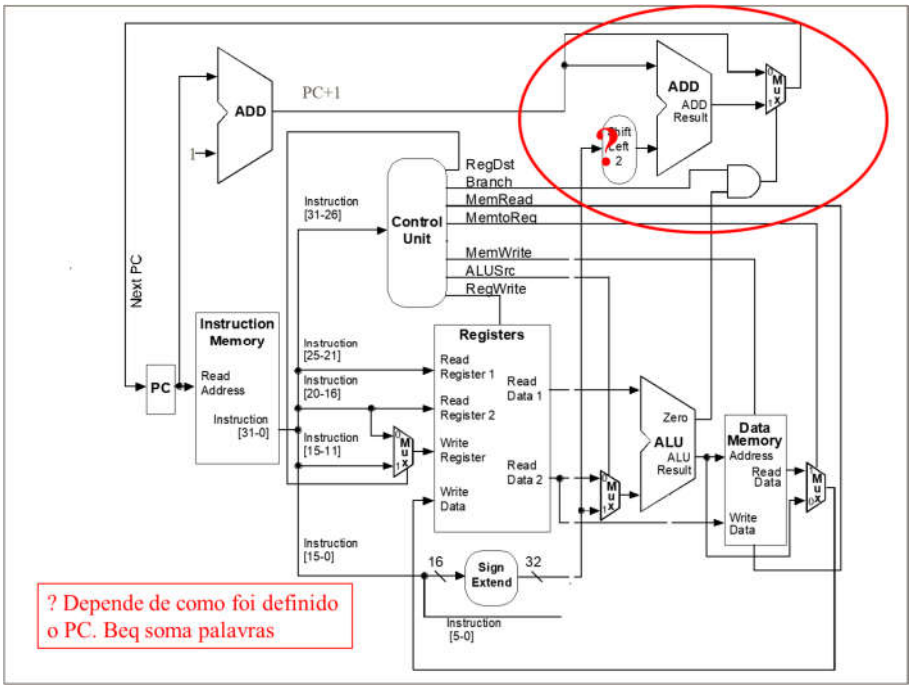

Figura 1 – Projeto MIPS parcial

Então temos as seguintes alterações a serem feitas sobre o experimento anterior para obter o esquema da Figura 1:

- Criação do sinal de controle Branch (entidade CONTROL), que é ativo alto sempre que for uma instrução do tipo beq;
- Criação do sinal Zero da ULA (entidade EXECUTE), que é ativo alto sempre que Rs=Rt;
- Criar o circuito ADD (entidade EXECUTE), que deve somar o endereço do PC+1 (words) com o SigExtend (words), gerando sinal ADDResult;
- Criar o multiplexador (entidade IFETCH) que decide se o fluxo de execução do programa segue o curso normal (NextPC <= PCInc = PC+1) ou desvia (NextPC <= ADDResult), se os sinais Branch E Zero forem ativos.
- Ajuste as entradas e saídas (IN, OUT) das entidades alteradas acima para fazer as novas ligações através do port map.
- Façam Ctr-C e Ctr-V das novas definições de PORT das entidades CONTROL, EXECUTE e IFETCH para a declaração dos componentes na entidade TLE (Exp04).
- Faça as ligações "Port map" necessárias na TLE.
- Importe os pinos de I/O do arquivo Exp03.csv e defina os pinos não utilizados como "As Input tri-state". Compile.

Observe que o código VHDL deve ser alterado para obter o fluxo de dados marcado pela região em vermelho. Agora o NextPC não mais recebe o sinal PC+1, mas sim a saída de um multiplexador (MUX) que escolhe entre PC+1 e o endereço de salto da instrução BEQ.

Observação: nos livros o SignExtend é multiplicado por 4 (shift left 2), porque a memória e PC são referenciados em bytes. Se estamos usando endereçamento por palavras, somamos diretamente o PC+1 (PCinc em palavras) com o SignExtend que já está em palavras.

```
-- MIPS Instruction Memory Initialization File
Depth = 256;
Width = 32;
Address_radix = HEX;
Data_radix = HEX;
Content
Begin
    00: 8C020000;    -- lw $2,0 ;memory(00)=55
    01: 8C030004;    -- lw $3,4 ;memory(01)=AA
    02: 00430820;    -- add $1,$2,$3
    03: AC01000C;    -- sw $1,12 ;memory(03)=FF
    04: 8C04000C;    -- lw $4,3 ;memory(03)=FFFFFFFF
    05: 1022FFFF;    -- beq $1,$2,-4
    06: 1021FFF9;    -- beq $1,$1,-28
  [07..FF]: 00000000;
End;
```

Figura 2 – Estado Inicial de Memória

3 Experimento

Implemente a descrição no simulador Quartus II e compile. Simule e teste o modelo descrito para verificar se o comportamento é como o esperado.

SIMULAÇÃO (usar RTL Simulation)

- Crie um sinal de clock com período de 100pS e duty cycle de 50%, início alto.
- Crie um sinal de reset que inicia ativo (=1) e permanece até 175pS, indo para zero até o final da simulação. Este intervalo de tempo é necessário para a simulação de leitura de memória.
- Adicione os sinais de saída que deseja monitorar.
- Use a opção de visualizar "Memory list" para acompanhar as alterações de memória e registradores.

TESTE

Somente se a simulação for bem sucedida, faça upload para a placa após o *check list*. Para teste na placa faça:

- Ative o reset, dê um pulso de clock com o reset ativo, após desative o reset.
- O conteúdo da primeira posição de memória deve aparecer no display de LCD.
- Mude a chave SW1 para mostrar o resultado da soma ou memória, retorne para ver a instrução. Confira se o resultado é o esperado para aquela instrução, considerando o valor dos registradores naquele momento.
- Pulse o clock para ler as demais posições.

4 Resultados

Relatório

Faça um relatório (arquivo pdf) e entregue até a data definida através do AVA, juntamente com os arquivos VHDL das entidades alteradas (IFETCH, EXECUTE E CONTROL). O relatório deve conter:

- Identificação do experimento e grupo conforme modelo.
- Resumo do experimento (1/2 a 1 página)
- Imagem do simulador com as ondas de simulação e teste.
- Explicação pontual sobre o instante de tempo da imagem de simulação apresentada, **RELACIONANDO** a instrução da memória de programa com as mudanças nos sinais de saída. Esta explicação deve deixar claro que a simulação representa o funcionamento correto do código de máquina (instruções), considerando que a instrução BEQ possuis duas condições: de desvio e de continuação, portanto ambas precisam ser testadas.

5 Bibliografia

D'Amore, R. VHDL: Descrição e Síntese de Circuitos Digitais. LTC. 2005.

Hamblen, J.O; Hall, T.S. & Furman, M.D – Rapid Prototyping of Digital Systems: SOPC Edition. Springer, 2008.