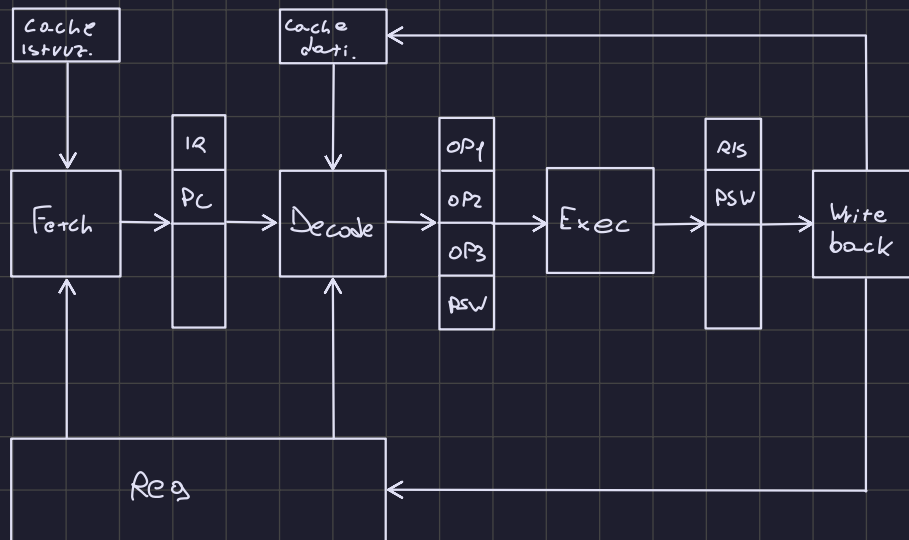


Esame 15/06/2022

1.1) Si disegni lo schema di un'architettura a pipeline a 4 stadi e si spieghi come sia possibile che il CPI medio possa tendere a 1. Quali sono le motivazioni che tendono a produrre un CPI medio superiore a 1?

Lo schema di un'architettura a pipeline a 4 stadi è il seguente:



Si divide il ciclo fetch-decode-execute della CPU in più stadi e ognuno di essi scriverà in un registro temporaneo dedicato. Tutti i registri temporanei verranno poi uniti in un unico registro alla fine della pipeline.

Quando la pipeline riceve una serie di istruzioni, al primo ciclo di clock verrà eseguita la fetch della prima istruzione, al secondo la fetch della seconda e la decode della prima e così via. In questo modo si eseguono più istruzioni in 1 ciclo di clock riducendo così il CPI medio. Aggiungendo anche altre ottimizzazioni come ad esempio cache dati e istruzioni separate set associative, un'architettura a 3 bus, branch prediction, pre-fetch, CPU RISC.

Le motivazioni che portano il CPI medio sopra a 1 sono lo stallo della pipeline che rallenta l'esecuzione delle istruzioni nel caso in cui ci siano tante dipendenze tra esse; un numero troppo elevato di pipeline che porta ad avere dipendenze tra pipeline diverse che sono complicate da gestire; tante letture dalla memoria; sbilanciamento elevato tra le dimensioni delle memorie; istruzioni assembly troppo complesse; architettura ad 1 bus; mancanza di branch prediction; cache dati e istruzioni unite.

1.2) Qual è l'espressione a 3 fattori che descrive il tempo di esecuzione di un programma su una CPU? Quali di questi 3 fattori sono migliori in un'architettura CISC e quali in una RISC?

L'espressione a 3 fattori che descrive il tempo di esecuzione di un programma su una CPU è:

$$T_{cpu} = N_{ist} \cdot CPI_m \cdot \frac{1}{f_{clk}}$$

Nell'architettura RISC si avrà una frequenza più alta e un CPI medio più basso dovuti a istruzioni più semplici ma più numerose.

Nell'architettura CISC si avranno istruzioni più complesse, di conseguenza meno numerose, ma si avrà CPI medio più alto visto che le istruzioni sono più articolate e la frequenza sarà più bassa.

2.1) Si consideri una cache di 4KB con indirizzamento diretto, in cui ogni posizione immagazzina 8 parole di memoria. La memoria è di 32MB, con parole di 8bit. A quanti bit corrisponde il campo etichetta di una data posizione della cache?

dim cache = 4KB

dim blocco = 8B

dim RAM = 32MB indirizzata al byte



n° indirizzi RAM = 2^{25} → servono 25 bit per indirizzare tutta la ram

$$\text{Blocco} = \frac{\text{dim cache}}{\text{dim Blocco}} = \frac{2^{12}}{2^3} = 2^9$$

$$\text{Etichetta} = \frac{2^{25}}{2^8 \cdot 2^9} = 2^8$$

2.2) Si discuta il problema del passaggio da indirizzi logici di memoria a indirizzi fisici nel caso di un sistema di memoria paginato. Si riporti un esempio.

Il problema principale è che la ram è divisa in pagine, quindi bisogna trasformare ognuna di esse da indirizzi di memoria logici a indirizzi di memoria fisici. Prima di tutto per ogni processo la memoria appare come infinita e questo è dovuto a 3 funzioni:

Rilocazione: posiziona un processo all'interno della memoria e ne salva l'inizio e la fine rispettivamente nei registri base e limit. In questo modo il processo accede alla sua area di memoria tramite indirizzi relativi e questo gli impedisce di accedere ad aree di memoria esterne a quella che gli è stata assegnata. Il problema della rilocazione è che più processi si possono sovrapporre, questo viene risolto con la paginazione.

Paginazione: divide la memoria ram in pagine e di conseguenza anche il processo, in questo modo si possono avere delle pagine in qualsiasi posizione:

Proc 0		0
Proc 1		1
Proc 0		2
Proc 2		3
Proc 3		4
	⋮	

Nasce però un problema, cioè quello di dover tradurre gli indirizzi logici in quelli fisici e questo viene risolto grazie ad una tabella delle pagine che contiene per ogni indirizzo logico l'indirizzo fisico associato ad esso. Questa tabella viene salvata interamente nella RAM perchè non è troppo grande e ne viene caricata soltanto una parte nella CPU per velocizzare la ricerca.

Memoria virtuale: esiste un numero minimo di pagine per cui la velocità di esecuzione di un processo non cambia chiamato working set e saranno le uniche pagine caricate in memoria, il resto delle pagine rimangono sul disco rigido in uno spazio riservato al sistema operativo chiamato swap space e verranno scambiate solo quando servono.