

# Architettura degli elaboratori

## Esercitazione

UniVR - Dipartimento di Informatica

**Fabio Irimie**

2° Semestre 2023/2024

# Indice

<b>1</b>	<b>Pipeline</b>	<b>2</b>
1.1	Esercizio 1 . . . . .	2
1.2	Esercizio 2 . . . . .	2
1.3	Esercizio 3 . . . . .	2
1.4	Esercizio 4 . . . . .	2
1.5	Esercizio 5 . . . . .	3
1.6	Esercizio 6 . . . . .	3
1.7	Esercizio 7 . . . . .	3

# 1 Pipeline

## 1.1 Esercizio 1

Si consideri una CPU con una pipeline a 5 stadi (F, D, E, M, S). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1.

Istruzione	1	2	3	4	5	6	7	8	9	10	11
addl %eax, %ebx	F	D	E	M	S						
movl \$4, %ecx		F	D	E	M	S					
subl %ebx, %ecx			F	D	D	D	D	M	S		
movl \$4, %edx				F	F	F	F	D	E	M	S

## 1.2 Esercizio 2

Si consideri una CPU con una pipeline a 5 stadi (F, D, E, M, S). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1.

Istruzione	1	2	3	4	5	6	7	8	9	10	11
ciclo: addl %eax, %ebx	F	D	E	M	S		F	D	D	E	M
movl \$4, %ecx		F	D	E	M	S		F	F	D	E
subl %eax, %edx			F	D	E	M	S			F	D
movl \$6, %ebx				F	D	E	M	S			F
jmp ciclo					F	D	E	M	S		

## 1.3 Esercizio 3

Si consideri una CPU con una pipeline a 5 stadi (F, D, E, M, S). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1. Si ipotizzi che il salto avvenga. Si ignorino le tecniche del Delay Slot e della Branch Prediction. I commenti #yes e #no indicano se il salto avviene o meno.

Istruzione	1	2	3	4	5	6	7	8	9	10	11	12	13
inizio: inc %ebx	F	D	E	M	S				F	D	E	M	S
movl %ecx, %edx		F	D	E	M	S				F	D	E	M
cmpl %eax, 0x86FF			F	D	E	M	S				F	D	E
jne inizio #yes				F	D	D	D	D	E	M	S	F	D
movl %ecx, %edx					F	F	F	F					F

## 1.4 Esercizio 4

Si consideri una CPU con una pipeline a 5 stadi (F, D, E, M, S). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1 e che il salto non avvenga.

Istruzione	1	2	3	4	5	6	7	8	9	10	11
START: subl %eax, %ebx	F	D	E	M	S						
jz START #no		F	D	D	D	D	E	M	S		
subl %ebx, %ecx			F	F	F	F	D	E	M	S	
movl %edx, %eax							F	D	E	M	S

## 1.5 Esercizio 5

Si consideri una CPU con una pipeline a 5 stadi (F, D, E, M, S). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1 e che il salto non avvenga.

Istruzione	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
ciclo: addl %eax, %ebx	F	D	E	M	S										
movl %edx, %ecx		F	D	E	M	S									
subl %ebx, %ecx			F	D	D	D	D	E	M	S					
jz ciclo #no				F	F	F	F	D	D	D	D	E	M	S	
movl %ecx, %edx								F	F	F	F	D	E	M	S

## 1.6 Esercizio 6

Si consideri una CPU con una pipeline a 4 stadi (F, D, E, W). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi che la pipeline sia vuota al tempo 1 e che jz faccia riferimento all'istruzione subl.

Istruzione	1	2	3	4	5	6	7	8	9	10	11	12	13
ciclo: addl %eax, %ebx	F	D	E	W									
movl %ebx, %ecx		F	D	D	D	E	W						
subl %eax, %ecx			F	F	F	D	D	D	E	W			
jz ciclo #no						F	F	F	D	D	D	E	W

## 1.7 Esercizio 7

Si consideri una CPU con una pipeline a 5 stadi (F, D, E, M, S). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1 e si facciano le opportune ipotesi sul salto condizionale.

Nel caso in cui il salto non viene effettuato il diagramma sarà il seguente:

Istruzione	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
init: movl %ecx, %edx	F	D	E	M	S										
addl \$4, %ebx		F	D	E	M	S									
cmpl 0x319FA, %ebx			F	D	D	D	D	E	M	S					
jnz init #no				F	F	F	F	D	D	D	D	E	M	S	
addl %eax, %ecx								F	F	F	F	D	E	M	S

Nel caso in cui il salto viene effettuato il diagramma sarà il seguente:

Istruzione	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
init: movl %ecx, %edx	F	D	E	M	S							F	D	E	M	S		
addl \$4, %ebx		F	D	E	M	S							F	D	E	M	S	
cmpl 0x319FA, %ebx			F	D	D	D	D	E	M	S				F	D	D	D	D
jnz init #yes				F	F	F	F	D	D	D	D	E	M	S	F	F	F	F
addl %eax, %ecx								F	F	F	F							