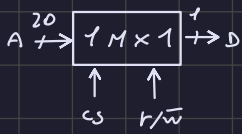
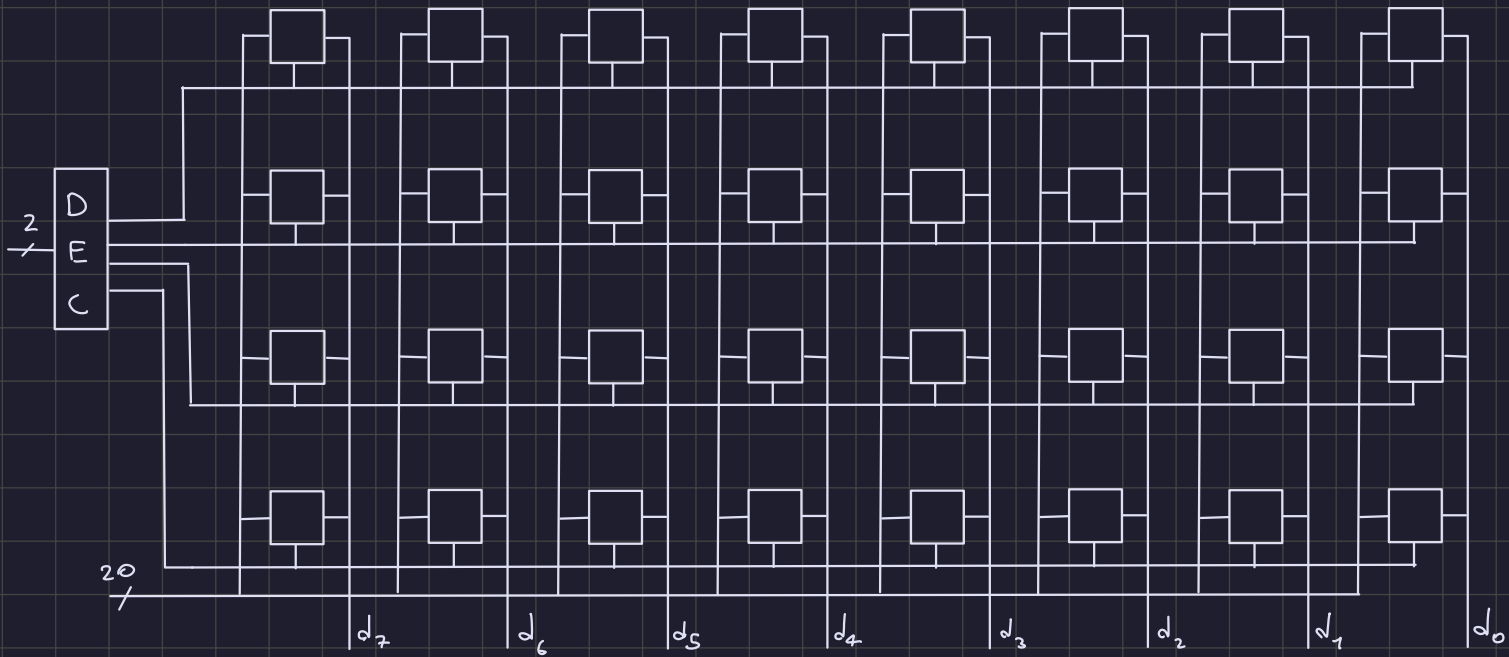


SRAM DRAM

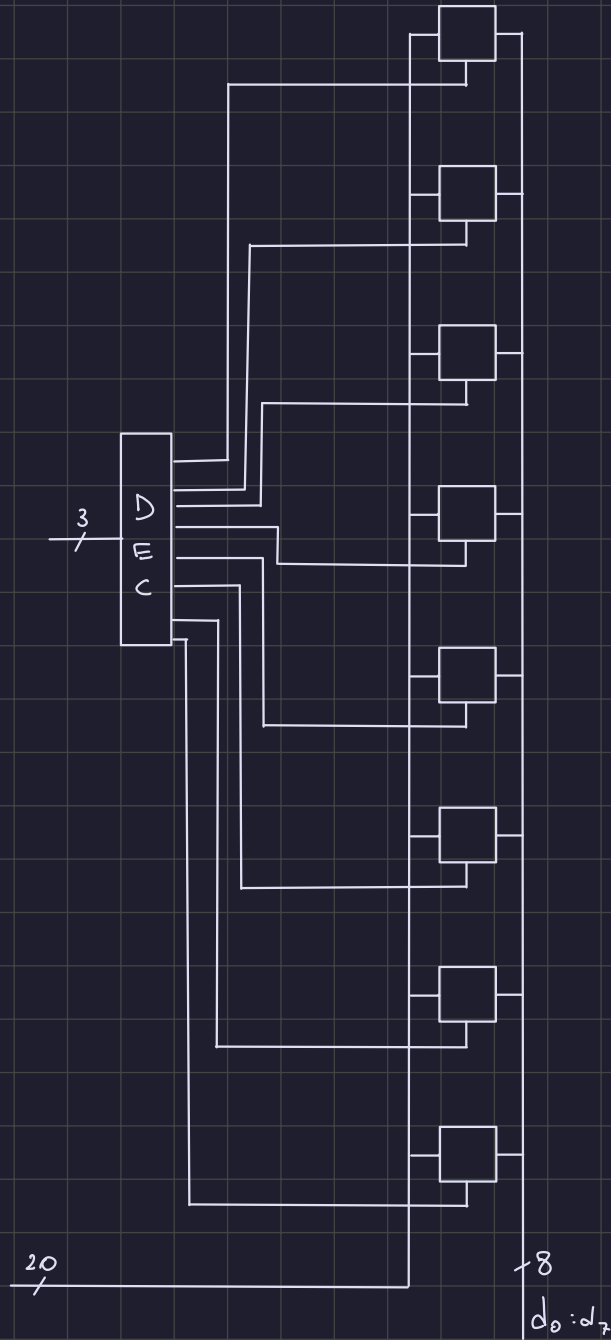
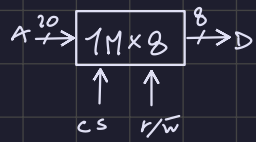
Progetta una SRAM di 4MByte indirizzabile al byte utilizzando chip 1Mx1



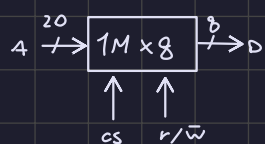
1M indirizzi \rightarrow 20 bit



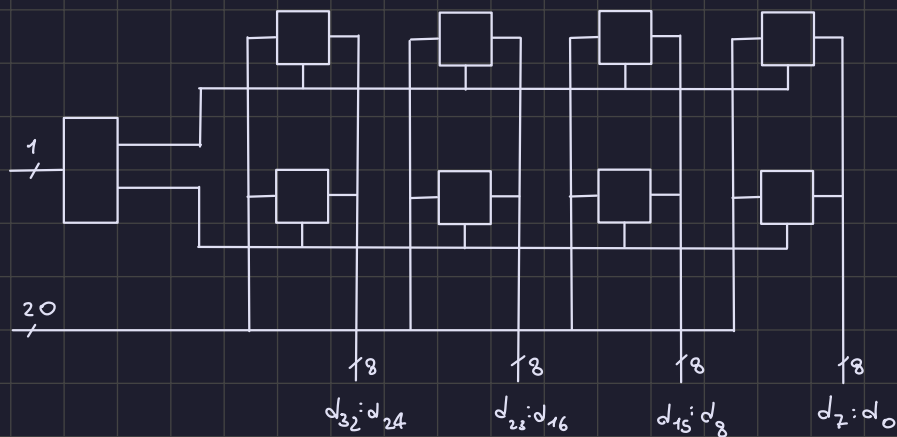
Si realizzi una SRAM da 8MB indirizzata al byte con chip da 1Mx8



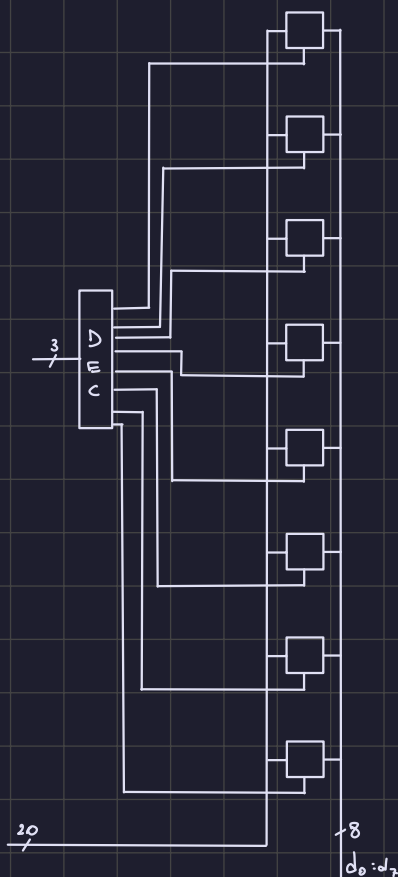
Si realizzi una SRAM da $2M \times 32$ indirizzabile a 32 bit con un chip $1M \times 8$



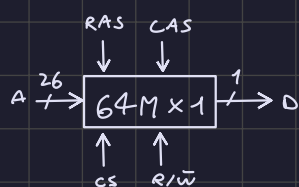
Ogni chip ha 8 bit di output, per fare una SRAM indirizzabile a 32 bit avremo bisogno di $\frac{32}{8} = 4$ colonne



Mantenendo le specifiche della precedente SRAM la si indirizzi al byte



Si realizzi una DRAM da $256M \times 8$ indirizzabile al byte con chip da $64M \times 1$



Il chip ha in output 1 bit, quindi per indirizzare al byte (8 bit) serviranno 8 colonne. Ogni chip è da $64M$, quindi per arrivare a una memoria di $256M$ serviranno $\frac{256M}{64M} = 4$ righe

colonne = 8

righe = 4

