

Simulation d'un compteur 8 bits sur  
carte Cmod A7

Utilisation d'Analog Discovery 2  
Logic Analyzer

Découverte de Vivado:  
simulation fonctionnelle – testbench  
VHDL

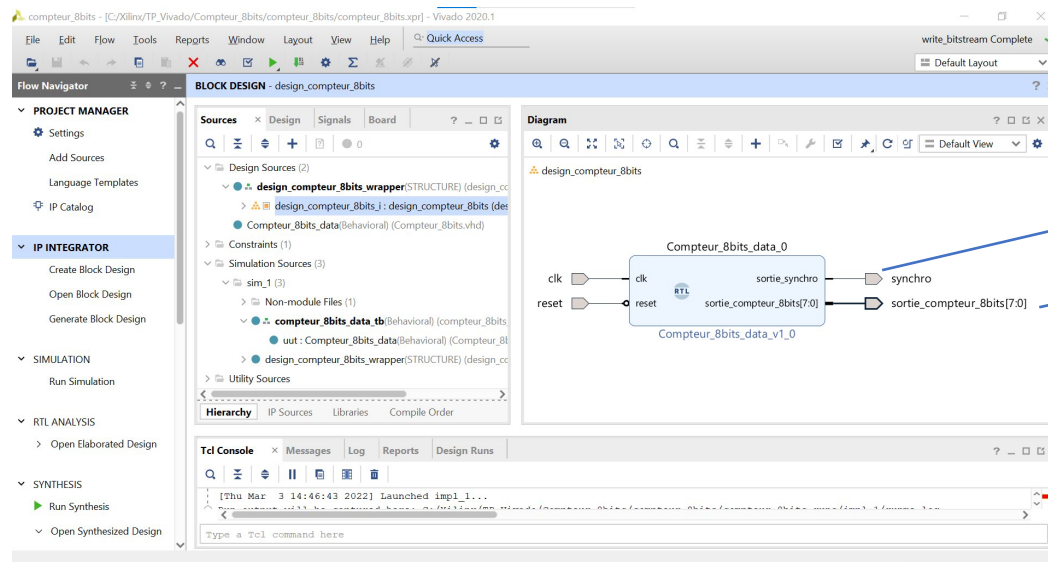


# Simulation d'un compteur 8 bits sur carte Cmod A7

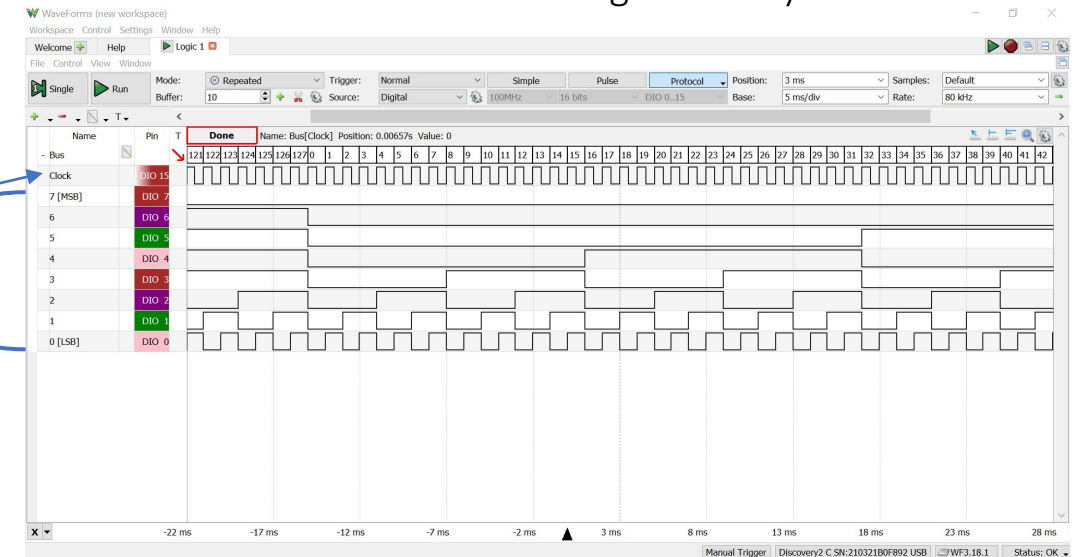
## Utilisation d'Analog Discovery 2

### Logic Analyzer

Vivado 2020.1



Waveforms on analog discovery 2



# Simulation d'un compteur 8 bits sur carte Cmod A7

## Utilisation d'Analog Discovery 2

### Logic Analyzer

Vivado 2020.1 simulation RTL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity compteur_8bits_data_tb is
-- Port ( );
end compteur_8bits_data_tb;
architecture Behavioral of compteur_8bits_data_tb is
    component compteur_8bits_data
        Port ( clk : in STD_LOGIC;
              reset : in STD_LOGIC;
              sortie_synchro : out STD_LOGIC;
              sortie_compteur_8bits : out STD_LOGIC_VECTOR (7 downto 0) );
    end component;
    signal clk : std_logic;
    signal reset : std_logic;
    signal sortie_synchro : STD_LOGIC;
    signal sortie_compteur_8bits : std_logic_vector(7 downto 0);
begin
    -- Instantiate the Unit Under Test (UUT)
    uut: compteur_8bits_data PORT MAP (
        clk => clk,
        reset => reset,
        sortie_synchro => sortie_synchro,
        sortie_compteur_8bits => sortie_compteur_8bits
    );

    clkgen : process --generation d'un signal d'horloge @ 1KHz
    begin
        clk <= '1';
        wait for 40ns;
        clk <= '0';
        wait for 40ns;
    end process;

    rst : process
    begin
        reset <= '1';
        wait for 1us;
        reset <= '0';
        wait;
    end process;
end Behavioral;
```



Test bench Compteur 8bits

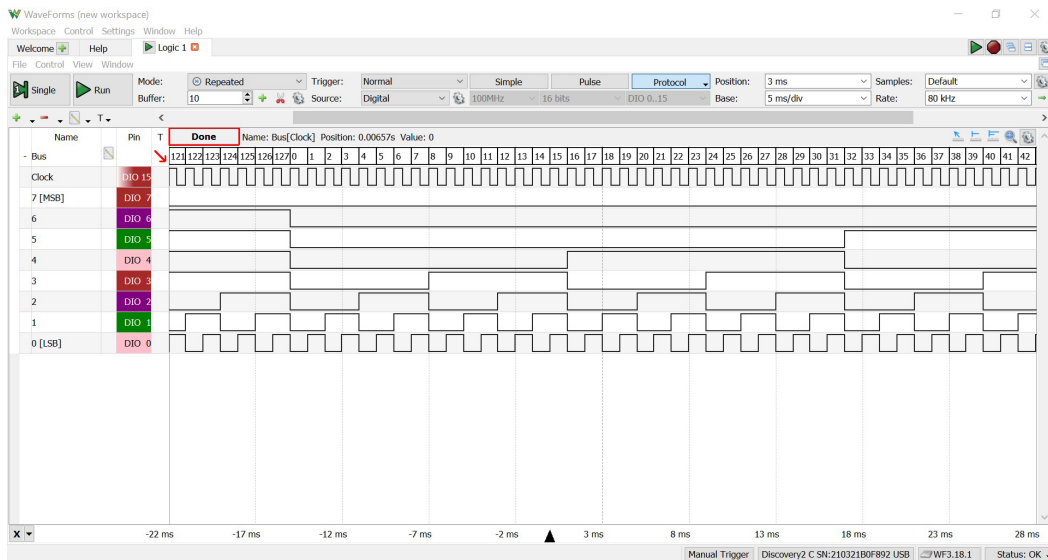


# Simulation d'un compteur 8 bits sur carte Cmod A7

## Utilisation d'Analog Discovery 2

Comparaison entre la simulation fonctionnel et la mesure avec le module Analog Discovery (digital chanel)

Analyseur Logique Analog Discovery 2



Test bench Compteur 8bits

