

**ÉCOLE D'INGÉNIEUR SUP GALILÉE**  
**INSTRUMENTATION**  
**ANNÉE UNIVERSITAIRE 2020-2021**

**Rapport de Stage**

**Générations de signaux haute fréquence basé  
sur la carte Red Pitaya FPGA.**

*Projet réalisé par*

PAEZ Edward

*Projet encadré par*

WIOTTE Fabrice

## **Remerciements**

Tout d'abord, je tiens à remercier mon maître de stage, Monsieur WIOTTE Fabrice, Ingénieur CNRS du LPL. Je tiens à le remercier pour son accueil chaleureux dans son département, ainsi que pour ses soutiens, ses remarques pertinentes et son encouragement.

Je tiens également à remercier les professeurs de la Université Sorbonne Paris Nord, qui m'ont fourni les outils nécessaires à la réussite de mon stage. Je tiens particulièrement à remercier Monsieur Frédéric DU BURCK, enseignant-chercheur, qui a été le premier à me soutenir dans ma recherche de stage.

Enfin, un grand merci à ma mère et à mon père, pour leurs conseils, ainsi que pour leur soutien inconditionnel, tant moral qu'économique.

Merci à toutes et à tous

## Table des matières

<b>Remerciements .....</b>	<b>2</b>
<b>Table des matières .....</b>	<b>3</b>
<b>Résumé .....</b>	<b>4</b>
<b>Introduction .....</b>	<b>5</b>
<b>I. Présentation du projet .....</b>	<b>6</b>
<b>1.1 Les principaux objectifs .....</b>	<b>6</b>
<b>1.2 Les équipements et outils utilisé .....</b>	<b>6</b>
<b>1.2.1 La carte Red Pitaya .....</b>	<b>6</b>
<b>1.2.2 L'environnement VIVADO 2018.2 .....</b>	<b>8</b>
<b>1.2.3 L'environnement SDK 2018.2 .....</b>	<b>9</b>
<b>1.3 La Planification de Projet .....</b>	<b>10</b>
<b>1.3.1 Cahier des charges .....</b>	<b>10</b>
<b>II. L'évolution du projet .....</b>	<b>10</b>
<b>2.1 Installation de Vivado 2018.2 .....</b>	<b>10</b>
<b>2.5 Conception Détaillée .....</b>	<b>11</b>
<b>III. Finalisation .....</b>	<b>13</b>
<b>3.1 Tests .....</b>	<b>13</b>
<b>3.2 Difficultés rencontrés .....</b>	<b>15</b>
<b>3.3 Évolution possible .....</b>	<b>15</b>
<b>Conclusion .....</b>	<b>16</b>
<b>Table des illustrations .....</b>	<b>17</b>
<b>Annexe .....</b>	<b>18</b>
<b>Projet_main.c SDK .....</b>	<b>18</b>

# **PROJET :**

## **Générations de signaux haute fréquence basé sur la carte Red Pitaya FPGA.**

Projet réalisé par : **Edward PAEZ**

Projet encadré par : **WIOTTE Fabrice**

### **Résumé**

Ce rapport relate la conception d'un Système de Générations de signaux haute fréquence basé sur la carte Red Pitaya qui est une carte de développement comme Arduino ou Raspberry Pi, où les possibilités sont infinies. La particularité de cette carte est sa capacité de gérer des signaux rapides jusqu'à 50Mhz. La carte est basée sur un système sur puce FPGA de la gamme Xilinx Zynq qui permet de combiner la capacité de programmation d'un cœur ARM Cortex-A9 à double cœur et les capacités matérielles d'un FPGA permettent de fournir un système d'une performance inégalée.

Dans ce système, la carte est équipée de deux entrées et deux sorties analogiques RF (125 MS/s). Différente résolution sont proposé (10,14 ou 16 bits) dans notre cas 10 bits, quatre entrées et quatre sorties analogiques (100 kS/s), ainsi que de 16 ports entrées/sorties logiques universels. Coté connectivité, nous pouvons compter sur un port ETHERNET 1 Gbit, un port USB 2.0 et autre protocoles (I2C, SPI, UART), le tout peut être autonome grâce à la carte SD.

Pour le soft la carte est basée sur le système d'exploitation GNU/Linux. Elle peut être programmée avec différents niveaux avec une variété d'interfaces logicielles, les langages de programmation sont : VHDL/Verilog, C/C++, Python/Jupyter, et un serveur web intégré (NGINX) pour des interfaces web basées sur HTML/JavaScript.

**MOTS-CLÉS :** Red Pitaya, Arduino, Raspberry Pi, FPGA, Xilinx Zynq, ARM, Cortex-A9, RF, ETHERNET, I2C, SPI, UART, SD, HDL/Verilog, C/C++.

## Introduction

Du 26 avril à 25 juin 2021 (2 mois), j'ai effectué mon stage de recherche ingénieur, dans lequel j'étais chargé de la conception d'un système de génération de signaux de haute fréquence avec la carte Red Pitaya qui est basée sur un Zynq FPGA + CPU pour le laboratoire de physique des lasers (LPL). Lors de ce stage de 2 mois, je voulais en apprendre plus sur l'électronique embarquée avec les FPGA. Un vrai plus pour mon projet professionnel.

Le laboratoire de physique des lasers (LPL) se situe dans l'avenue Jean-Baptiste Clément, 93430 Villetaneuse France. Le LPL fait des recherches sur les interactions entre la lumière et la matière. Certaines de ses expériences sont très fondamentales, et d'autres appliquées. Dans ce cadre le laboratoire fait l'étude de la physique quantique, la physique atomique et moléculaire, des systèmes optiques et l'optique biomédicale.

Mon stage au département électronique a consisté en la conception d'un système de génération de signaux de haute fréquence. Ce stage m'a permis de percevoir comment un laboratoire se développe dans le secteur de la recherche.

# I. Présentation du projet

## 1.1 Les principaux objectifs

Objective général

- Programmation de la carte Red Pitaya pour la génération de signaux haute fréquence avec Vivado 2018.2.
- Programmation d'une interface graphique sous Visual Studio.

## 1.2 Les équipements et outils utilisé

### 1.2.1 La carte Red Pitaya

La carte RedPitaya est une carte de développement comme Arduino ou Raspberry Pi, où les possibilités sont infinies. La particularité de cette carte est sa capacité de gérer des signaux rapides jusqu'à 50Mhz.

La carte est basée sur un système sur puce SOC — FPGA de la gamme Xilinx Zynq qui permet de combiner la capacité de programmation d'un cœur ARM Cortex-A9 à double cœur (LINUX embarqué). Les capacités matérielles d'un FPGA permettent de fournir un système d'une performance inégalée.

Une vue d'ensemble des broches peut être trouvée dans l'image suivante :

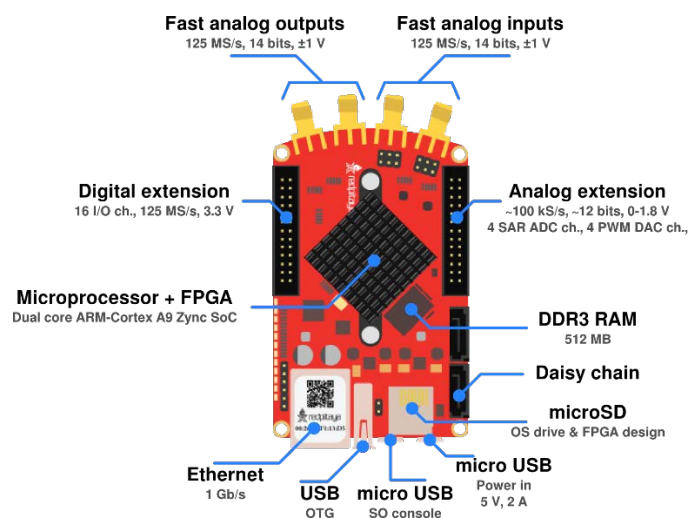


Figure 1: Architecture Red Pitaya

La technologie embarquée est entrée dans presque tous les aspects de la vie quotidienne et les conceptions qui doivent fonctionner à un niveau de performance élevé ne doivent pas nécessairement avoir un coût extrême lié à une consommation d'énergie plus élevée. Inversement, les conceptions qui doivent répondre à des exigences strictes en matière de consommation d'énergie peuvent tout de même atteindre des objectifs de performance relativement élevés. Xilinx s'est concentré sur l'innovation en matière d'architecture. Pour la série 7, Xilinx a introduit une gamme complète de FPGA évolutifs. Les blocs de construction FPGA de base (cellules logiques, blocs DSP, BlockRAM, etc.) sont tous cohérents dans la série 7, ce qui simplifie considérablement la migration des conceptions. Le Zynq-7000 SoC est composé des deux principaux blocs fonctionnels suivants :

## 1. Système de traitement (PS)

- ✓ Unité de processeur d'application (APU)
- ✓ Interfaces mémoire
- ✓ Périphériques d'E/S (IOP)
- ✓ Interconnexion

## 2. Logique programmable (PL)

- ✓ Bascules/portes logiques et LUT's
- ✓ Traitement numérique du signal (DSP)
- ✓ Périphériques d'E/S (IOP)
- ✓ Interconnexion

Composants clés :

	STEMlab 125-10
Processor	Processor DUAL CORE ARM CORTEX A9
FPGA	FPGA Xilinx Zynq 7010 SOC
RAM	256MB (2Gb)
System memory	Micro SD up to 32GB
Console connection	USB to serial converter required
Power connector	Micro USB
Power consumption	5V, 1,5A max

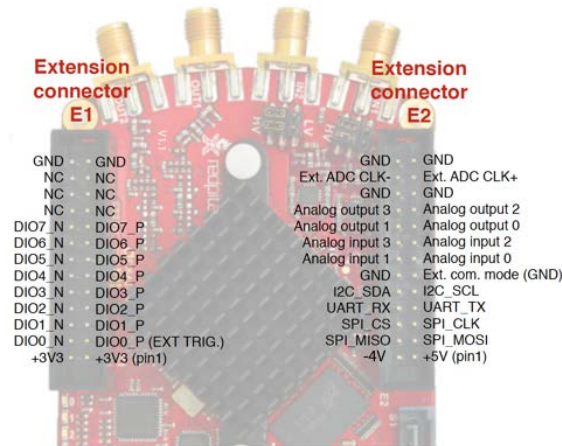
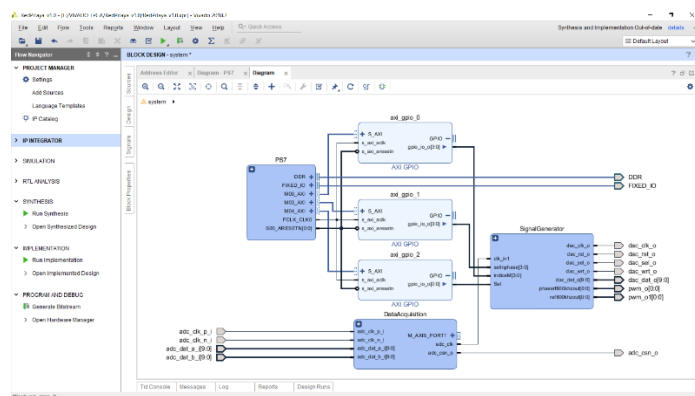


Figure 2: Pinout Red Pitaya

### 1.2.2 L'environnement VIVADO 2018.2



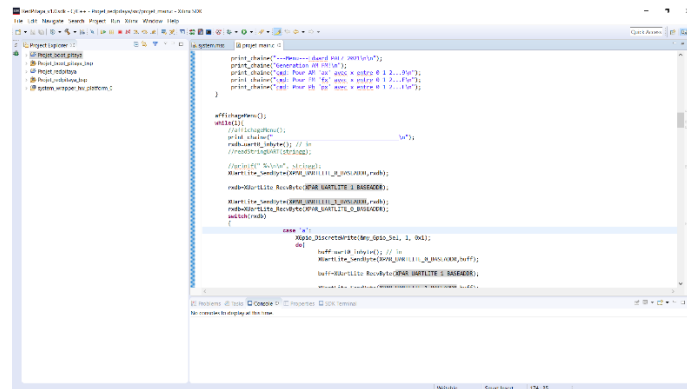
Vivado® Design Suite offre un environnement de développement de nouvelle génération, centré sur les circuits intégrés et les systèmes, qui a été conçu dès le départ pour résoudre les problèmes de productivité liés à l'intégration et à la mise en œuvre au niveau des systèmes.

L'environnement intégré pour le développement, la simulation et la compilation du code HDL pré et post synthèse. Il prend en charge le développement de plateformes



nécessaire aux développement logiciel. Vivado intègre un environnement de développement graphique : IP Integrator

### 1.2.3 L'environnement SDK 2018.2



Le kit de développement logiciel (SDK) de Xilinx® est un environnement de développement intégré (IDE) pour le développement d'applications logicielles embarquées destinées aux processeurs embarqués de Xilinx. Le SDK fonctionne avec les conceptions matérielles créées avec Vivado® Design Suite. Le SDK est basé sur la norme open source Eclipse. Les caractéristiques du SDK comprennent :

Un éditeur de code C/C++ et un environnement de compilation riches en fonctionnalités.

Gestion de projet

Configuration de la construction d'applications et génération automatique de Makefile

Navigation dans les erreurs

Environnement bien intégré pour le débogage et le profilage sans faille des cibles embarquées.

Contrôle de la version du code source

Analyse des performances au niveau du système

Outils spéciaux ciblés pour configurer le FPGA.

Création d'images amorçables

Programmation Flash

Outil de ligne de commande scriptable

### **1.3 La Planification de Projet**

#### **1.3.1 Cahier des charges**

Décrivant l'ensemble des conditions attachées à l'exécution du projet, le cahier des charges nous a permis dans un premier temps, de définir le contexte, les enjeux, les objectifs techniques ainsi que les livrables et les axes de développement envisagés. En organisant nos idées, nous avons ainsi pu vérifier la concordance et la faisabilité de notre projet.

## **II. L'évolution du projet**

### **2.1 Installation de Vivado 2018.2**

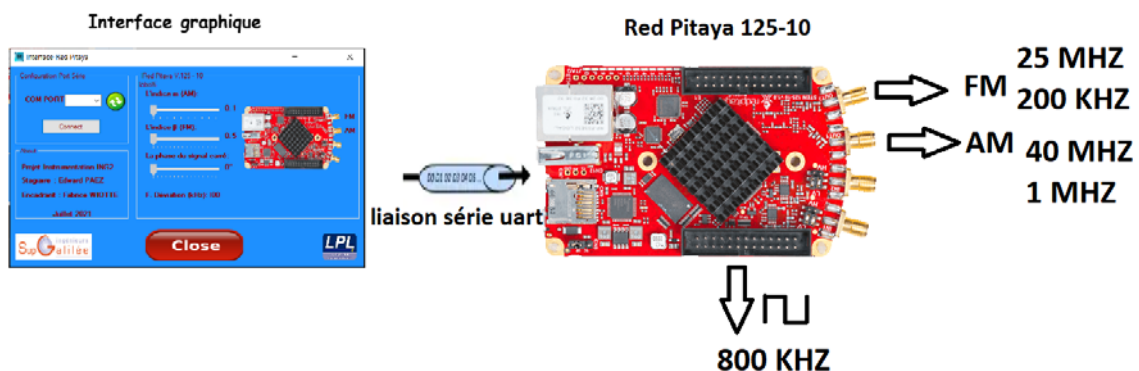
Voici les différentes étapes pour l'installation de la suite logicielle Vivado de Xilinx.

Dans un premier temps, créer vous un compte sur le site de Xilinx. Vous en aurez besoin pour télécharger les logiciels et récupérer un fichier de licence : <https://secure.xilinx.com/webreg/createUser.do?>.

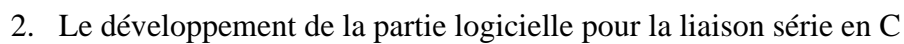
Pour télécharger le logiciel, rendez-vous ensuite sur la page des téléchargements :  
<http://www.xilinx.com/support/download.html>.

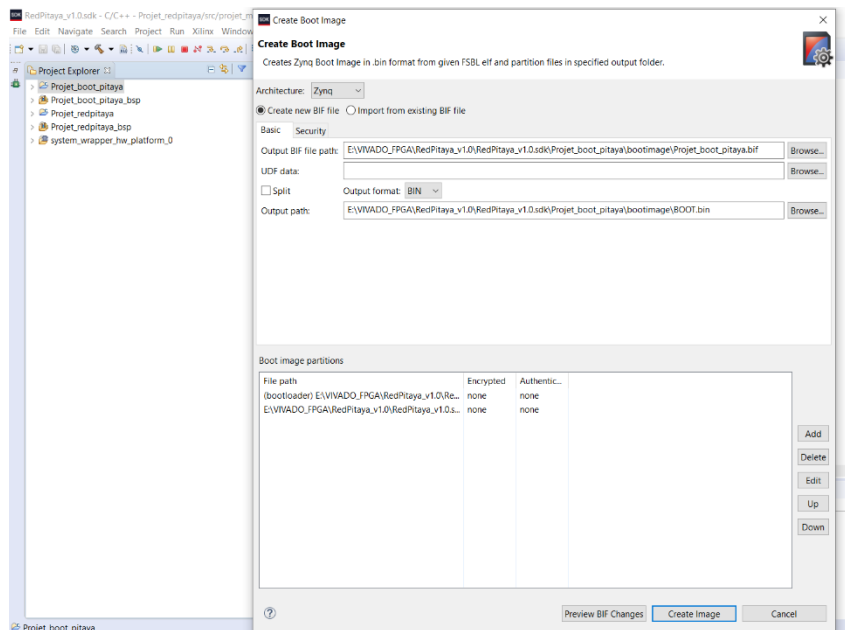
Vous avez le choix entre le téléchargement avec le client web (1.8 Go nécessaire) ou de télécharger la version complète (entre 4.5 et 4.7 Go). Le client web permet de ne télécharger que ce dont vous avez besoin, et donc de ne pas télécharger l'ensemble des logiciels de la suite. Le téléchargement de la version complète utilise un utilitaire de téléchargement en JAVA, pensez donc à autoriser les applets sur votre navigateur. Dans un cas comme dans l'autre, vous pouvez reprendre votre téléchargement en cas de problème

## 2.5 Conception Détaillée



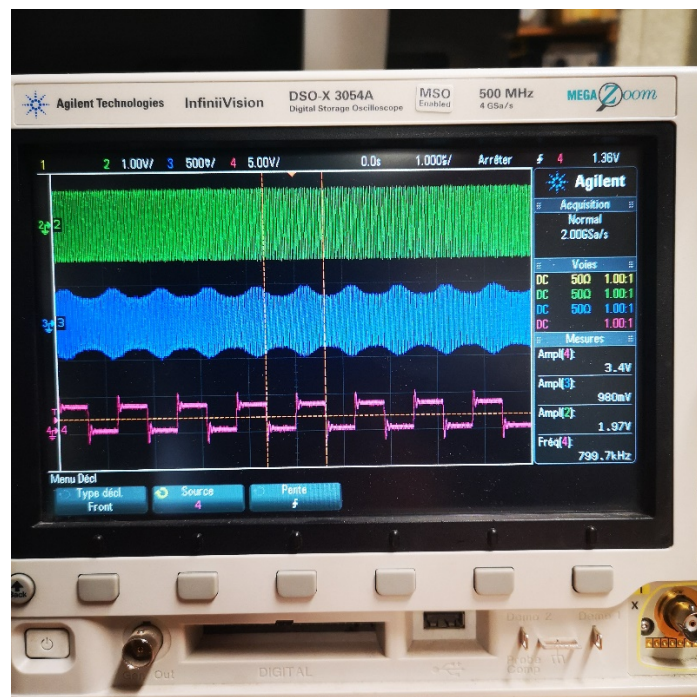
1. La définition de tout la partie matérielle et fonctionnel avec VIVADO pour faire « Export Hardware » en VHDL ou Verilog et aussi des IP's (Intellectual Property) de la bibliothèque Xilinx.

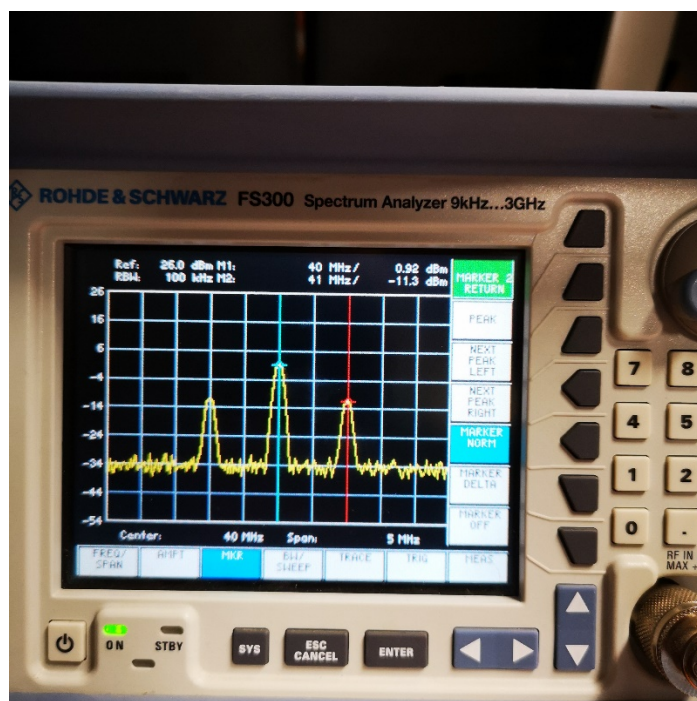
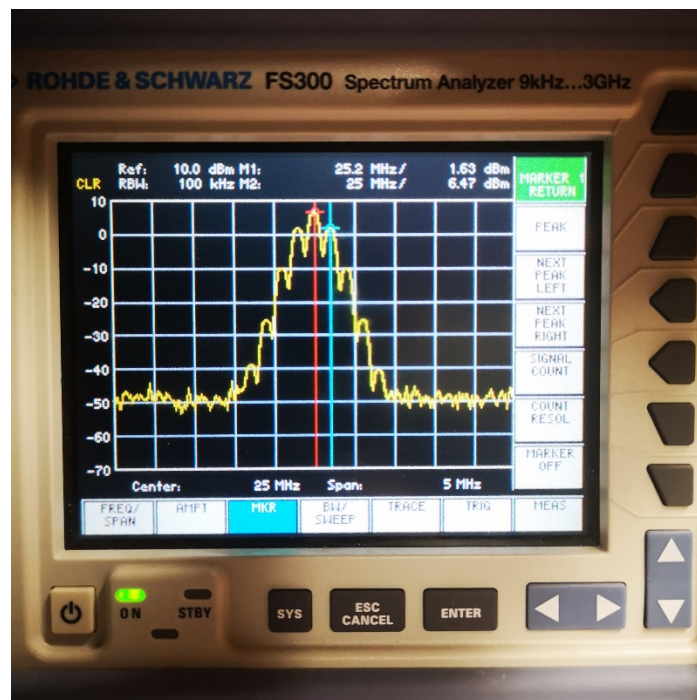




## III. Finalisation

### 3.1 Tests







### **3.2 Difficultés rencontrés**

La documentation fournie par le fabricant de la carte Red Pitaya il n'est pas complet dans son ensemble, Il manque des détails précis dans le schéma électronique, par conséquence Il a fallu que on fasse de l'ingénierie inverse pour regarder le chemin de distribution électrique des certains composants.

### **3.3 Évolution possible**

L'évolution du projet vers la carte Red pitaya 125-14 qui permettra la synchronisation du ADC/DAC à travers une horloge externe. Ce qui va permettre une détection synchrone plus efficace.

## Conclusion

Pour conclure, j'ai effectué mon stage de recherche ingénieur, dans lequel j'étais chargé de la conception d'un système de génération de signaux de haute fréquence avec la carte Red Pitaya qui est basée sur un Zynq FPGA + CPU pour le laboratoire de physique des lasers (LPL). Lors de ce stage de 2 mois, j'ai pu mettre en pratique mes connaissances théoriques acquises durant ma formation sur l'électronique embarquée, FPGA et C#, je me suis tout de suite confronté aux difficultés du monde du travail dans le secteur électronique la métrologie, molécules et tests fondamentaux.

Ce stage a été très enrichissant pour moi, car il m'a permis de découvrir le domaine de l'électronique embarquée, ses acteurs et contraintes. Il m'a permis de participer concrètement à ses enjeux au travers mes missions en conception des différentes parties du projet.

Cette expérience de stage fut très constructive et m'a permis de répondre aux questionnements que j'avais en ce qui concerne l'utilisation d'un Zynq de la série 7000 qu'on exploite à la fois la partie processeur (PS pour Processing System) et le réseau de portes configurable (PL pour Programmable Logic). Et puis la communication entre la partie processeur et le réseau de portes configurable s'effectue grâce au bus AXI, ressource interne à la partie PS.

Fort de cette expérience et en réponse à ses enjeux, j'aimerais beaucoup par la suite essayer de m'orienter vers un prochain stage dans le domaine spatial pour des équipements de type avionique, carte processeur, traitement de signal, traitement d'images, compression de données, mémoire de masse, télécommunication, cryptographie, etc.



## Table des illustrations

Figure 1: Architecture Red Pitaya.....	6
Figure 2: Pinout Red Pitaya .....	8

## **Annexe**

Projet\_main.c SDK