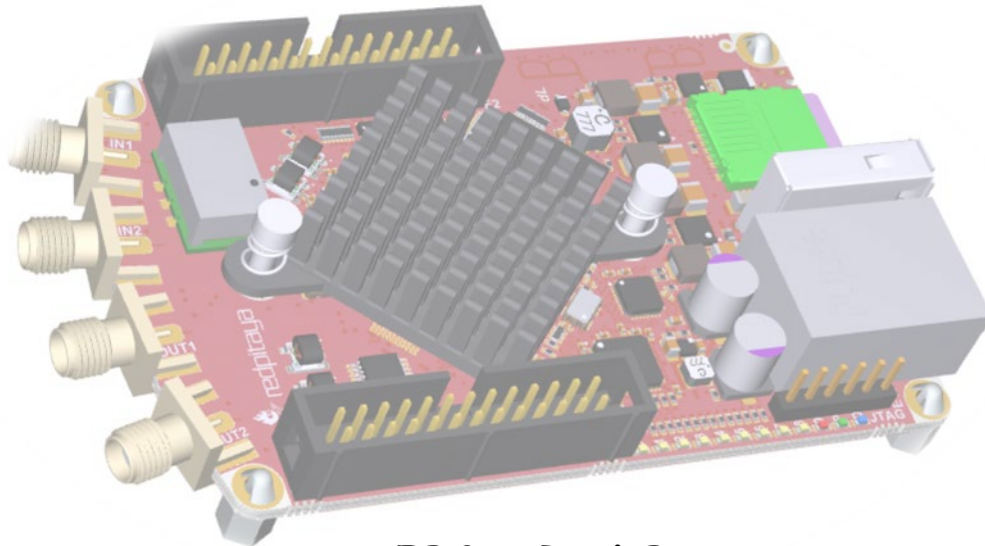


Soutenance

Stage Recherche Ingénieur



Sujet: FPGA Red Pitaya

Encadrant:
Fabrice Wiotte
Frédéric Du Burck

PAEZ Edward

Stage: Avril-Juin 2021 (2 mois)



- Présentation de l'entreprise
- Contexte du stage
- Le projet
- La carte Red Pitaya
- Travail réalisé
- Bilan d'expérience

LPL - Laboratoire de Physique des Lasers

- Les interactions entre la lumière et la matière



Axes d'études:

- Atomes aux interfaces
- Lasers pour le vivant
- Gaz quantiques
- Métrologie, Molécules et Tests Fondamentaux (MMT)
- Photonique organique et nanostructures (PON)

Département Électronique du LPL

- Team (F. Wiotte (IE), H. Mouhamad (AI) et L. Malinge (TCN))
- Possibilité de discuter avec l'équipe
- Matériel disponible
- Lieu adéquate pour effectuer des tests

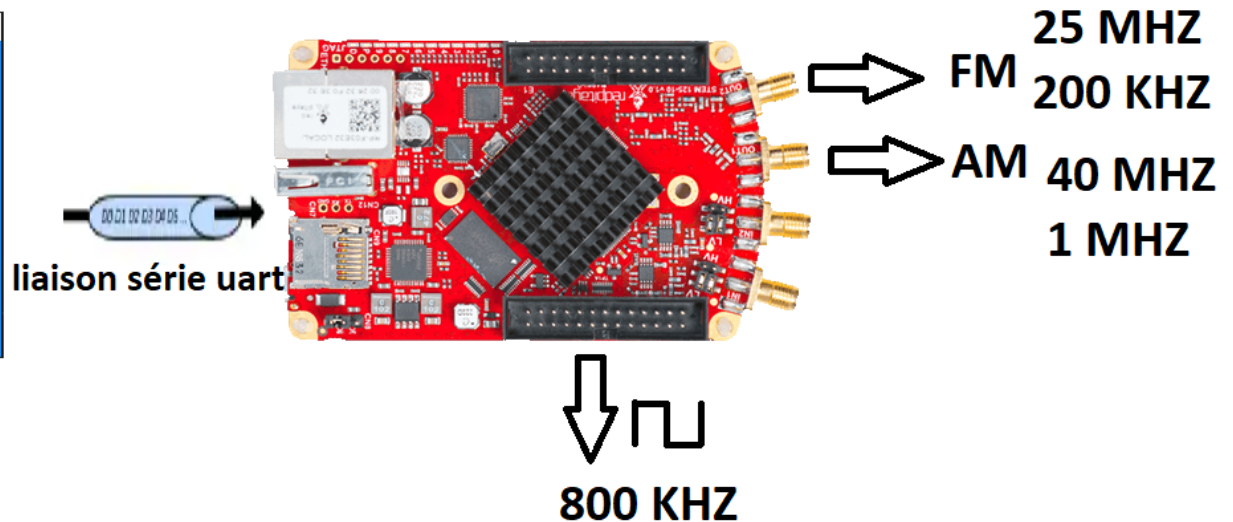
Mission: Génération de signaux haute fréquence avec la carte Red Pitaya (FPGA+CPU)

Mots-clefs: Modernité + Organisation + Savoir-faire

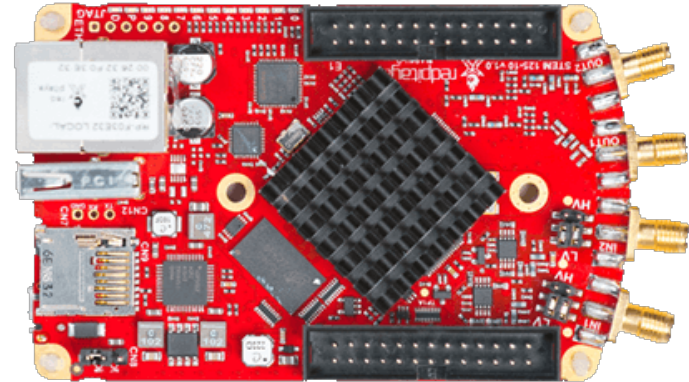
Interface graphique



Red Pitaya 125-10



| | |
|--------------------|-----------------------------------|
| | STEMlab 125-10 |
| Processor | Processor DUAL CORE ARM CORTEX A9 |
| FPGA | FPGA Xilinx Zynq 7010 SOC |
| RAM | 256MB (2Gb) |
| System memory | Micro SD up to 32GB |
| Console connection | USB to serial converter required |
| Power connector | Micro USB |
| Power consumption | 5V, 1,5A max |
| | STEMlab 125-10 |
| RF input channels | 2 |
| Sample rate | 125 MS/s |
| ADC resolution | 10 bit |
| Input impedance | 1M Ω m/10pF |
| | STEMlab 125-10 |
| RF output channels | 2 |
| Sample rate | 125 MS/s |
| DAC resolution | 10 bit |
| Load impedance | 50 Ω m |
| Voltage range | \pm 1V |



| | |
|------------------------------|----------------|
| | STEMlab 125-10 |
| Digital IOs | 16 |
| Analog inputs | 4 |
| Analog inputs voltage range | 0-3,5V |
| Sample rate | 100kS/s |
| Resolution | 12bit |
| Analog outputs | 4 |
| Analog outputs voltage range | 0-1,8V |
| Communication interfaces | I2C, SPI, UART |
| Available voltages | +5V,+3,3V,-4V |
| external ADC clock | N/A |

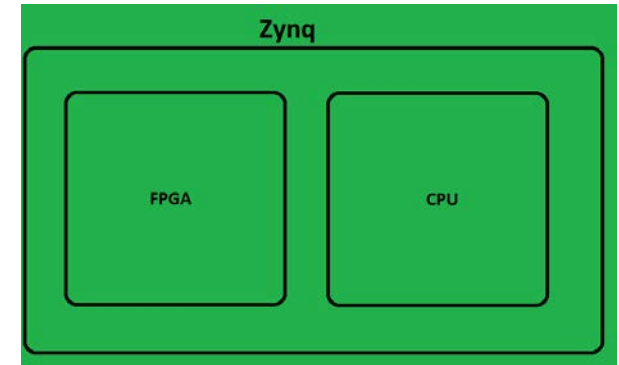
Le Zynq-7000 SoC est composé des deux principaux blocs fonctionnels suivants :

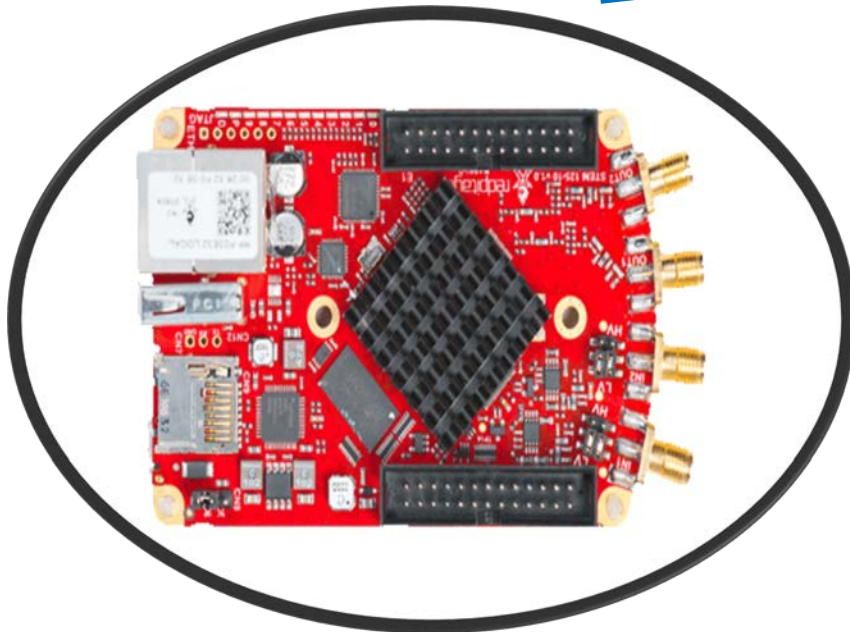
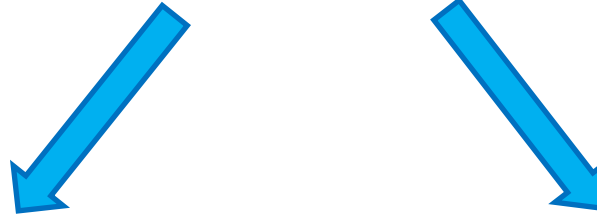
1. Système de traitement (PS)

- ✓ Unité de processeur d'application (APU)
- ✓ Interfaces mémoire
- ✓ Périphériques d'E/S (IOP)
- ✓ Interconnexion

2. Logique programmable (PL)

- ✓ Bascules/portes logiques et LUT's
- ✓ Traitement numérique du signal (DSP)
- ✓ Périphériques d'E/S (IOP)
- ✓ Interconnexion





Programmation de la carte Red Pitaya

Interface graphique avec Visual Studio C#

Programmation avec VIVADO 2018.2

1. La définition de tout la partie matérielle et fonctionnel avec VIVADO pour faire « Export Hardware » en VHDL ou Verilog et aussi des IP's (Intellectual Property) de la bibliothèque Xilinx.

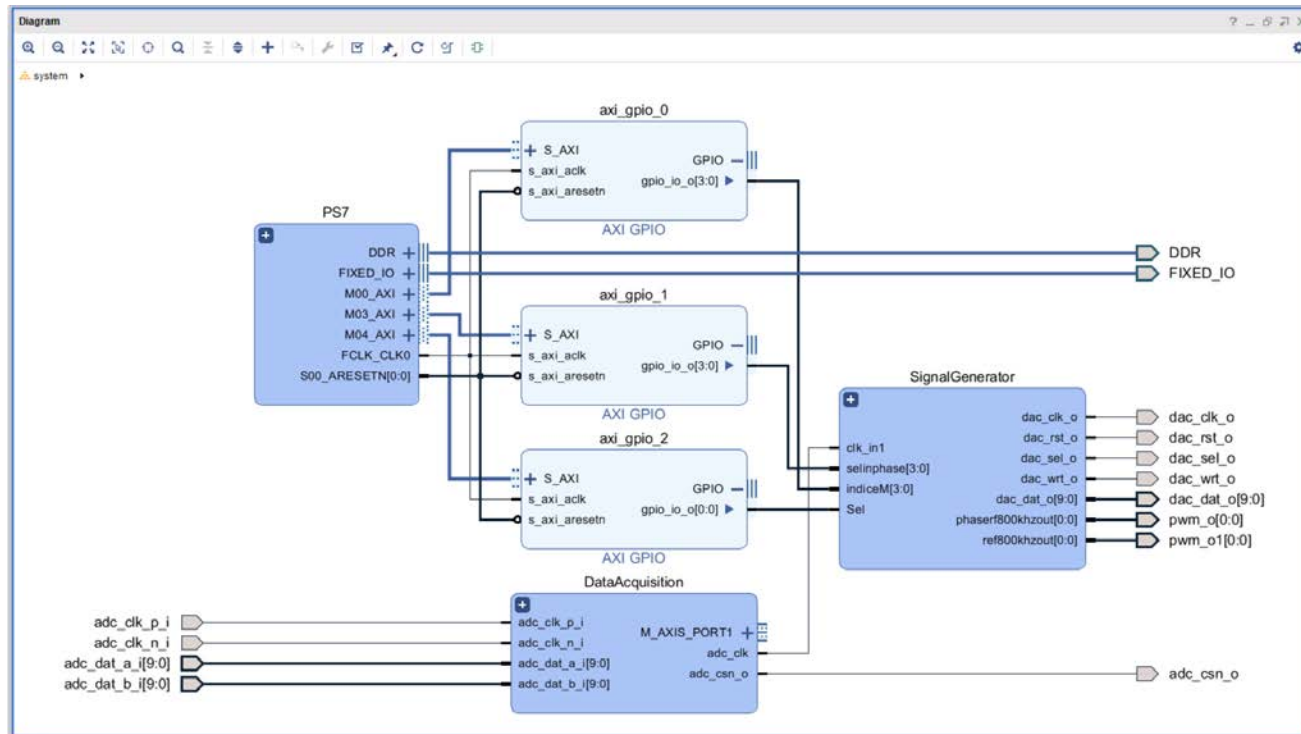


Diagramme général

Programmation avec VIVADO 2018.2

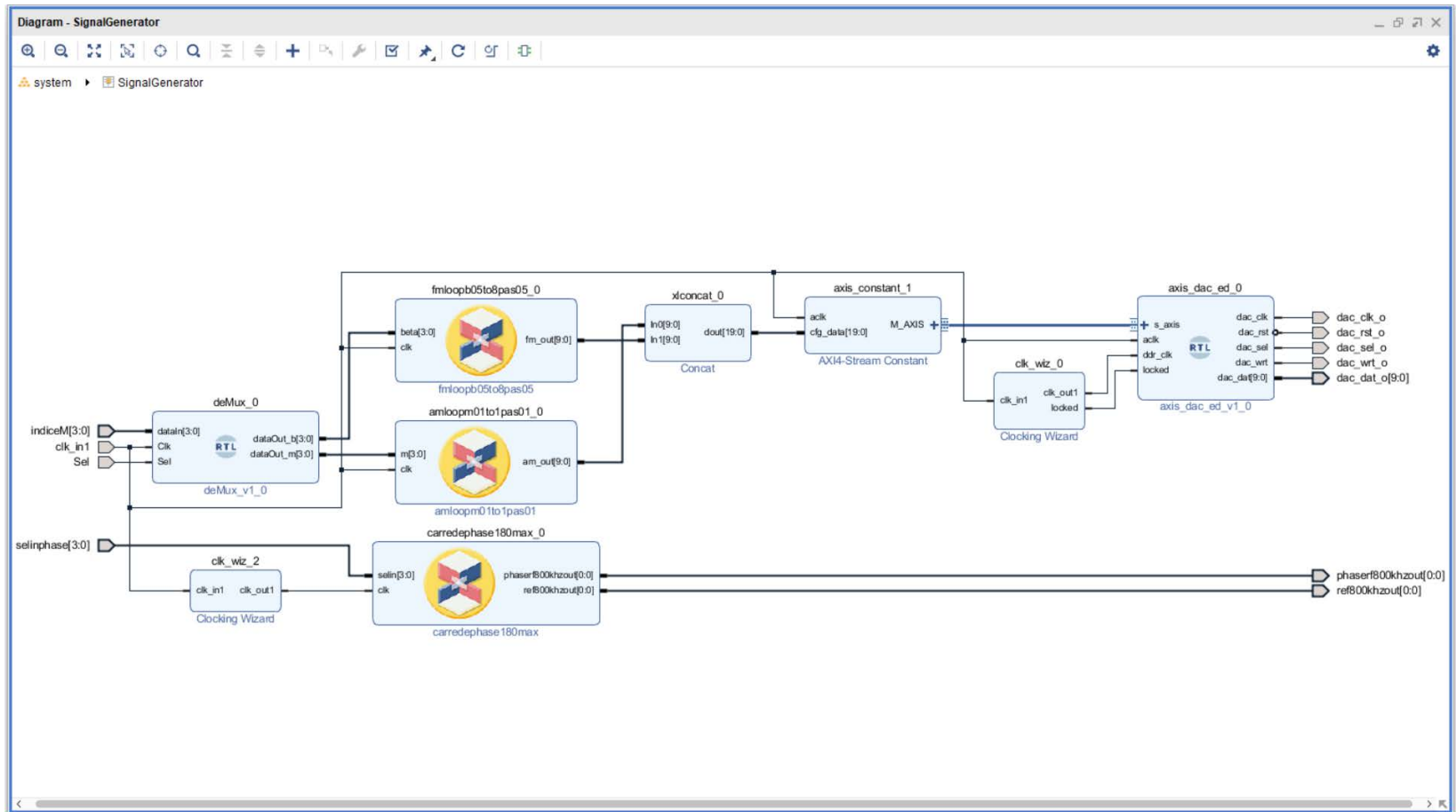
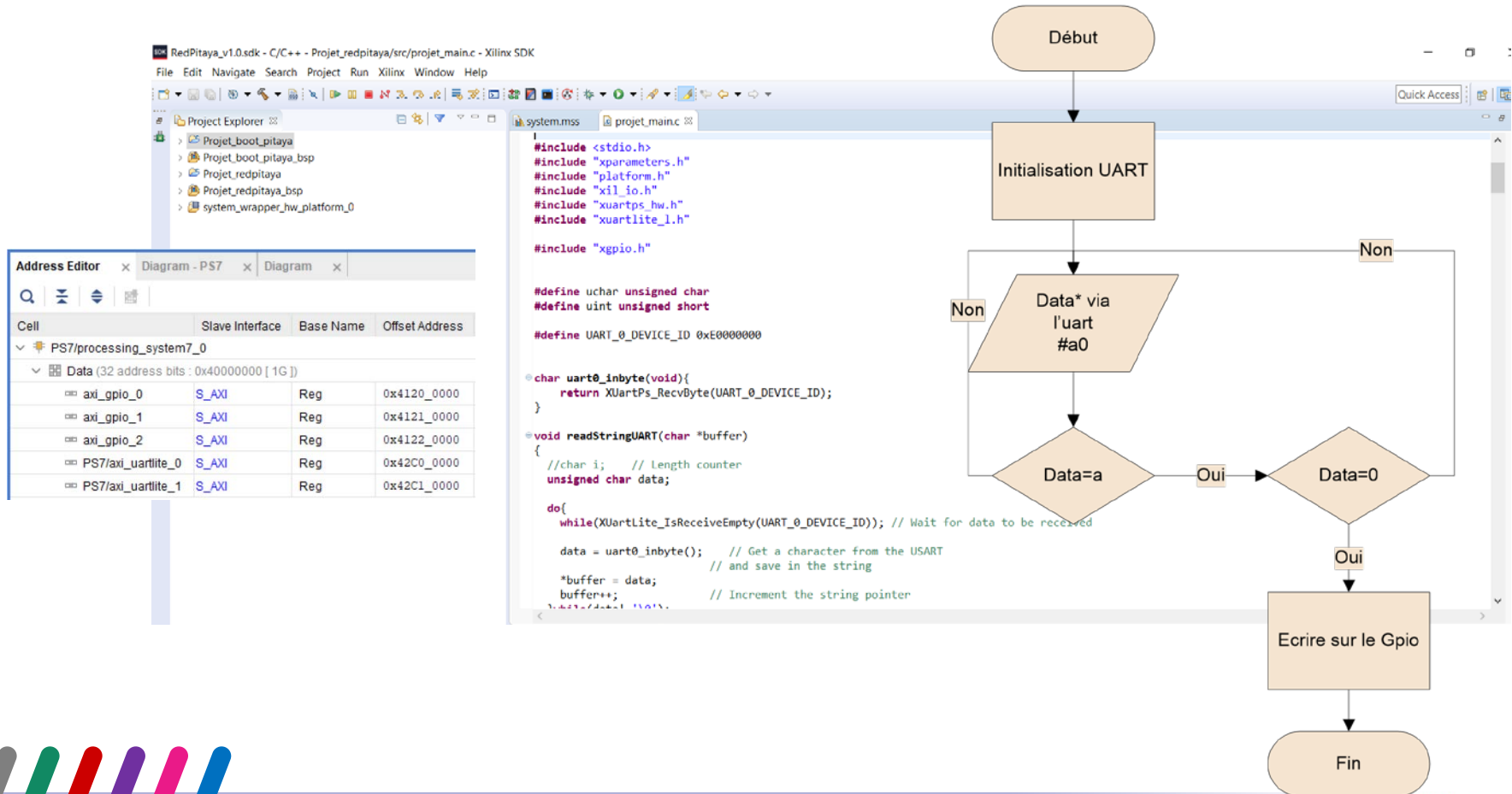


Diagramme de Génération de signal

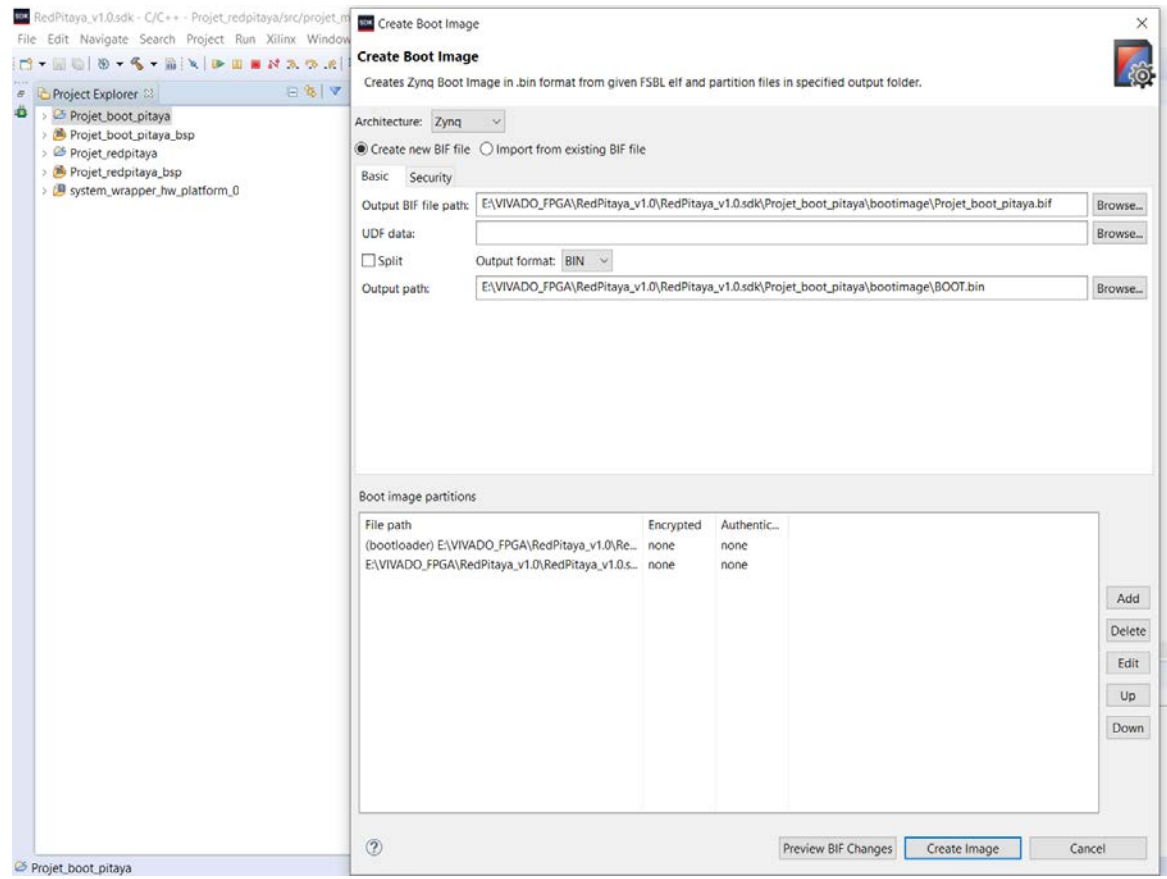
Programmation avec SDK 2018.2

2. Le développement de la partie logicielle pour la liaison série en C.



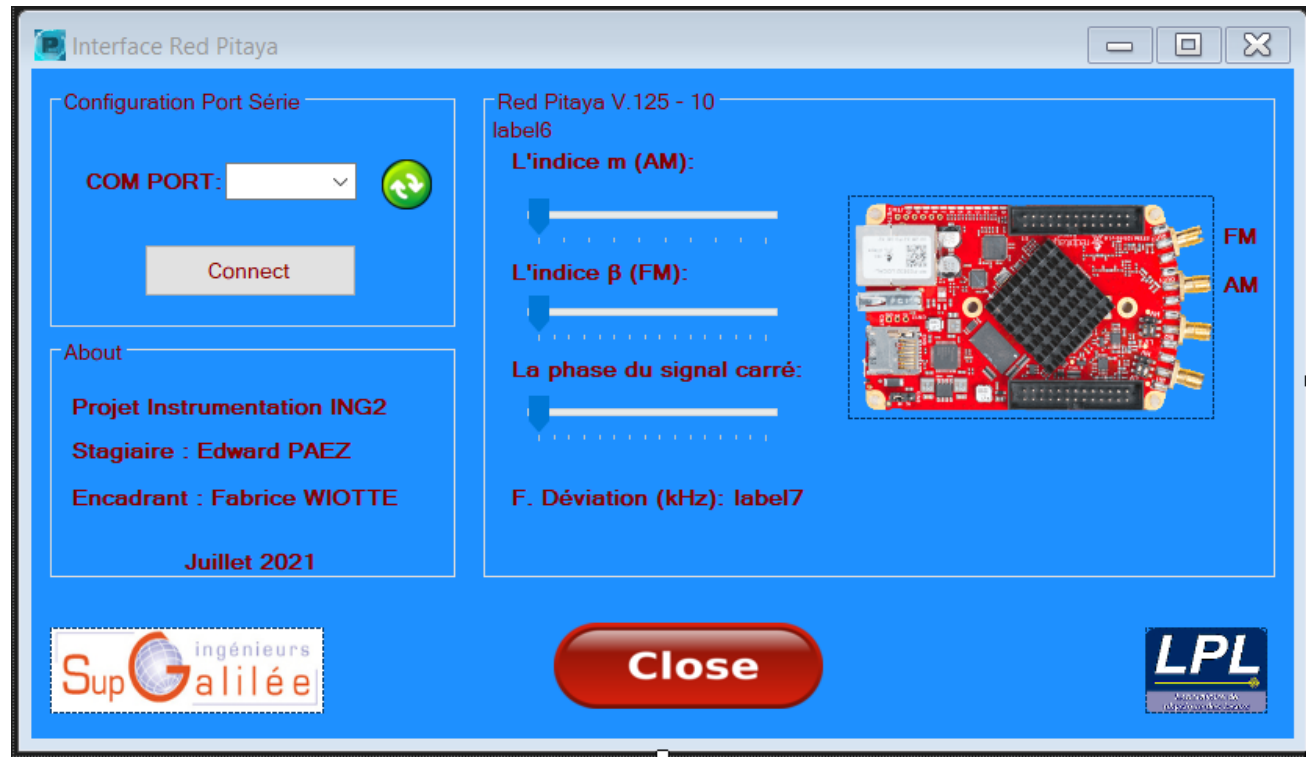
Programmation avec SDK 2018.2

3. Création d'image bootable de notre système dans la carte SD.



Interface graphique avec Visual Studio C#

1. Config. du port
2. TrackBarScroll control via liaison série.
3. Codification utilisé:
 Pour AM #a0 à #a9
 Pour FM #f0 à #ff
 Pour PH #p0 à #p9



1. Bilan technique

- ✓ Travail de conception
- ✓ Projet à mener
- ✓ Consolidation de connaissance (électronique, FPGA, C#)
- ✓ Maîtrise de 4 logiciels (Vivado, SDK, Matlab, Visual Studio)
- ✓ Créativité

2. Bilan organisationnel et humain

- ✓ Mise à jour des tâches et système de priorités
- ✓ S'intégrer à un service
- ✓ Échanges