

REX Red Pitaya ADC-DAC démo
Red Pitaya 125-14 STEMLab Board



sommaire



- Présentation de la carte Red Pitaya 125-14 STEMLab
- Principales caractéristiques
- Liens utiles pour démarrer avec la Red Pitaya
- Ecosystème et système d'exploitation Red Pitaya – programmation Bare Metal
- Connexion à la Red Pitaya et aux applications natives fournies
- Démo Bare-Metal ADC DAC 14 bits sur Vivado 2020_1 avec test analog discovery 2



STEMlab Boards (Red Pitaya)



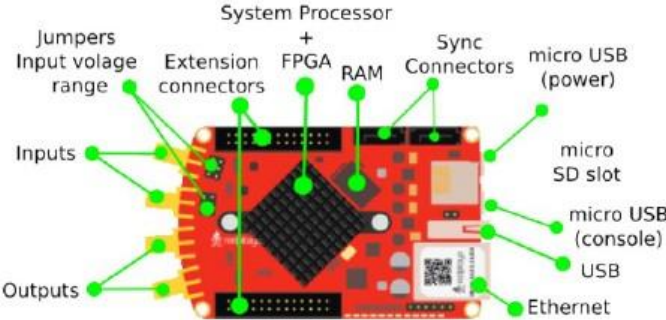
STEMlab 125-10



STEMlab 125-14

STEMlab 125-10 vs. STEMlab 125-14 (originally Red Pitaya V1.1)

STEMlab is available in two versions and both offer the same functions and features with the difference in technical specification of high-frequency inputs and outputs, RAM capacity some other differences. They are addressed to target different groups and/or needs. Where STEMlab 125-14 has 14 bit input/output channels for highly accurate measurement results in professional environment, STEMlab 125-10 has 10 bit input/output channels and is perfect for universities, students and makers.



		STEMlab 125-10	STEMlab 125-14
Basic	Processor	Dual Core ARM Cortex A9	Dual Core ARM Cortex A9
	FPGA	Xilinx Zynq 7010 SOC	Xilinx Zynq 7010 SOC
	RAM	256 MB (2 Gb)	512 MB (4 Gb)
	System memory	Micro SD up to 32 GB	Micro SD up to 32 GB
	Console connection	USB to serial converter required	micro USB
	Power connector	Micro USB	Micro USB
	Power connector	Micro USB	Micro USB
	Power consumption	5 V, 1,5 A max	5 V, 2 A max
Connectivity	Ethernet	1 Gbit	1 Gbit
	USB	USB 2.0	USB 2.0
	WiFi	requires WIFI dongle	requires WIFI dongle
	Synchronisation	-	Daisy chain connector (up to 500 Mbps)
RF inputs	RF input channels	2	2
	Sample rate	125 MS/s	125 MS/s
	ADC resolution	10 bit	14 bit
	Input impedance	1 MOhm / 10 pF	1 MOhm / 10 pF
	Full scale voltage range	+20 V	+20 V
	Absolute max. Input voltage range	30 V	30 V
	Input ESD protection	Yes	Yes
	Overload protection	Protection diodes	Protection diodes
RF outputs	RF output channels	2	2
	Sample rate	125 MS/s	125 MS/s
	DAC resolution	10 bit	14 bit
	Load impedance	50 Ohm	50 Ohm
	Voltage range	+1 V	+1 V
	Output slew rate	200 V/us	200 V/us
	Short circuit protection	Yes	Yes
	Connector type	SMA	SMA
Extension connector	Digital IOs	16	16
	Analog inputs	4	4
	Analog inputs voltage range	0-3,5 V	0-3,5 V
	Sample rate	100 kS/s	100 kS/s
	Resolution	12 bit	12 bit
	Analog outputs	4	4
	Analog outputs voltage range	0-1,8 V	0-1,8 V
	Communication interfaces	I ² C, SPI, UART	I ² C, SPI, UART
Dimensions		107 x 60 x 21 mm	107 x 60 x 21 mm

← LTC2145-14

← DAC1401D125

Principales caractéristiques

- ✓ Plate-forme d'acquisition et de génération de signaux RF de la taille d'une carte de crédit
- ✓ Connectivité Ethernet
- ✓ SoC Xilinx (processeur et FPGA)
- ✓ Deux entrées analogiques rapides et deux sorties
- ✓ Possibilité d'intégration dans son propre système/produit
- ✓ Code source du logiciel ouvert disponible
- ✓ Fonctionne avec Linux ou PC Windows
- ✓ Peut être utilisé comme oscilloscope et générateur de signaux, spectre, analyseur de Bode, analyseur logique, compteur LCR*, streaming, SDR ou analyseur de réseau vectoriel* → applications disponibles
- ✓ Peut être contrôlé à distance à l'aide de LabVIEW, MATLAB, Python ou Scilab
- ✓ Peut être reprogrammé pour répondre à des besoins personnalisés -> JTAG
- ✓ Pris en charge par un marché d'applications avec plusieurs applications gratuites disponibles

Liens utiles sur le site Red Pitaya STEMLab

<https://redpitaya.com/stemlab-125-14/>

<https://redpitaya.com/rtd-iframe/?iframe=https://redpitaya.readthedocs.io/en/latest/developerGuide/hardware.html>

<https://redpitaya.com/applications-measurement-tool/fpga/>

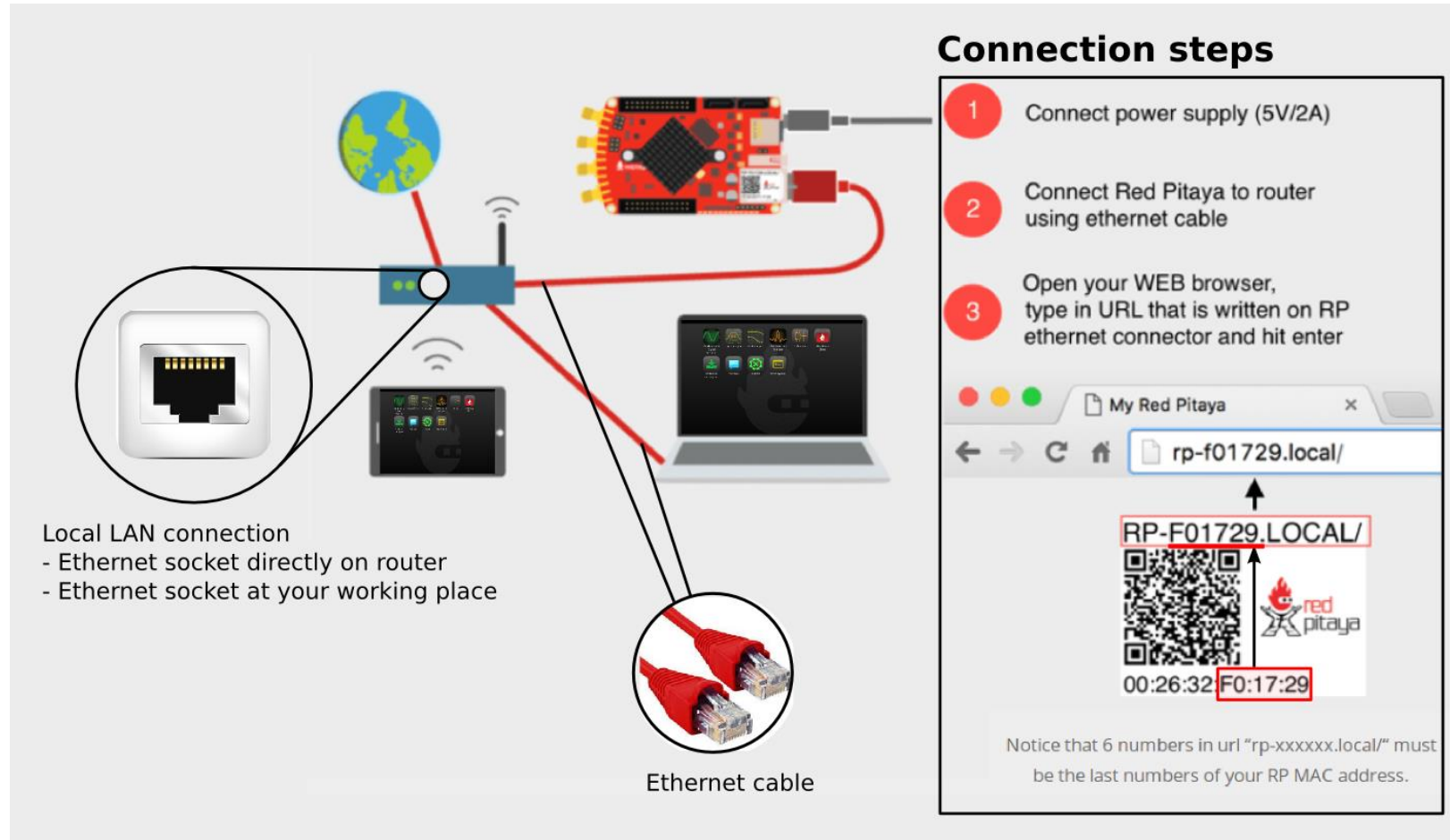
<https://redpitaya.readthedocs.io/en/latest/developerGuide/software/build/fpga/fpga.html>

-> Quick Start

-> Developers guide -> Hardware

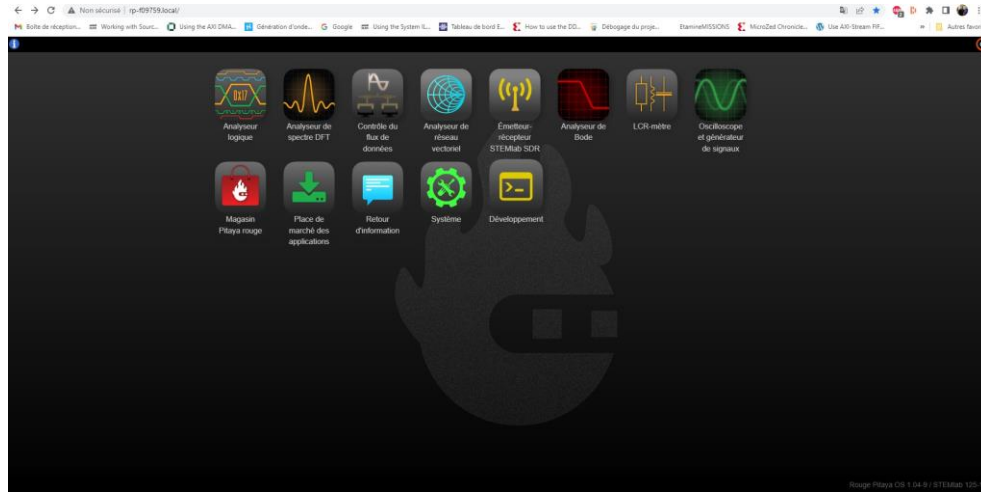
-> Software

Accès mode local ou adresse IP

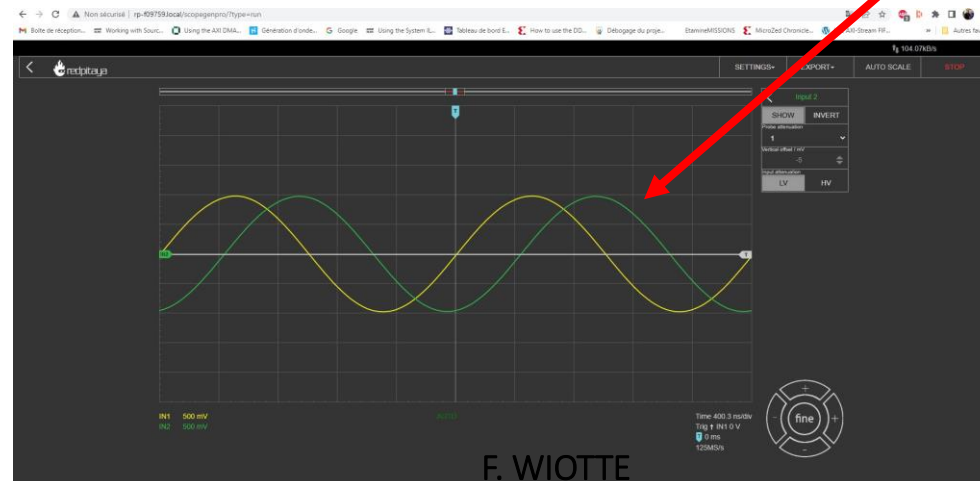
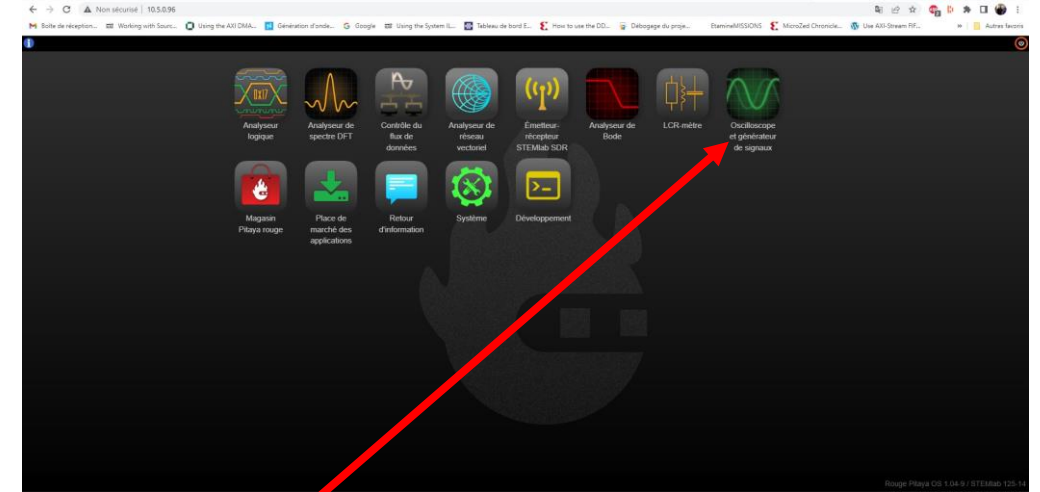


Ecosystème installé sur la carte SD

Accès local RP-F***LOCAL/



Accès distant adresse IP

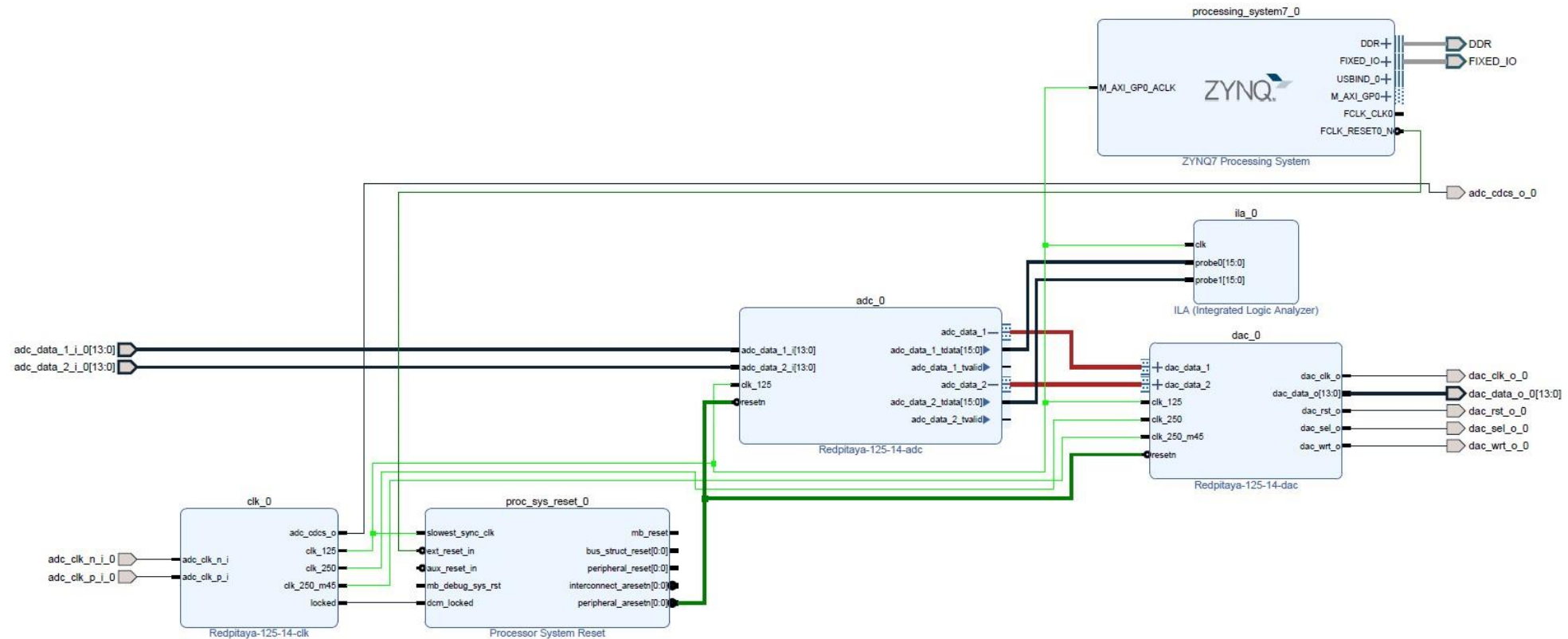


14/06/2022

F. WIOTTE
Juin 2022

Démo ADC DAC Red Pitaya 125-14

Programmation sur Vivado 2020_1 et JTAG interface



Démo ADC DAC Red Pitaya 125-14

Programmation sur Vivado 2020_1 et JTAG interface

- Importer le dossier IPs_adc_dac_redpitaya_125_14, lien ci-dessous et ouvrir Vivado 2020_1
- <https://github.com/fabzz60/d-mo-adc-dac-Redpitaya-125-14> -> télécharger le Zip dans code
- Nouveau Projet -> demo_redpitaya_adc_dac -> ajouter la Board Red Pitaya-125-14 dans le répertoire Xilinx/Vivado/2020.1/data/boards/Board_files...fichier->board_files de IPs_adc_dac_redpitaya_125_14
- Importer IPs_adc_dac_redpitaya_125_14 -> dans Settings /IP /IP Repository... add IP Repositories
- Dans l'onglet IP INTEGRATOR ->Créer un Block Design
- Naviguer dans IP Catalog -> User Repository-> et sélectionner les IP utiles à disposer sur le design

Démo ADC DAC Red Pitaya 125-14

Programmation sur Vivado 2020_1 et JTAG interface

- Dans Diagram -> Touche + -> Ajouter le Zynq et le processor system reset
- Connecter le Zynq et le processor system reset -> Run connection Automation
- Connecter manuellement les autres IP et l'horloge commune ADC @125MHz comme sur le schéma
- Sur le bloc design créer -> clic droit -> Generate outputs products -> puis Create HDL wrapper
- Récupérer le fichier de contrainte dans IPs_adc_dac redpitaya_125_14 / sdc -> (set a target constraint file)
- Décommenter les lignes 117 – 213 dans le fichier de contrainte redpitaya-125-14.xdc
- Synthèse et implémentation -> vérifier les I/O dans l'onglet Windows puis générer le bit file (bitstream)

Démo ADC DAC Red Pitaya 125-14

Programmation sur Vivado 2020_1 et JTAG interface

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed Routes	LUT	FF	BRAM	URAM	DSP	Start	Elapsed	Run Strategy
✓ synth_1 (active)	constrs_1	synth_design Complete!								0	0	0.0	0	0	6/13/22, 2:08 PM	00:00:48	Vivado Synthesis Defaults (Vivado Synthesis 2020)
✓ impl_1	constrs_1	write_bitstream Complete!	2.322	0.000	0.009	0.000	0.000	1.604	0	1177	2030	15.0	0	0	6/13/22, 2:09 PM	00:02:20	Vivado Implementation Defaults (Vivado Implementation 2020)

Démo ADC DAC Red Pitaya 125-14

Programmation sur Vivado 2020_1 et JTAG interface

The screenshot displays the Vivado 2020.1 IDE interface. On the left, the Flow Navigator shows the 'PROGRAM AND DEBUG' section with 'Generate Bitstream' and 'Open Hardware Manager' options. The Hardware Manager window shows the device 'xc7z010_1 (2)' programmed. The ILA Core Properties window shows the core name 'hw_ila_1', cell 'demo_redpitaya_adc_dac_ila_0', device 'xc7z010_1', HW core 'core_6', capture sample count '0 of 16384', and core status 'Idle'. The ILA Waveform window shows two waveforms: 'demo_redpitaya...1_tdata[15:0]' (green) and 'demo_redpitaya...2_tdata[15:0]' (red). The Tcl Console shows the trigger being armed and triggered at 2022-Jun-13 14:45:40.

ADC 1 & 2

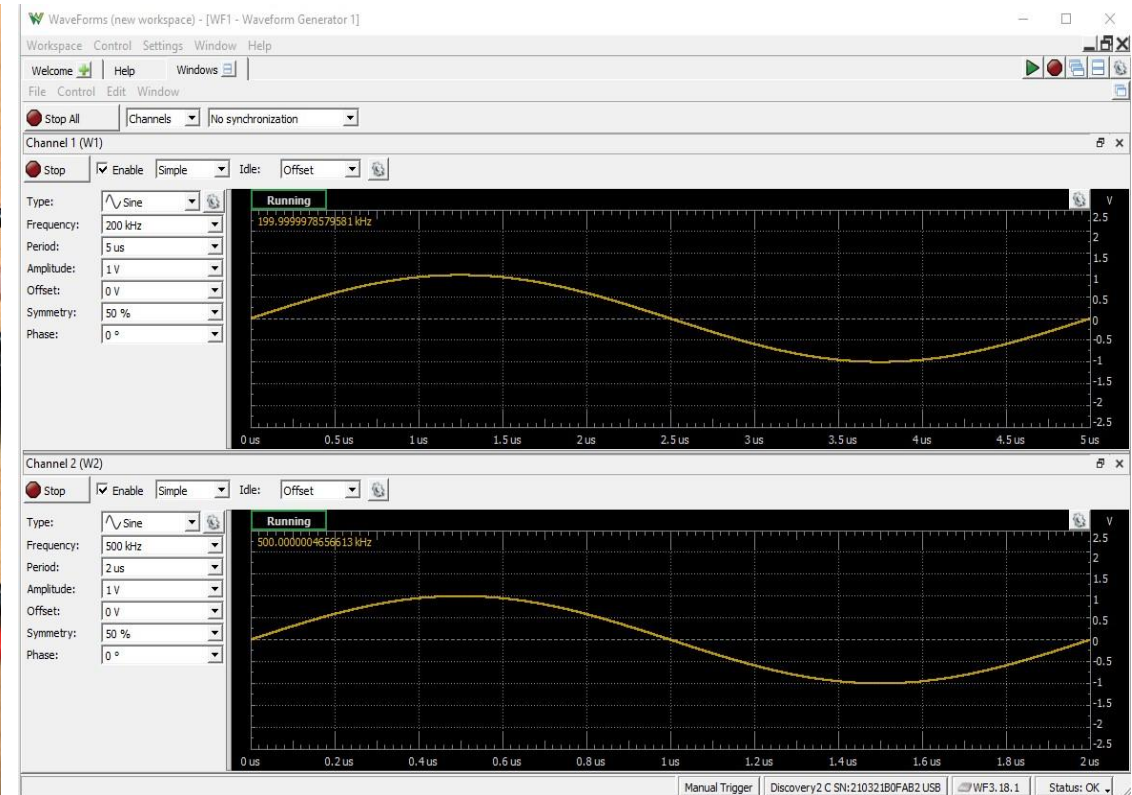
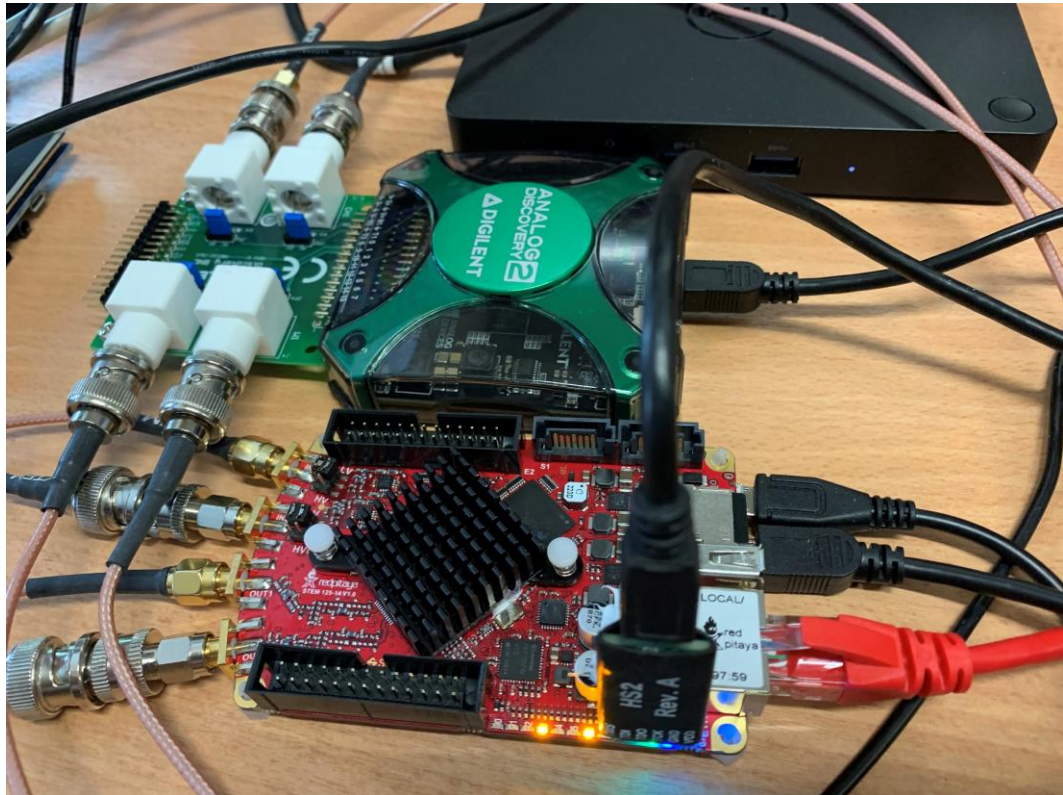
Analyseur logique intégré (ILA)

F. WIOTTE

Juin 2022

Démo ADC DAC Red Pitaya 125-14

Programmation sur Vivado 2020_1 et JTAG interface



Analog discovery 2

Fin de la démo
Merci de votre attention!