



CRONOGRAMA DE DESARROLLO DE ACTIVIDADES ACADÉMICAS – 2020

Año: 2017	Asignatura: Técnicas Digitales IV	
Curso	Profesor	J.T.P. / Auxiliar
6R1	Ing. Olmedo Sergio, Ing. Cayuela Pablo	

UNIDAD	TEMA	Semana Nro.														
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	Presentación de la materia. Presentación del docente. Aclaraciones sobre el reglamento de la cátedra. Realización de una encuesta personal para conocer el nivel académico del alumno.	X														
1	ARQUITECTURA LÓGICA PROGRAMABLE: CPLD.	X														
1	ARQUITECTURA LÓGICA PROGRAMABLE: FPGA.	X														
2	DISEÑO CON LENGUAJES DE DESCRIPCIÓN DE HARDWARE: VHDL, EDA.		X													
2	Historia y evolución de los lenguajes de descripción de hardware.		X													
2	Estado del arte en VHDL. Aplicaciones actuales. Visión hacia el futuro.		X													
2	Presentación de las herramientas EDA a utilizar en el curso: entorno de desarrollo Xilinx ISE, simulador ISIM, entorno de desarrollo Xilinx Vivado.		X													
2	Generación de un proyecto con el software ISE 10 de Xilinx.		X													
2	Generación de un proyecto con el software Vivado de Xilinx.		X													



UNIDAD	TEMA	Semana Nro.														
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
3	ENTRADA Y SALIDA EN FPGAs Práctico 1-a: Máquina de estado decodificador de encoder, generador de señales PWM, contador ascendente/descendente con visualización en 4 displays de 7 segmentos, sobre CPLD y FPGA.			X	X											
3	ENTRADA Y SALIDA EN FPGAs Práctico 1-b: Control de lazo de velocidad de un motor de CC con lógica programable.				X	X										
3	ENTRADA Y SALIDA EN FPGAs Práctico 2: Generación de salida de video VGA. Control de puertos PS/2 para teclado y ratón sobre FPGA.					X	X									
4	PROCESADORES EMBEBIDOS Práctico 3: CPU softcore Picoblaze en FPGA. UART SPI o I2C sobre FPGA.							X	X	X						
	Coloquio										X					
5	PROCESAMIENTO DIGITAL DE SEÑALES CON FPGA Práctico 4: Implementación de filtros FIR en FPGA.										X	X	X	X		
6	SISTEMAS EN CHIP (SOC: System on Chip) Prácticas y demostraciones: Componentes Open Source (Opencores.org). Single core y Multicore. Adapteva Paralela Board con chip Epyphany de 16-core RISC CPU + Xilinx Zynq SOC (FPGA + ARM A9 doble núcleo). Arquitectura Cypress PSOC con CPLD, ARM Cortex-M3 y FPAA. Arquitectura multicore Parallax Open Propeller One en Verilog.												X	X		
1-6	PROYECTO FINAL Desarrollo de un proyecto mediante VHDL/Verilog implementado en CPLD, FPGA, SOC.												X	X	X	



	Recuperatorio y cierre de la materia																X	
--	--------------------------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	---	--

Reuniones de cátedra / área Año 2019:

Reunión Nro:	Característica de la reunión	Fecha prevista
1	Ver mejoras en la evaluación del alumno y planificación de nuevos prácticos	25/03/20
2	Analizar avances del desarrollo de la materia	25/05/20

Ing. Pablo Cayuela

Ing. Olmedo Sergio D.