

# UNIVERSIDAD TECNOLÓGICA NACIONAL FACULTAD REGIONAL CÓRDOBA



## CARRERA DE GRADO EN INGENIERÍA ELECTRÓNICA

### **“TÉCNICAS DIGITALES IV”**

Sistemas embebidos con SOC programable

**Materia Optativa de 6º nivel – 1º Cuatrimestre**

#### **Guía de Prácticos:**

Prof. Ing. Sergio D. Olmedo  
Prof. Ing. Pablo Cayuela

**Año 2019**

---

Fecha de actualización del documento 19/03/2018

1. Guía didáctica de prácticos.

1.1 Objetivo del aprendizaje

Al finalizar la materia se espera que el alumno sea capaz de:

Desarrollar capacidades mínimas de diseño de circuitos y sistemas con técnicas de alto nivel (lenguajes de descripción de hardware).

Lograr introducirse en los conceptos fundamentales de la electrónica digital moderna utilizando un enfoque generalista, teniendo en cuenta la actualidad tecnológica.

Introducirse en el "mundo" del diseño digital moderno en electrónica.

Conocer el instrumental electrónico, y a la utilización de herramientas de software de simulación de circuitos y sistemas electrónicos.

1.2 Bibliografía

1.2.1 Principal

1. Ubicación: 621.392 PER d

Autor/es: Pérez, Serafín Alfonso; Soto, Enrique; Fernández, Santiago

Título: Diseño de Sistemas Digitales con VHDL

Publicación: Madrid, Thomson - Paraninfo

2. Ubicación: 629.89 GAR d

Autor/es: García Iglesias, José M.; Pérez Iglesias, Emilio J.

Título: Dispositivos Lógicos Programables (PLDs): diseño práctico de aplicaciones

Publicación: México, Madrid, Alfaomega - Ra-Ma

3. Ubicación: CDR/17 (CD) y 621.395 BRO f (libro)

Autor/es: Brown, Stephen; Vranesic, Zvonko

Título: Fundamentals of Digital Logic with VHDL design (libro con CD)

Publicación: México, McGraw-Hill

4. Ubicación: CDR/19 (CD) y 621.382`2 MEY d (libro)

Autor/es: Meyer-Baese, Uwe

Título: Digital signal processing with field programmable gate arrays (DSP with FPGAs)

Publicación: Florida (USA), Springer

5. Ubicación: 621.395 UYE i

Autor/es: Uyemura, John P.

Título: Introducción al diseño de sistemas digitales: un enfoque integrado

Publicación: México, Thomson

6. Ubicación: 621.395 LLO s

Autor/es: Lloris Ruiz, Antonio; Prieto Espinosa, Alberto; Parrilla Roure, Luis

Título: Sistemas digitales

Publicación: Madrid, McGraw-Hill

7. Ubicación: 621.392 ASH d

Autor/es: Ashenden, Peter J.

Título: The designer's guide to VHDL

---

Publicación: USA, Elsevier

8. Ubicación: CDR/16 (CD) y 621.392 PAR v (libro)

Autor/es: Pardo Carpio Fernando; Boluda Grau, José

Título: VHDL - Lenguaje para síntesis y modelado de circuitos (libro con CD)

Publicación: México, Alfaomega - Ra-Ma

### 1.2.2 Auxiliar

Documentos subidos en la autogestión.

## 2. Actividades

- Estudiar la bibliografía recomendada.
- Realizar los ejercicios propuestos en la materia.
- Realizar un trabajo final utilizando los bloques de descripción utilizados en la materia.

### 2.1) Preguntas de evaluación

- Se tomarán las preguntas de la evaluación de nivel en la primera clase para tener un panorama de los refuerzos de temas con los alumnos que lo necesiten.

### 2.2) Tareas a resolver

## 3. Guía a resolver

### 3.1 Instrucciones

La tarea consiste en realizar los prácticos de la guía, que serán enviados a los Ing. Sergio Olmedo y Pablo Cayuela, a las cuentas de correo [sergio338@gmail.com](mailto:sergio338@gmail.com) y [pablo.cayuela@gmail.com](mailto:pablo.cayuela@gmail.com) respectivamente. Se deberá limpiar el proyecto y comprimirlo en formato RAR para ser adjuntado al email.

El nombre del tema del correo y el del archivo comprimido deberá ser:

Para el primer trabajo práctico TD4\_19 GXX P01 (XX es n° de grupo. Ej: 01;02; etc. ). **Nota: Deje un espacio entre el número del año (19) y GXX.** La fecha límite de entrega será el **10/04/19.**

Para el segundo trabajo práctico TD4\_19 GXX P02 (XX es n° de grupo. Ej: 01;02; etc. ). **Nota: Deje un espacio entre el número del año (19) y GXX.** La fecha límite de entrega será el **08/05/19.**

Para el tercer trabajo práctico TD4\_19 GXX P03 (XX es n° de grupo. Ej: 01;02; etc. ). **Nota: Deje un espacio entre el número del año (19) y GXX.** La fecha límite de entrega será el **08/05/19.**

Para el cuarto trabajo práctico TD4\_19 GXX P04 (XX es n° de grupo. Ej: 01; 02; etc.). **Nota: Deje un espacio entre el número del año (19) y GXX.** La fecha límite de entrega será el **29/05/19.**

Para el quinto trabajo práctico TD4\_19 GXX P05 (XX es n° de grupo. Ej: 01; 02; etc.). **Nota: Deje un espacio entre el número del año (19) y GXX.** La fecha límite de entrega será el **29/05/19.**

El último envío será el trabajo final. Se debe mandar como TD4\_19 GXX Tfinal (XX es n° de grupo. Ej: 01;02; etc. ). **Nota: Deje un espacio entre el número del año (19) y GXX.** La fecha límite de entrega será la penúltima clase del cuatrimestre ().

---

### 3.2 Recuerde que para presentar los trabajos

Todos los documentos VHDL deben tener en la cabecera todos los datos de la carrera, materia, año, así como los datos de los integrantes del grupo.

```
-----  
-- UNIVERSIDAD TECNOLÓGICA NACIONAL - FACULTAD REGIONAL CORDOBA  
-- Carrera: INGENIERIA ELECTRÓNICA.  
-- Asignatura: TÉCNICAS DIGITALES IV (ELECTIVA).  
-- Año: 20__.  
-- Grupo n°: XX.  
-- Integrantes:  
--  
--      VOUDU, Máximo.                Leg. n°:01520  
--      POCOCORO, Manuel Anastasio.   Leg. n°:02524  
--      NEMEN , Clementina            Leg. n°:03177  
--  
-- Fecha de Entrega: xx/xx/20xx.  
-- hardware utilizado  
-- VHDL auxiliares utilizados  
-- UCF utilizado  
  
-- Práctico n°XX: FlipFlop Tipo D - Activo por Flanco Ascendente.  
-- Descripción: Descripción de cómo se realizó.  
-- Colocar dificultades  
-- Colocar algún consejo para recordar en el futuro  
-- Nota:  
-----
```

### 3.3 Guía de Trabajos prácticos.

#### **Practico 1a) Decodificador de encoder visualizando en cuatro (4) display de 7 seg.**

Objetivo:

Realizar la descripción de divisores de frecuencia para el barrido de los displays a una frec.de 1 kHz utilizando un CLK de 15 kHz. Describir un contador decimal de 000 a 999.  
Incorporar el concepto descripción jerárquico utilizando instanciación de componentes.  
Con una descripción de máquina de estado realizar la decodificación de los flancos de las señales A y B del encoder y transformarlas en pulsos Up/down según el sentido de giro (ej. Horario sea pulsos up y antihorario, pulsos down).

#### **Especificaciones de entradas / salidas**

A convenir;

#### **Pasos a seguir**

1. Diseñar la entidad y la arquitectura.
  2. Simular el comportamiento.
  3. Realizar el post fit.
  4. Simular post fit.
  5. Descargar en el “Dispositivo de Entrenamiento con CPLD”
  6. Verificar en el hardware el comportamiento logrado.
- 

#### **Practico 1b: Opción “lazo cerrado motor CC”**

#### **Control de lazo de velocidad de un motor C.C**

Objetivo:

Realizar la descripción de un decodificador de encoder incremental visualizando en un display los pulsos Up y down. Con la cuenta, se debe controlar una señal PWM. Con la señal de PWM, se debe activar un led, el cual deberá dar una sensación de que cambia el brillo según la cuenta del encoder. Se debe tomar como pulsos máximo de cuenta, una vuelta de encoder.

#### **Especificaciones de entradas / salidas**

A convenir;

#### **Pasos a seguir**

1. Diseñar la entidad y la arquitectura.
  2. Simular el comportamiento.
  3. Realizar el post fit.
  4. Simular post fit.
  5. Descargar en el “Dispositivo de Entrenamiento con CPLD”
  6. Verificar en el hardware el comportamiento logrado.
  7. Realizar informe y coloquio.
- 

#### **Practico 1b: Opción “aceleración y desaceleración**

#### **Control de motor paso a paso de velocidad a lazo abierto con rampa de aceleración y desaceleración parametrizable**

Objetivo:

---

Realizar la descripción de un control de velocidad de un motor paso a paso con velocidad seleccionada por parámetro, como también su aceleración y desaceleración con rampas parametrizable y diferentes

**Especificaciones de entradas / salidas**

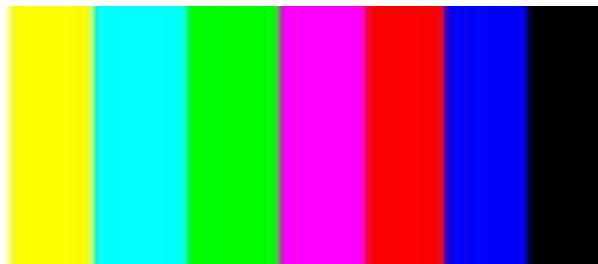
A convenir;

**Pasos a seguir**

1. Diseñar la entidad y la arquitectura.
  2. Simular el comportamiento.
  3. Realizar el post fit.
  4. Simular post fit.
  5. Descargar en el “Dispositivo de Entrenamiento con FPGA”
  6. Verificar en el hardware el comportamiento logrado.
  7. Realizar informe y coloquio.
- 

**Practico 2) Generador de señal de video**

1. Diseñar la entidad y la arquitectura para generar la señal de video de 640x480 pixel con refresco de pantalla de 60 Hz. Se pide que mediante un pulsador, se seleccione la visualización de las barras en forma horizontal o vertical (similar a la fig). La señal debe ser de 8 barras con los colores primarios generado con la señal de color RGB.
2. Se debe visualizar un cuadrado de 1cm de lado con el color complemento del fondo del mismo y se debe mover a unos 2 cm/seg. Al colisionar sobre los bordes de la pantalla, debe cambiar la dirección en forma aleatoria.

**Especificaciones de entradas / salidas**

Analizar el manual del kit FPGA que utilice para configurar su UDF.

Descargue el diseño por USB mediante el software Adept que provee el fabricante Digilent de la placa Basys u otra que elija para implementarlo.

**Pasos a seguir**

1. Analizar la documentación provista por el docente.
2. Diseñar la entidad y la arquitectura.
3. Simular el comportamiento.
4. Realizar el post fit.
5. Simular post fit.
6. Descargar en el “KITBasys con FPGA que disponga conector de video ”
7. Visualizar la señal en un monitor de PC.

**Presentación:**

- La presentación Practico 1 es informal.

---

**Práctico 3) Opción A: Comunicación I<sup>2</sup>C**

---

**Objetivo:**

Realizar la descripción de una comunicación I<sup>2</sup>C para poder controlar un display inteligente de 2 x 16 caracteres mediante la utilización de un dispositivo serie/ paralelo controlado por un bus I<sup>2</sup>C.

En el display se debe observar la cuenta de un cronómetro de 4 dígitos, con resolución de una décima de segundo.

**Especificaciones de entradas / salidas**

A convenir;

**Pasos a seguir**

1. Diseñar la entidad y la arquitectura.
2. Simular el comportamiento.
3. Realizar el post fit.
4. Simular post fit.
5. Descargar en el “Dispositivo de Entrenamiento con FPGA”
6. Realizar el hardware necesario para adaptar las señales de entrada y la interfaz necesaria para conectar el I<sup>2</sup>C en la FPGA
7. Verificar en el hardware el comportamiento logrado.

**Presentación:**

- La presentación es con informe y coloquio.

---

**Práctico 3) Opción B: Comunicación SPI****Objetivo:**

Realizar la descripción de una comunicación SPI para poder leer y escribir una memoria SD. Utilizar el ADC del práctico anterior para almacenar la información.

**Especificaciones de entradas / salidas**

A convenir;

**Pasos a seguir**

1. Diseñar la entidad y la arquitectura.
2. Simular el comportamiento.
3. Realizar el post fit.
4. Simular post fit.
5. Descargar en el “Dispositivo de Entrenamiento con FPGA”
6. Realizar el hardware necesario para adaptar el conector SPI a los pines de una FPGA.
7. Verificar en el hardware el comportamiento logrado.

**Presentación:**

- La presentación es con informe y coloquio.

---

**Práctico 3) Opción C: Puertos PS/2 para teclado o ratón****Objetivo:**

Realizar la descripción de una comunicación PS/2 para poder emplear un teclado o un ratón de PC.

En el display se debe observar el valor de la tecla presionada, o en un monitor ver el movimiento de un cursor.

---

**Especificaciones de entradas / salidas**

A convenir;

**Pasos a seguir**

1. Diseñar la entidad y la arquitectura.
2. Simular el comportamiento.
3. Realizar el post fit.
4. Simular post fit.
5. Descargar en el “Dispositivo de Entrenamiento con FPGA”
6. Verificar en el hardware el comportamiento logrado.

**Presentación:**

- La presentación es con informe y coloquio.

---

**Práctico 4) CPU softcore Picoblaze en FPGA**

1. Realizar un proyecto donde integre el ejemplo de interrupciones de la documentación del KCPSM3 en VHDL. El archivo principal KCPSM.vhd contiene la descripción de uso libre de un CPU llamado Picoblaze, diseñado por el Ing. Ken Chapman de la empresa Xilinx.

**Pasos a seguir**

2. Se pide que genere un programa, en lenguaje ensamblador del Picoblaze, de un contador al que se le ajustará el módulo de la cuenta mediante las llaves de la placa del kit Basys deDigilent, y la salida deberá visualizarse en la barra de leds disponibles en ella.
3. Escriba el programa en lenguaje ensamblador del Picoblaze en un archivo de texto con extensión .psm.
4. Ensamble el programa mediante línea de comando kcpsm3.exe ejAsm.psm. Esto generará los
5. archivos con extensión .hex, .coe y .vhd al menos.
6. Integre al proyecto el archivo ejAsm.vhd generado. Este incluye la descripción de una ROM con los valores de carga, que son el código máquina correspondiente al programa escrito enmnemotécnicos de ensamblador.
7. Integre el testbench de los archivos originales de la prueba de interrupciones, y modifique loque haga falta para comprobar el funcionamiento del contador.
8. Pruebe la correcta descripción mediante la simulación.
9. Adecúe los puertos de la entidad del CPU de tal manera de mapear entradas y salidas a las llaves y leds de la placa Basys.
10. Verifique el funcionamiento del proyecto descargando por USB el diseño mediante el software Adept que provee el fabricante Digilent de la placa Basys.

**Presentación:**

- La presentación es informal. Pueden emplearse otros CPUs de tipo softcore.

---

**Practico 5) Diseño de filtros FIR en aritmética de punto fijo, implementación en FPGA**

Diseñe un filtro FIR en punto fijo con las siguientes especificaciones

- Rango de entrada: -1 a 1
  - Cantidad de bits de entrada: 12
  - Cantidad de bits de salida: 12
  - Frecuencia de muestreo: 50 kHz
  - Frecuencia de corte: 1 kHz
-



- Tipo de respuesta: Pasa-bajos
- Cantidad de taps: 32
- SNR de salida: mínima 60 dB
- Atenuación en banda de stop: mínimo 32 dB
- Ganancia en banda de paso
- Mínima aritmética interna

### Pasos a seguir

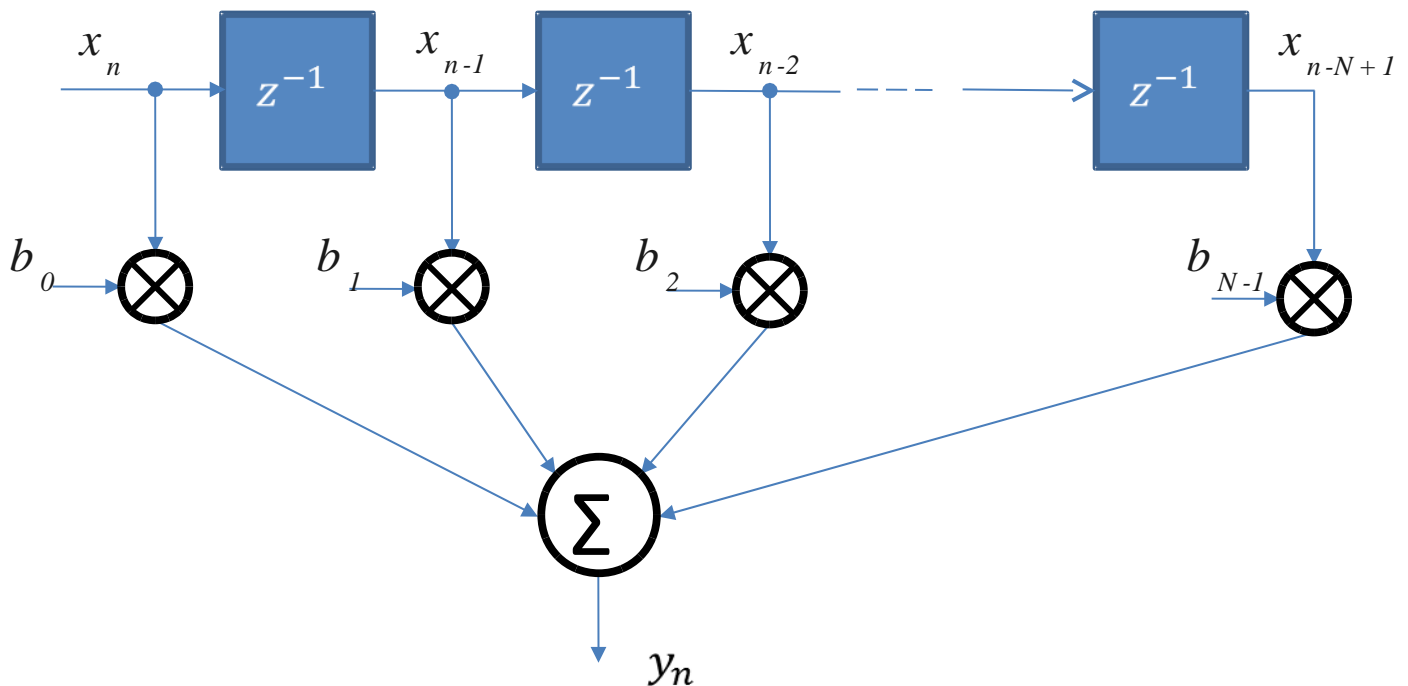
1. Diagrama con definiciones de punto fijo y operaciones de ajuste (truncado, redondeo, saturación, de ser necesarias)
2. Archivo de coeficientes cuantizados.
3. Script con modelo de simulación en Matlab o equivalente.
4. Gráfica de respuesta en frecuencia (punto fijo y punto flotante)
5. Generar una señal compuesta por la suma de dos tonos, uno de 500 Hz y otro de 5 kHz y graficar entrada y salida del filtro en el dominio del tiempo y en el dominio de la frecuencia. Obtener archivo de entrada y salida cuantizadas.

### Implementación de filtros FIR con VHDL

1. Implemente las arquitecturas descritas en los puntos A, B y C .

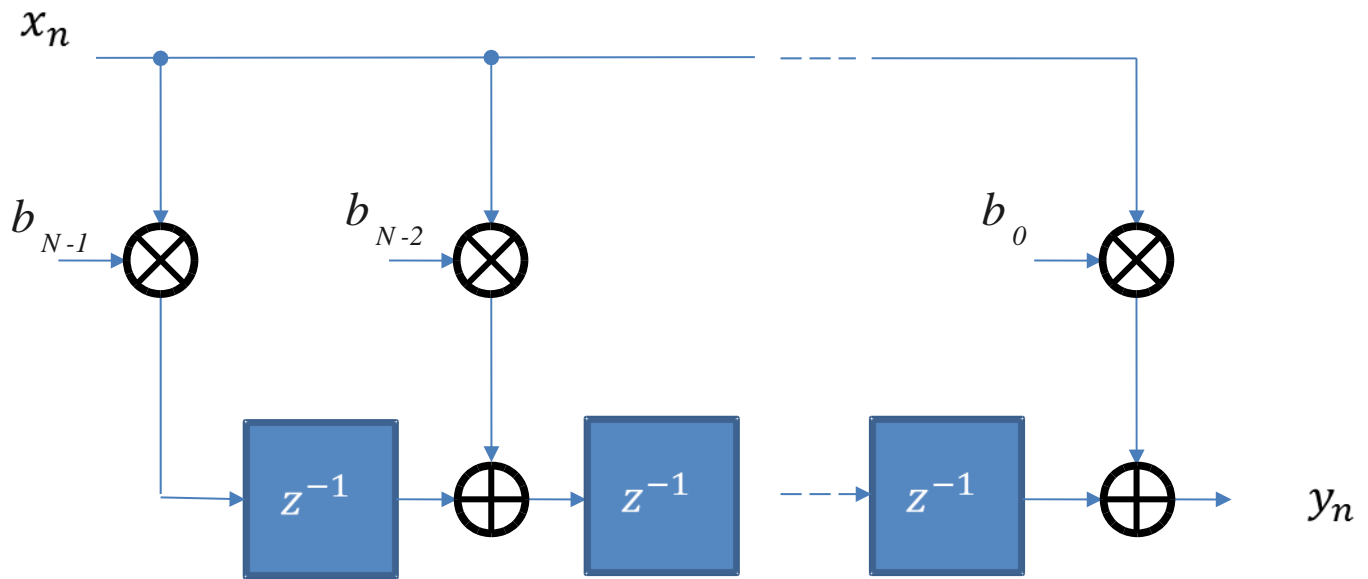
#### A. Implementación directa

Realizar la implementación directa del filtro FIR diseñado en el práctico 15. Para verificar la implementación del filtro utilice el archivo fir\_tb.vhd, con las modificaciones necesarias.



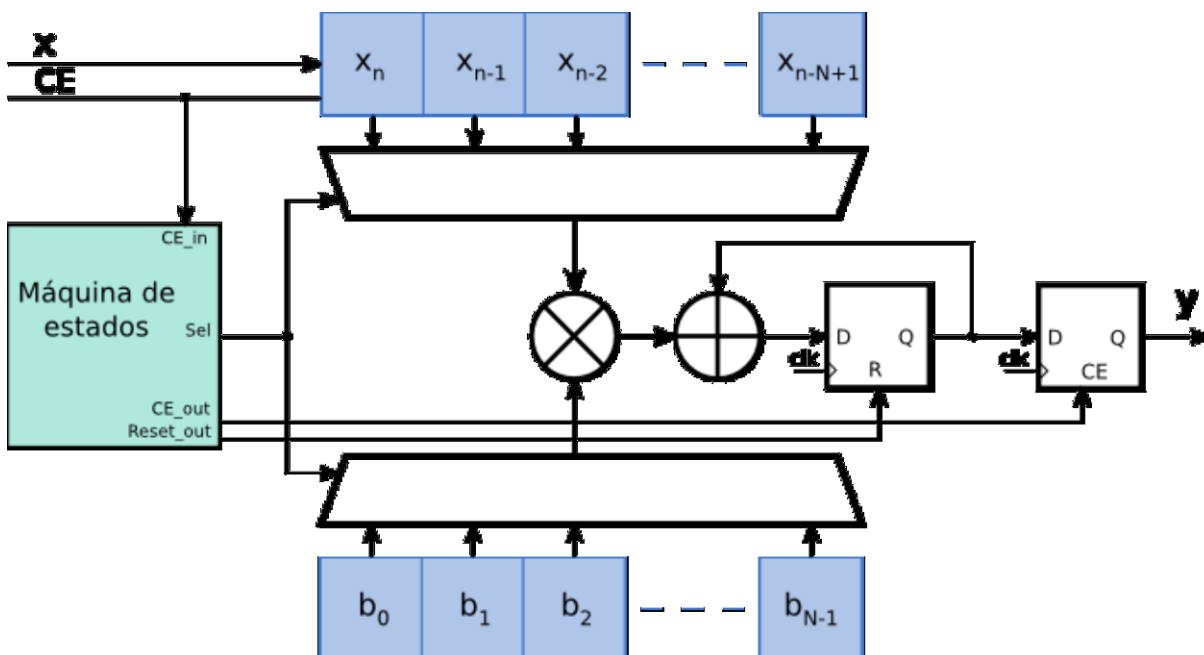
#### B. Implementación transpuesta

Realizar la implementación transpuesta utilizando sentencias generate. Utilice además el mismo testbench anterior para validar el filtro.



### C. Implementación secuencial

Realizar la implementación secuencial del filtro utilizando solamente un multiplicador. Validar con el mismo testbench de las otras implementaciones.



### Trabajo Final: Nombre sugerido por el grupo

Objetivo:

Utilizar como herramienta los conocimientos adquiridos en el curso para realizar un trabajo final (a elección del grupo) con el propósito de afianzar los temas vistos y adquirir experiencia en la descripción de hardware.

**Especificaciones de entradas / salidas**

A convenir por el grupo.

**Hardware utilizado**

A convenir por el grupo.

**Informe**

A convenir por el grupo.