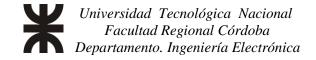
## CRONOGRAMA DE DESARROLLO DE ACTIVIDADES ACADEMICAS - 2020

Año: 2017	Asignatura: Técnicas Digitales IV	
Curso	Profesor	J.T.P. / Auxiliar
6R1	Ing. Olmedo Sergio, Ing. Cayuela Pablo	

		Semana Nro.														
UNIDAD	TEMA	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	Presentación de la materia. Presentación del docente.	X														
	Aclaraciones sobre el reglamento de la cátedra. Realización de															
	una encuesta personal para conocer el nivel académico del															
	alumno.															
1	ARQUITECTURA LÓGICA PROGRAMABLE: CPLD.	X														
1	ARQUITECTURA LÓGICA PROGRAMABLE: FPGA.	X														
2	DISEÑO CON LENGUAJES DE DESCRIPCIÓN DE		X													
	HARDWARE: VHDL, EDA.															
2	Historia y evolución de los lenguajes de descripción de		X													
	hardware.															
2	Estado del arte en VHDL. Aplicaciones actuales. Visión hacia		X													
	el futuro.															
2	Presentación de las herramientas EDA a utilizar en el curso:		X													
	entorno de desarrollo Xilinx ISE, simulador ISIM, entorno de															
	desarrollo Xilinx Vivado.															
2	Generación de un proyecto con el software ISE 10 de Xilinx.		X													
2	Generación de un proyecto con el software Vivado de Xilinx.		X													
	-															

								Sei	mana	a Nro	).					
UNIDAD	TEMA	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
3	ENTRADA Y SALIDA EN FPGAs			X	X											
	Práctico 1-a: Máquina de estado decodificador de encoder,															
	generador de señales PWM, contador ascendente/descendente															
	con visualización en 4 displays de 7 segmentos, sobre CPLD y															
	FPGA.															
3	ENTRADA Y SALIDA EN FPGAs				X	X										
	<b>Práctico 1-b</b> : Control de lazo de velocidad de un motor de CC															
	con lógica programable.															
3	ENTRADA Y SALIDA EN FPGAs					X	X									
	<b>Práctico 2</b> : Generación de salida de video VGA. Control de															
	puertos PS/2 para teclado y ratón sobre FPGA.															
4	PROCESADORES EMBEBIDOS							X	X	X						
	<b>Práctico 3</b> : CPU softcore Picoblaze en FPGA. UART SPI o															
	I2C sobre FPGA.															
	Coloquio										X					
5	PROCESAMIENTO DIGITAL DE SEÑALES CON										X	X	X	X		
	FPGA															
	<b>Práctico 4</b> : Implementación de filtros FIR en FPGA.															
6	SISTEMAS EN CHIP (SOC: System on Chip)												X	X		
	Prácticas y demostraciones: Componentes Open Source															
	(Opencores.org). Single core y Multicore. Adapteva Parallela															
	Board con chip Epyphany de 16-core RISC CPU + Xilinx Zynq															
	SOC (FPGA + ARM A9 doble núcleo). Arquitectura Cypress															
	PSOC con CPLD, ARM Cortex-M3 y FPAA. Arquitectura															
	multicore Parallax Open Propeller One en Verilog.															
1-6	PROYECTO FINAL												X	X	X	
	Desarrollo de un proyecto mediante VHDL/Verilog															
	implementado en CPLD, FPGA, SOC.															



Recuperatorio y cierre de la materia							X	

## Reuniones de cátedra / área Año 2019:

Reunión Nro:	Característica de la reunión	Fecha prevista			
1	Ver mejoras en la evaluación del alumno y				
	planificación de nuevos prácticos				
2	Analizar avances del desarrollo de la	25/05/20			
	materia				

Ing. Pablo Cayuela Ing. Olmedo Sergio D.