

UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL DE CÓRDOBA

## **Trabajo Práctico De Laboratorio N°3**

Navarro, Facundo 63809

Curso: 6r4  
Grupo N°5

## **Técnicas Digitales IV**

Docentes:  
Ing. Cayuela, Pablo  
Ing. Olmedo, Sergio

22 de junio de 2020

## Índice

<b>1. Introducción</b>	<b>2</b>
<b>2. Personal system version 2 (PS2)</b>	<b>2</b>
<b>3. Serial peripheral interface (SPI)</b>	<b>2</b>
<b>4. Inter integrated circuit (<math>I^2C</math>)</b>	<b>2</b>
4.1. Operación de la interfaz $I^2C$ . . . . .	2

## 1. Introducción

En el siguiente trabajo práctico se investigan e implementan protocolos de comunicación síncronos, en donde  $R_X$  y  $T_X$  operan en conjunto con un señal de *clock*, los cuales son  $I^2C$ ,  $SPI$ ,  $PS2$ .

## 2. Personal system version 2 (PS2)

## 3. Serial peripheral interface (SPI)

## 4. Inter integrated circuit ( $I^2C$ )

Es un bus serial de comunicación de 8 bits entre circuitos integrados que se encuentran próximos entre ellos (normalmente en la misma placa). Utiliza tan solo dos cables (mas GND de referencia) y tiene cuatro modos estandarizados de velocidad

- standard (100 kbps)
- fast (400 kbps)
- fast-plus (1 Mbps)
- high-speed (3,3 Mbps)

El bus  $I^2C$  consisten en dos cables, llamados  $SCL$  (serial clock) y  $SDA$  (serial data), los cuales interconectan un *master* con un número de unidades *esclavas*. Cada dispositivo en el bus tiene una única dirección y puede operar como transmisor o receptor, poniendo o adquiriendo datos en la línea  $SDA$ , es decir que esta línea es bidireccional. El clock es unidireccional y es generado por el master, quien además es el encargado de iniciar y finalizar la transferencia de datos. Ejemplos de familias de integrados actualmente fabricados con soporte  $I^2C$  son: memorias flash y EEPROM, conversores A/D y D/A, circuitos RTC, sensores de temperatura, etc.

Las salidas de  $SCL$  y  $SDA$  son a drenador abierto, por lo que son necesarias resistencias del tipo pull-up ( $R_{UP}$ ), normalmente en el rango de los 1,5 a 33  $k\Omega$ . El valor de  $R_{UP}$  depende de la capacitancia total del nodo, en caso de buses muy largos con muchos esclavos adheridos a él, entonces las resistencias deben ser pequeñas para alcanzar el mínimo “rise time” definido en la especificaciones del  $I^2C$ .

El número de dispositivos compartiendo el mismo bus puede alcanzar hasta 128 (direcciones de 7-bit) o 1024 (direcciones de 10-bit). Más de un *master* es permitido, el tal caso el protocolo  $I^2C$  administra el bus, considerando como master principal al primero que ponga el bajo el voltaje de  $SDA$ .

### 4.1. Operación de la interfaz $I^2C$

El diagrama de tiempos de una típica transferencia de datos se muestra en la figura 1. Ambas líneas están en alto cuando el bus esta en estado “inactivo”. El master inicia la transferencia creando una condición de arranque (S), en la cual  $SDA$  cambia de alto a bajo mientras que  $SCL$  se mantiene en alto. Luego genera la señal clock sobre  $SCL$ . Dependiendo del tipo de transacción, o el maestro o el esclavo seleccionado introducen datos sobre  $SDA$ . Los datos deben ser estables cuando  $SCL$  este en alto y el cambio de dato solo puede ocurrir cuando  $SCL$  este en bajo. Estas definiciones aseguran que tanto las condiciones de arranque como parada nunca puedan ser confundidas como datos.

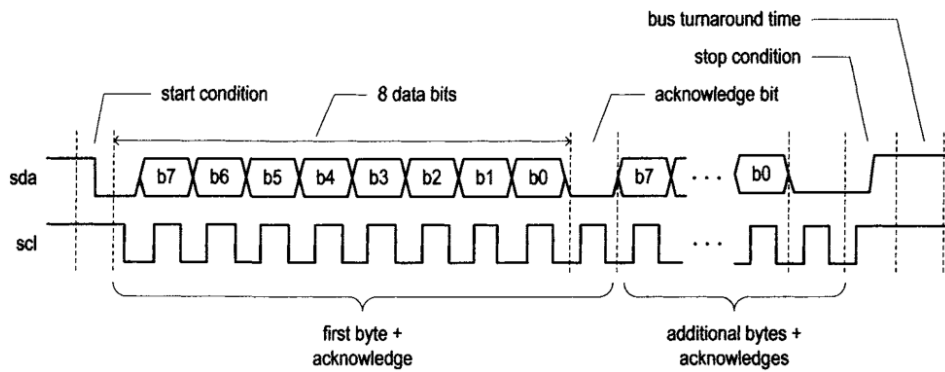


Figura 1: Diagrama de tiempos genérico de una transferencia por  $I^2C$

La transferencia esta hecha byte-a-byte con el MSB primero. Cada byte es seguido con un “acknowled-ge” bit en el noveno pulso de reloj. El número de bytes en una transferencia no está restringido. Después de terminado, el master finaliza la transferencia creando una condición de parada (P), en la cual SDA cambia de bajo a alto mientras SCL se mantiene en alto. Luego de que la transferencia esta completada el bus debe esperara un pequeño tiempo (turnaround time) antes de inicializar otra transacción.