

UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL DE CÓRDOBA

Trabajo Práctico De Laboratorio N°1

Navarro, Facundo 63809

Curso: 6r4
Grupo N°5

Técnicas Digitales IV

Docentes:
Ing. Cayuela, Pablo
Ing. Olmedo, Sergio

5 de mayo de 2020

Índice

1. Introducción	2
2. Marco Teórico	2
2.1. Encoder	2
2.1.1. Encoder Absoluto	2
2.1.2. Encoder Incremental	2
2.1.3. Encoder en cuadratura	3
3. Desarrollo	3
3.1. Decodificador de encoder visualizando en cuatro display de 7 segmentos	3
3.1.1. Debouncer	4
3.1.2. Decodificador de cuadratura	5
3.1.3. Divisor de frecuencia y multiplexado de displays	5
3.1.4. Decodificador de cuadratura	6
3.1.5. Contador 0 - 1999	7
3.1.6. Simulación	8
3.2. Control de lazo de velocidad de un motor C.C.	8
3.3. Control de motor paso a paso de velocidad a lazo abierto con rampa de aceleración y desaceleración parametrizable	8

1. Introducción

El siguiente informe documenta los procedimientos realizados para el diseño digital de un controlador de un motor mediante la lectura de un encoder, se utilizará parte de las prácticas adquiridas en los prácticos de entrenamiento y se profundiza en los conocimientos sobre encoders o codificadores rotativos.

2. Marco Teórico

2.1. Encoder

Un “encoder rotatorio”, también llamado codificador del eje o generador de pulsos, es un dispositivo electromecánico capaz de convertir la posición angular de un eje a un código digital. Estos dispositivos se añaden suelen ser añadidos a motores de corriente continua para convertir el movimiento mecánico en pulsos digitales que pueden ser interpretado por un sistema electrónico de control.

Encuentran aplicación dentro de los campos de la robótica, lentes fotográficas, aplicaciones industriales que requieran medición angular, etc.

Los motores DC tienen un comportamiento complejo en cuanto a control de posición y de la velocidad, el cual no es lineal y depende mucho de la carga que soporten, es por este motivo que surge la necesidad de la aplicación de un encoder que permita conocer y asegurar la correcta posición del eje.

Según su diseño y funcionalidad existen distintos tipos de encoders. Los tipos más comunes se pueden clasificar en absolutos y relativos.

2.1.1. Encoder Absoluto

Un encoder absoluto es un dispositivo que mide la posición absoluta angular. Está diseñado para proporcionar un código digital de acuerdo a la posición angular de la flecha, como se ve en la imagen 1, una vuelta está dividida en un número específico de divisiones o marcas y cada una de ellas se le asigna físicamente un código digital único. Es decir que tiene un código único para cada posición.

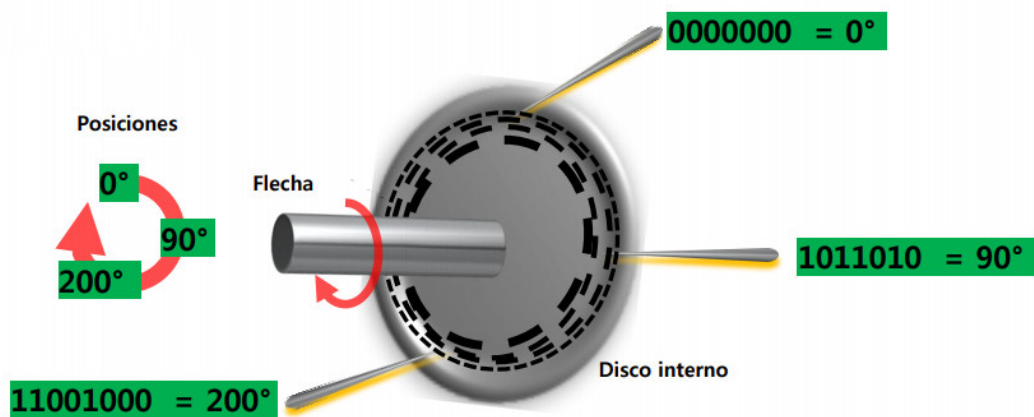


Figura 1: Estructura interna de un encoder absoluto.

2.1.2. Encoder Incremental

El tipo común de encoder incremental consiste de un disco solidario al eje del motor que contiene un patrón de marcas o ranuras que son codificados por un interruptor óptico generando pulsos eléctricos cada vez que el patrón del disco interrumpe y luego permite el paso de luz hacia el interruptor óptico a medida que el disco gira.

Este tipo de encoders determina la posición de rotación de acuerdo a un número específico de pulsos por vuelta (PPV), mediante el conteo de esos pulsos a medida que el encoder gira, es entonces que la PPV es un factor de resolución y es el aspecto más importante a la hora de seleccionar un encoder incremental. La resolución de un encoder típico es del orden de 1000 pulsos por revolución.

Desde un encoder incremental no se puede determinar la posición angular absoluta del eje. Para poder determinar la posición relativa a un punto de referencia (cero), el encoder debe incluir una señal adicional que genera un pulso por revolución, denominada “índice”(Z).

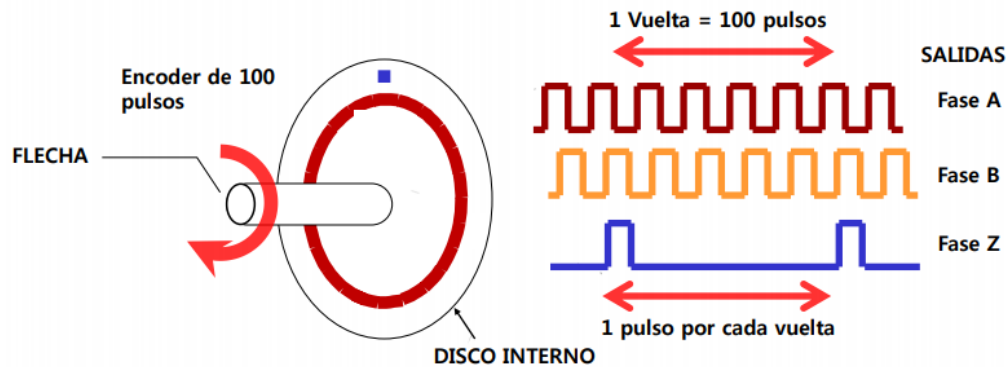


Figura 2: Estructura interna de un encoder incremental.

2.1.3. Encoder en cuadratura

Corresponde a un tipo de encoder incremental que utiliza dos sensores ópticos posicionados con un desplazamiento de 1/4 de ranura el uno del otro, generando dos señales de pulsos digitales desfasadas en 90 grados o en “cuadratura”. Estas señales se llaman comúnmente *A* y *B*. Mediante ellas es posible suministrar los datos de posición, velocidad y dirección de rotación del eje.

Usualmente, si la señal *A* adelanta a *B* (la señal *A* toma un valor lógico de “1.” antes que *B*) se establece el convenio que el eje está rotando en sentido horario, mientras que si *B* adelanta a *A*, el sentido anti horario, como se ve en la figura 3.

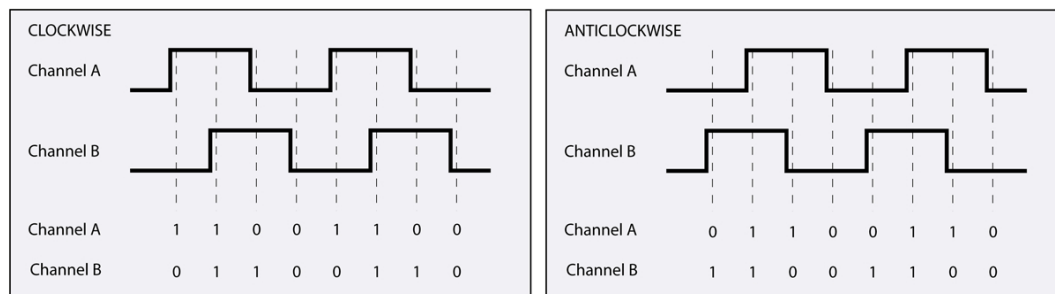


Figura 3: Sentido de giro del encoder en cuadratura

3. Desarrollo

3.1. Decodificador de encoder visualizando en cuatro display de 7 segmentos

Realizar la descripción de divisores de frecuencia para el barrido de los displays a una frecuencia de 1kHz, utilizando una clock de 15 kHz. Describir un contador decimal de 0000 a 1999. Incorporar el concepto de descripción jerárquico utilizando instanciación de componentes. Con una descripción de máquina de estado realizar la decodificación de los flancos de las señales *A* y *B* del encoder y transofromarlas en pulsos Up/Down según el sentido de giro.

3.1.1. Debouncer

Siempre existe la posibilidad de ruido externo que se puede filtrar dentro de la señal, en este caso se plantea un filtro digital de 4 FF tipo D, estos flipflop funcionan a manera que la señal se debe estabilizar en alto durante un mínimo de 4 pulsos de clock para que la salida de un resultado de verdadero en la AND puesta como salida.

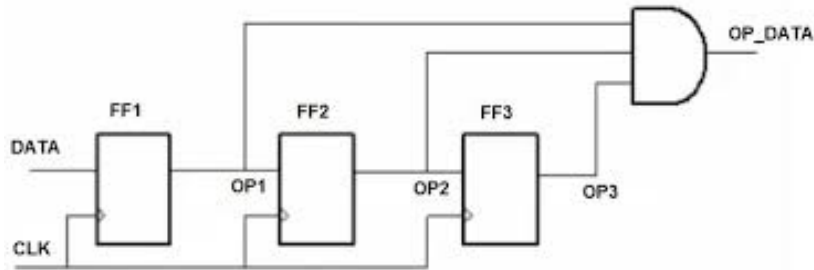


Figura 4: Circuito debouncer, filtro digital.

Este filtro se implementa en las entradas de las señales que salen del encoder, A y B como se ve en la imagen 5.

```
debounce_A : entity work.debouncer (arch)
  port map(
    clk => clk,
    data_in => A,
    data_out => A_s
  );

debounce_B : entity work.debouncer (arch)
  port map(
    clk => clk,
    data_in => B,
    data_out => B_s
  );
```

Figura 5: Señales A y B filtradas.

```
entity debouncer is
  port (
    clk      : in std_logic;
    data_in  : in std_logic;
    data_out : out std_logic
  );
end debouncer;

architecture arch of debouncer is
  signal D1, D2, D3, D4 : std_logic;
begin
  process (clk)
  begin
    if (rising_edge(clk)) then
      D1 <= data_in;
      D2 <= D1;
      D3 <= D2;
      D4 <= D3;
    end if;
  end process;

  data_out <= D1 and D2 and D3 and D4;
end arch;
```

Figura 6: Código VHDL de debouncer.

3.1.2. Decodificador de cuadratura

El decodificador del encoder en cuadratura se plantea como una máquina de estado, que detecta el sentido de acuerdo si la señal A se adelanta a la señal B o su inversa. Por cada transición del nivel a bajo o alto se produce un pulso, con la intención de aumentar la resolución del encoder, en nuestro caso se plantea un encoder de 500 ppv, de manera tal que al cuadruplicar dicha cantidad es necesario un contador de módulo 2000.

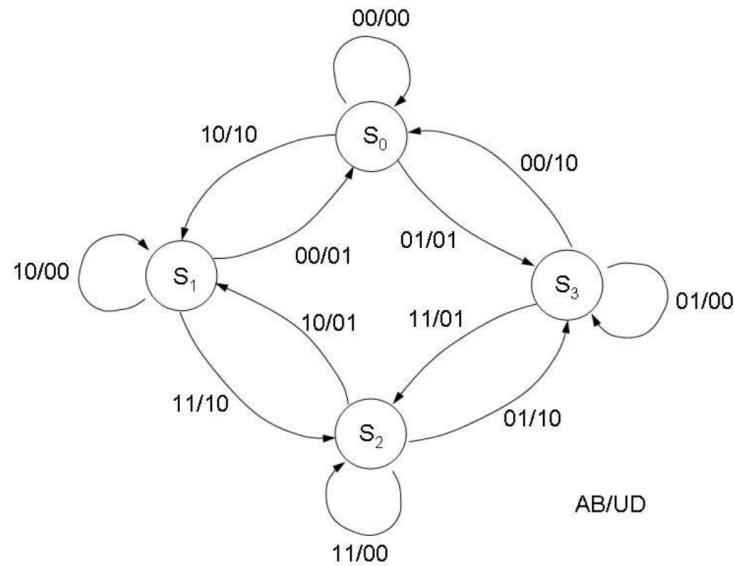


Figura 7: Máquina de Mealy

Los resultados de la máquina de Mealy de la imagen 10 se observa al siguiente, aclarando que se probaron 3 arquitecturas distintas en la descripción, observándose la respuesta de cada una.

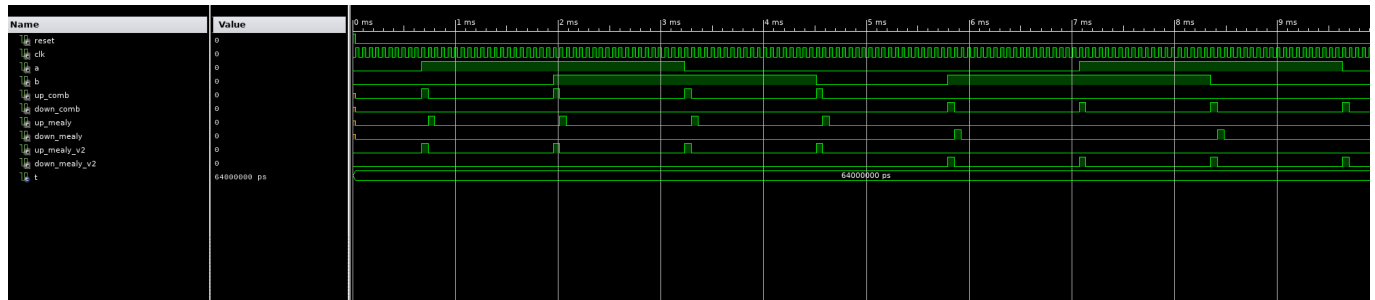


Figura 8: Simulación de detector de cuadratura.

3.1.3. Divisor de frecuencia y multiplexado de displays

A partir de la frecuencia de entrada f_1 en 15 kHz, se pretende utilizar para realizar el multiplexado de los 4 displays necesarios para visualizar la cuenta hasta 1999, como el ojo no es capaz de percibir el encendido y apagado a alta velocidad, fenómeno conocido como persistencia de la visión, engañando a la espectador en creer que el los displays se encuentran encendido en simultáneo.

Con la frecuencia de 15 kHz, es necesario un registro de 6 bits de longitud, con los 2 MSB se multiplexa la salida de los display a una velocidad cercana a 1 kHz.

$$f_{mux} = \frac{f_{in}}{2^n} = \frac{15 \text{ kHz}}{2^4} \approx 1 \text{ kHz} \quad (1)$$

```

-- 2MSBs controlan el multiplexado de los 4 display
sel <= std_logic_vector(q_reg(N-1 downto N-2));
process(sel, bin0, bin1, bin2, bin3)
begin
    case sel is
        when "00" =>
            an <= "1110";
            bin_reg <= bin0;
        when "01" =>
            an <= "1101";
            bin_reg <= bin1;
        when "10" =>
            an <= "1011";
            bin_reg <= bin2;
        when others =>
            an <= "0111";
            bin_reg <= bin3;
    end case;
end process;

```

Figura 9: Multiplexado de display 7 segmentos.

3.1.4. Decodificador de cuadratura

El decodificador del encoder en cuadratura se plantea como una máquina de estado, que detecta el sentido de acuerdo si la señal A se adelanta a la señal B o su inversa. Por cada transición del nivel a bajo o alto se produce un pulso, con la intención de aumentar la resolución del encoder, en nuestro caso se plantea un encoder de 500 ppv, de manera tal que al cuadruplicar dicha cantidad es necesario un contador de módulo 2000.

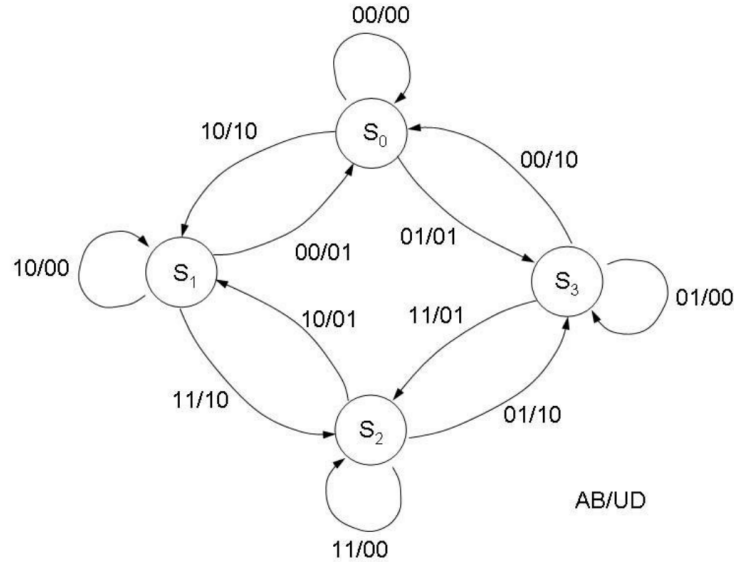


Figura 10: Máquina de Mealy

Los resultados de la máquina de Mealy de la imagen 10 se observa al siguiente, aclarando que se probaron 3 arquitecturas distintas en la descripción, observándose la respuesta de cada una.

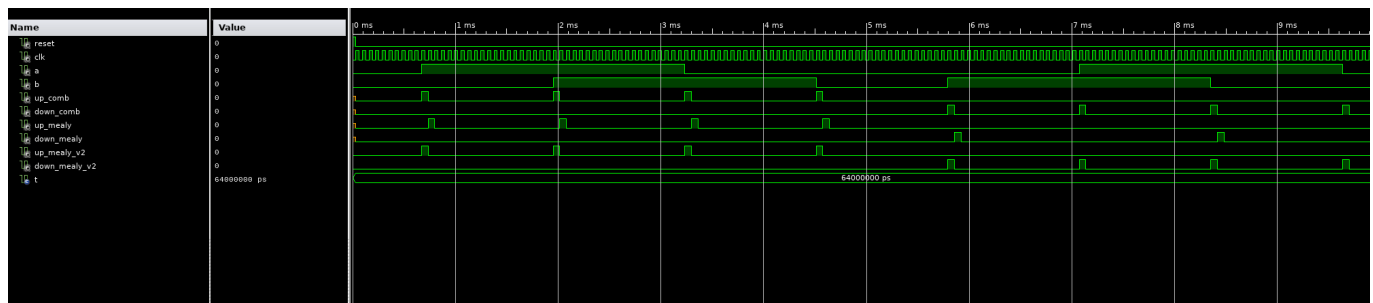


Figura 11: Simulación de detector de cuadratura.

3.1.5. Contador 0 - 1999

Para el contador de modulo 2000, se usan los pulsos que se generan en el detector de cuadratura, de acuerdo si la señal es *up* o *down*, el valor de contador asciende o desciende respectivamente. Como se ve en la figura 12, si en algún momento se acierta uno de los pulsos y además concuerda con un valor parametrizable “M.^o M_n ”, el valor de registro se seta a 0.

```
r_next <= (others => '0') when (up='1' and r_reg = (M-1)) or (down='1' and r_reg = M_n+1) else
      r_reg + 1      when up='1'      else
      r_reg - 1      when down='1'    else
      r_reg;
```

Figura 12: Simulación de detector de cuadratura.

Este registro *r_reg* solo se utiliza para tener un valor de referencia en la simulación, para los displays en un principio se oriento la solución como un conversor binario a BCD, el cual consiste en un registro de desplazamiento con una adición de un entero de valor 6 de acuerdo si se cumplen ciertas condiciones, el mismo se implementó y se vio que tenía el resultado correcto, sin embargo se trataba de una estructura que consumía muchos recursos y necesita muchos pulsos de clock para convertir una entrada serie, a una salida paralela de 12 bit para los 4 displays, caso por el cual se implementa un contador similar al planteando en los ejercicios de entrenamiento (10).

```
if (up='1') then
  if (d0_reg/=9) then
    d0_next <= d0_reg + 1;
  else
    d0_next <= "0000";
    if (d1_reg/=9) then
      d1_next <= d1_reg + 1;
    else
      d1_next <= "0000";
      if (d2_reg/=9) then
        d2_next <= d2_reg + 1;
      else
        d2_next <= "0000";
        if (d3_reg/=1) then
          d3_next <= d3_reg + 1;
        else
          d3_next <= "0000";
        end if;
      end if;
    end if;
  end if;
end if;

elsif (down='1') then
  if (d0_reg/=0) then
    d0_next <= d0_reg - 1;
  else
    d0_next <= "1001";
    if (d1_reg/=0) then
      d1_next <= d1_reg - 1;
    else
      d1_next <= "1001";
      if (d2_reg/=0) then
        d2_next <= d2_reg - 1;
      else
        d2_next <= "1001";
        if (d3_reg/=0) then
          d3_next <= d3_reg - 1;
        else
          d3_next <= "0001";
        end if;
      end if;
    end if;
  end if;
end if;
```

Figura 13: Simulación de detector de cuadratura.

En la imagen 13 se puede apreciar que se utilizan 4 registros de 4 bits (*dn_reg*) para cada uno de los displays, en el caso de que se acierte un pulso *up*, se incrementan los registros de los display, con la condición que si el valor previo era 9, el próximo valor posible es 0. Para el caso inverso, con el pulso *down* la lógica

es similar, pero en este caso los registros se decrementan, con la excepción que si el valor es 0 el siguiente valor será de 9.

Como aclaración se debe notar que el registro d3_reg se verifica si el mismo llega a un valor distinto de 1, es decir 2, en tal caso se resetea, para cualquiera de los sentidos, de manera tal queda descrito el contador de módulo 2000, de 0 a 1999.

3.1.6. Simulación

Las imágenes 14 y 15 corresponden a una misma simulación en la cual se hace contar hasta un numero superior a 2000 para denotar el reseteo en la cuenta. Por el otro lado se realiza lo mismo pero en sentido contrario para que pase de 0 a 1999.

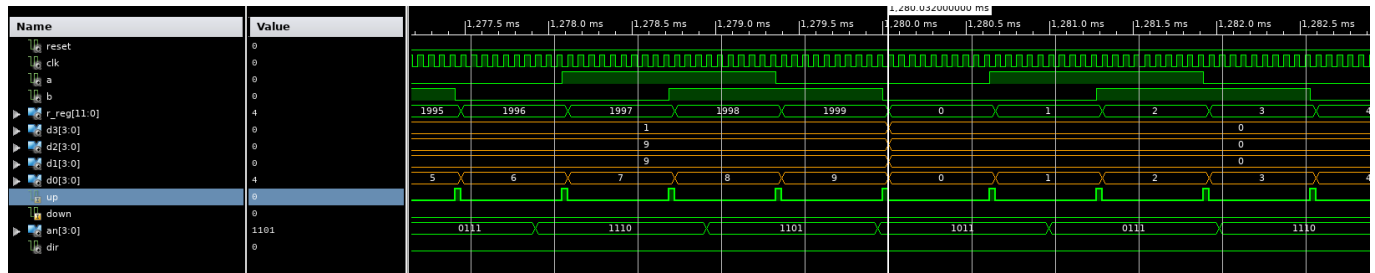


Figura 14: Giro en sentido horario.

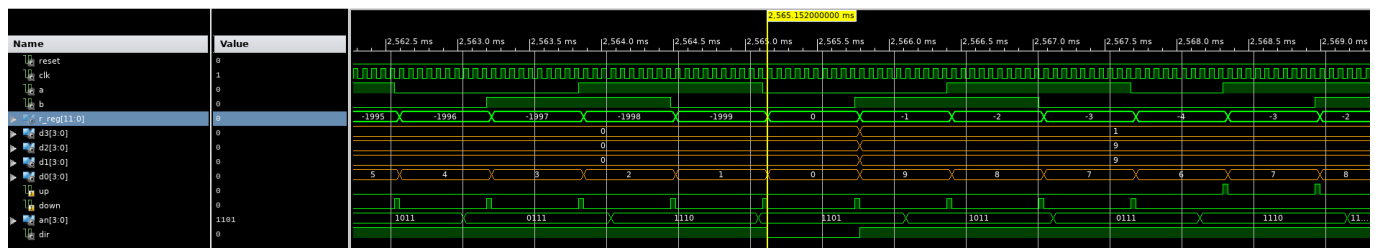


Figura 15: Giro en sentido antihorario.

3.2. Control de lazo de velocidad de un motor C.C.

3.3. Control de motor paso a paso de velocidad a lazo abierto con rampa de aceleración y deseleración parametrizable