



TÉCNICA DIGITAL (66.01 – 86.01)

CURSO SEMIPRESENCIAL INTENSIVO (TURNO 5)

Ejercicios

OBJETIVOS:

Que al alumno aplique los conocimientos aprendidos posteriores a la fecha de examen parcial, logrando una óptima preparación para Rendir el coloquio integrador de la asignatura.

A completar por el Alumno		
Padrón	Nombre completo	Apellido Completo

A completar por el Docente			
Fecha de Entrega	Corrigió	Nota	Comentario

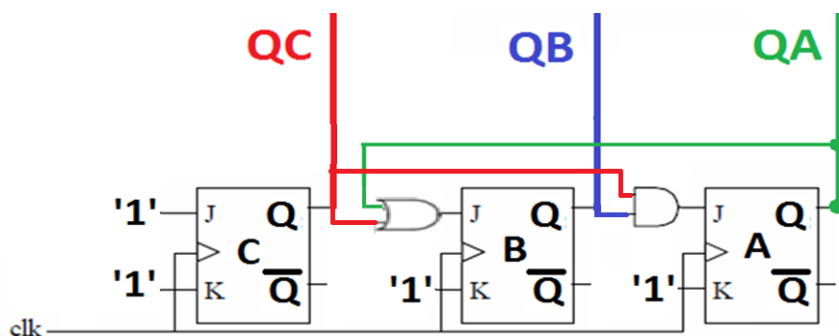
ACLARACIÓN:

- Se debe Imprimir este enunciado y presentar todos los ejercicios en forma prolija y manuscrita.*
- Las respuestas a las preguntas, **BREVES y EXPLICATIVAS** apuntando directamente al **CONCEPTO**.*

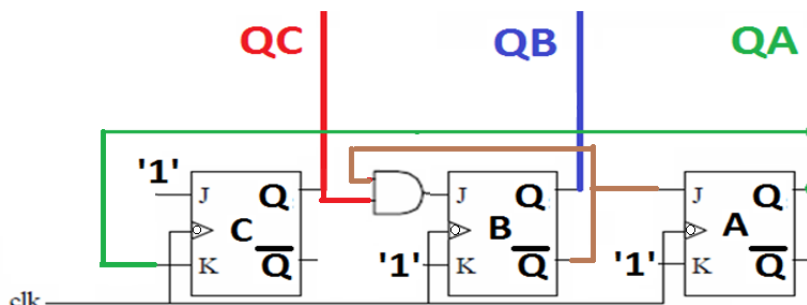


- 1) Definir el concepto de Familia Lógica.
- 2) Definir el concepto de FAN IN y FAN OUT; indicar como se calculan.
- 3) Definir el concepto de Margen de Ruido Estático y Dinámico. Indicar como se calcula el margen de ruido estático. **GRAFIQUE.**
- 4) Analizar que parámetros de una Familia Lógica se afectan a medida que se alcanza el límite del FAN OUT.
- 5) Especifique los parámetros característicos de una **Familia Lógica IDEAL.**
- 6) ¿Cómo funciona una Familia Schmitt Trigger? Indique una posible aplicación.
- 7) Se desea utilizar una compuerta Open Collector del integrado **DM74LS03** cuya salida se desea conectar a dos entradas de compuerta del integrado **DM74LS04**. Especifique los componentes necesarios para lograr el buen funcionamiento del circuito lógico resultante.
- 8) Defina el concepto de Sistema Secuencial.
- 9) En un sistema secuencial síncrono; ¿Cuál es la función de la entrada de sincronismo?
- 10) ¿Cuáles son las ventajas de un FF JK frente a un FF RS?
- 11) Explique cómo funciona la Sincronización del tipo Maestro Esclavo y Edge Trigger.
- 12) Se cuenta con FF JK Asíncrono; ¿Qué inconveniente puede presentar cuando sus entradas permanecen en '1'?
- 13) Obtener un Flip Flop JK a partir de un RS a partir del método de las transiciones y por método de la ecuación característica.
- 14) Utilizando FF JK de Flanco Descendente y la menor cantidad de componentes posibles, diseñar un circuito secuencial asíncrono que permita a partir de una entrada de 256 KHZ obtener una frecuencia de salida de 32 KHZ. Graficar el diagrama de tiempos considerando retardos.
- 15) Para Ambos Circuitos, Obtener el diagrama de estados completo del siguiente circuito contador síncrono, Módulo y código y a qué clasificación corresponden.

a)



b)



- 16) Utilizando FF JK conectados como registro de desplazamiento, implementar un contador en anillo que cuente con un '1'. Asegurar que se inicie en 1000 (Q1, Q2, Q3, Q4). Realizar el diagrama de estados completo.
- 17) Diseñar un Contador BCD Síncrono con una entrada de control que permita Incrementar o decrementar la cuenta (UP/DOWN).