



UNIVERSIDAD DE BUENOS AIRES  
FACULTAD DE INGENIERÍA  
Año 2025 - 2º cuatrimestre

## TALLER DE DISEÑO DE CIRCUITOS ELECTRÓNICOS (TA138)

ENTREGA FINAL - SISTEMA DE ALIMENTACIÓN PARA APLICACIONES  
INDUSTRIALES Y AUTOMOTRICES

ESTUDIANTES: Grupo 4	
Martin, Andrés	110722
<a href="mailto:ammartin@fi.uba.ar">ammartin@fi.uba.ar</a>	
Loñ, Julieta	110663
<a href="mailto:jlon@fi.uba.ar">jlon@fi.uba.ar</a>	
Monti, Martina	110574
<a href="mailto:mmonti@fi.uba.ar">mmonti@fi.uba.ar</a>	
Del Rio, Francisco	110761
<a href="mailto:fadelrio@fi.uba.ar">fadelrio@fi.uba.ar</a>	

# Índice

<b>1. Primer Checkpoint</b>	<b>3</b>
1.1. Introducción . . . . .	3
1.2. Regulador de Tensión . . . . .	3
1.2.1. Diagrama de bloques . . . . .	3
1.2.2. Elección del transistor de paso . . . . .	3
1.2.3. Primer diseño . . . . .	5
1.2.4. Diseño con par diferencial . . . . .	6
1.3. Límite de corriente . . . . .	9
1.3.1. Límite de corriente por foldback . . . . .	10
1.4. Diseño final y esquemático del PCB . . . . .	11
1.4.1. Eficiencia . . . . .	12
1.5. Conclusiones . . . . .	12
1.6. Apéndice . . . . .	13
<b>2. Segundo checkpoint</b>	<b>14</b>
2.1. Introducción . . . . .	14
2.2. Compensación . . . . .	14
2.2.1. Lazo de tensión . . . . .	14
2.2.2. Lazo de corriente . . . . .	17
2.2.3. Respuestas al escalón . . . . .	17
2.3. Diseño del PCB . . . . .	22
2.4. Análisis térmico . . . . .	23
2.5. Conclusión . . . . .	24
<b>3. Tercer checkpoint</b>	<b>25</b>
3.1. Introducción . . . . .	25
3.2. Armado del circuito . . . . .	25
3.3. Regulación de linea . . . . .	25
3.4. Regulación de carga . . . . .	26
3.5. Foldback . . . . .	27
3.6. Eficiencia . . . . .	28
3.7. Tiempo de respuesta . . . . .	29
3.8. Resultados . . . . .	31
3.9. Conclusiones . . . . .	31
3.10. Anexo . . . . .	31
3.10.1. Propagación de errores . . . . .	31
<b>4. Cuarto checkpoint</b>	<b>33</b>
4.1. Introducción . . . . .	33
4.2. Fuente buck . . . . .	33
4.2.1. Diseño y simulación . . . . .	33
4.2.2. Inductor . . . . .	35
4.2.3. Eficiencia . . . . .	35
4.2.4. Diseño de PCB . . . . .	36
4.3. Circuito PWM . . . . .	37
4.3.1. Diseño y simulación . . . . .	37
4.3.2. Diseño de PCB . . . . .	39
4.3.3. Mediciones . . . . .	40
4.4. Conclusiones . . . . .	41
4.5. Apéndice . . . . .	42
4.5.1. Calculo del inductor . . . . .	42

<b>5. Quinto checkpoint</b>	<b>44</b>
5.1. Introducción . . . . .	44
5.2. Fuente Buck realimentada . . . . .	44
5.3. Compensación . . . . .	45
5.4. Caracterización del inductor . . . . .	48
5.4.1. Corriente de saturación . . . . .	48
5.5. Diseño PCB . . . . .	50
5.6. Armado y prueba de etapas . . . . .	51
5.7. Mediciones . . . . .	55
5.7.1. Respuesta temporal . . . . .	55
5.7.2. Ripple . . . . .	58
5.7.3. Eficiencia . . . . .	63
5.8. Resultados . . . . .	63
5.9. Conclusiones . . . . .	64
5.10. Apéndice . . . . .	64
5.10.1. Amplitud de la señal triangular . . . . .	64
5.10.2. Cálculos de la compensación . . . . .	64

## 1. Primer Checkpoint

### 1.1. Introducción

En este trabajo se aplicarán los conceptos aprendidos en las clases teóricas. Se observará el comportamiento de distintas fuentes de alimentación lineales. En ellas, apoyados de teoría y pruebas empíricas se lograrán amplias mejoras para el diseño de la fuente. Se partirá de una fuente muy básica, dependiente de la temperatura de los componentes y variaciones de la  $V_{IN}$  hasta una fuente capaz de limitar la potencia en casos extremos para no deteriorar los componentes de la fuente.

### 1.2. Regulador de Tensión

Se busca obtener una tensión de salida estable de 5 V, que presente poca variación ante grandes variaciones de la tensión de entrada, es decir buena regulación de linea. También se espera que la tensión se mantenga a medida que varía la corriente de salida dentro de cierto rango, es decir que presente una buena regulación de carga. A lo largo de esta sección se explicará el recorrido tomado para obtener estas especificaciones, tanto como qué se considera como “bueno” en ambos casos.

#### 1.2.1. Diagrama de bloques

La mejor forma de estabilizar un parámetro de la salida es a través de un muestreo de éste parámetro y su comparación con una referencia, es decir, un sistema realimentado. Para nuestro caso, lo adecuado es muestrear tensión a la salida y sumar tensión a la entrada, de esta forma se acerca nuestro sistema a un amplificador ideal de tensión.

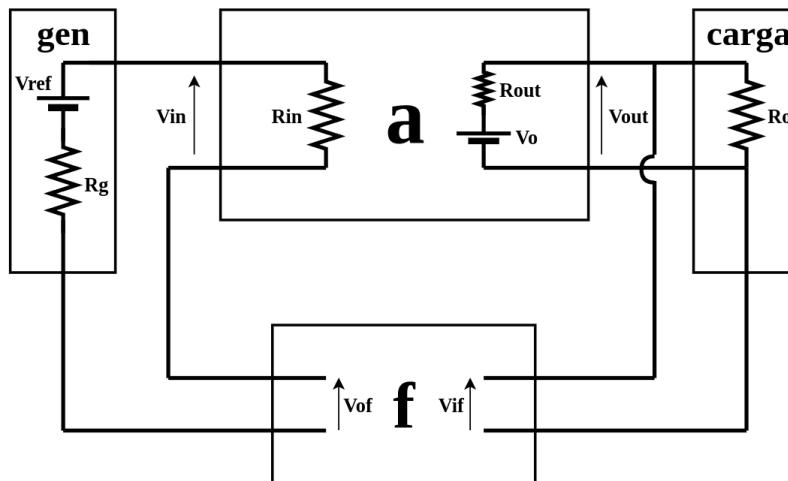


Figura 1: Diagrama de bloques de el sistema realimentado

Como se puede ver en el diagrama de bloques, la entrada al amplificador realimentado es  $V_{ref} - V_{of}$ , lo que implica realimentación negativa. Realimentando negativamente se consigue estabilizar el parámetro de interés a la salida, ya que si la ganancia de lazo  $T = af$  es lo suficientemente grande, se tiene:

$$V_o = \frac{a}{1 + af} V_{ref} \xrightarrow{af \gg 1} \frac{V_{ref}}{f}$$

De esta forma, con un circuito diseñado para obtener la ganancia de lazo necesaria, la tensión de salida dependerá solamente de la referencia y de la realimentación, que en nuestro caso será un simple divisor resistivo.

#### 1.2.2. Elección del transistor de paso

Se necesita una corriente elevada a la salida, como no todos los transistores pueden controlar altas corrientes, y más adelante, un par diferencial no puede satisfacer por sí mismo. La manera de resolver

esto fue agregando un buffer de corriente en la forma de un Quasi-Darlington. A diferencia del Darlington el Quasi-Darlington permite que la caída de tensión sobre el transistor de paso sea mas chica, lo cual ayuda a tener un Low-Dropout.

El transistor de paso es el encargado de disparar la mayor parte de la potencia del circuito por lo tanto al momento de elegirlo se buscaron transistores que puedan disipar la potencia necesaria, y que puedan soportar la corriente y tensión entre sus bornes requerida. La corriente máxima que pasa por el transistor sera 1,5 A y la tensión de entrada puede variar entre 9,5 V y 24 V, usando esa información calculamos la potencia máxima como  $P_{max} = I_{max}(V_{in_{max}} - 5V) = 28,5W$

El valor de la ganancia de corriente también fue relevante en la elección, es necesario que esta no disminuya demasiado a altas corrientes. Este fue uno de los requisitos mas restrictivos ya que varias de las opciones disponibles cuando operan a 1,5 A presentan una ganancia de corriente cercana a 10.

Finalmente, la mayor limitación estuvo dada por la disponibilidad de los componentes en las casas de electrónica cercanas. Y en caso de que este disponible, el precio también se tuvo en cuenta. Se considero que el transistor elegido debía ser accesible de manera que se puedan comprar en cantidad y reemplazarlo en caso de ser necesario.

En base a todo lo mencionado se eligió el transistor **MJE2955T** que cumple con todas las características mencionadas. Las necesidades de corriente, tensión y potencia son cubiertas por un gran margen. La variación de la ganancia de corriente se puede ver en el gráfico 2, en la corriente de operación presenta un valor cercano a 70.

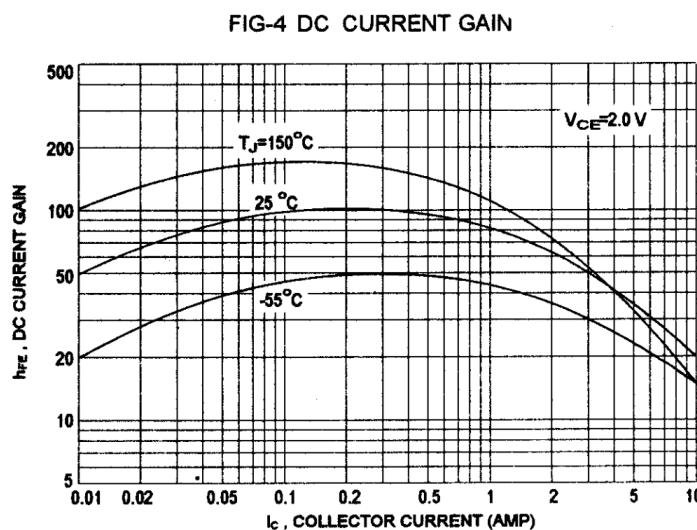


Figura 2: Caption

El transistor de drive usado sera el **BC547**. Se seleccionó este transistor debido a que tiene una ganancia lo suficientemente alta y a la disponibilidad del modelo ya que es el mismo que sera utilizado para otros transistores presentes en el circuito.

### 1.2.3. Primer diseño

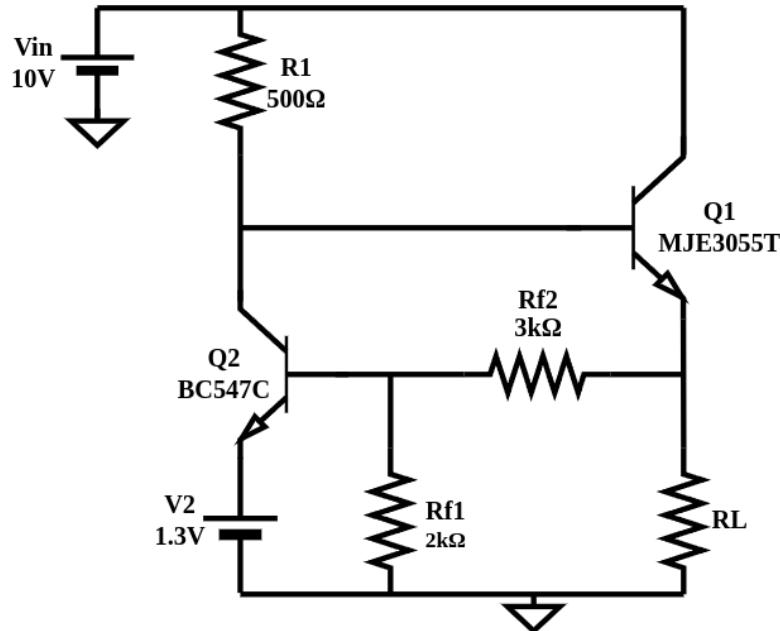


Figura 3: Primer diseño de regulador lineal de tensión

Como primer diseño, se utilizó el circuito presentado en la figura 3 el cual tiene ciertas limitaciones en comparación con el diseño final. En el gráfico de la Figura 4, de regulación de linea se ve que hay una gran variación de la tensión de salida con respecto a variaciones de la tensión de entrada, obteniendo una variación de  $23,6 \frac{mV}{V}$  y en el gráfico de la Figura 5, de regulación de carga se puede apreciar la variación que tiene la tensión de salida frente a modificaciones del valor de la  $R_{carga}$ , obteniendo un valor de regulación de carga de  $358 m\Omega$ . Lo que se busca es lograr que la tensión de salida quede lo más estable posible en 5V independientemente del valor que tome la  $R_{carga}$  y de las variaciones que puede presentar  $V_{in}$  por lo que el  $\Delta V_{sal}$  con respecto a estas variables se quiere reducir lo mayor posible, y este modelo no cumple con este requerimiento.

Otro problema que presenta este modelo es que las variaciones de  $V_{be}$  forman parte de la tensión de referencia, lo cual provoca que frente a variaciones en por ejemplo la temperatura, la  $V_{ref}$  cambie su valor, cambiando así también el valor de la tensión de salida puesto que  $V_{salida} = \frac{a}{1+T} * V_{ref}$

Realizando la simulación de la ganancia de lazo se observa un valor de 30 veces. Esta simulación se realizó añadiendo un inductor entre  $R_{f2}$  y  $R_l$  (en el nodo de  $R_{f2}$ ), un capacitor entre  $R_{f2}$  y el inductor, y una fuente de tensión alterna que conecta a este capacitor con tierra. Teniendo en cuenta la ecuación de la Subsección 1.2.1, la ganancia de lazo resulta, en cierta medida, comparable con 1, lo que explica el pobre desempeño en regulación de carga y linea. Esta ganancia es mejorable y esto se apreciará mejor en la comparación de la ganancia de lazo del par diferencial.

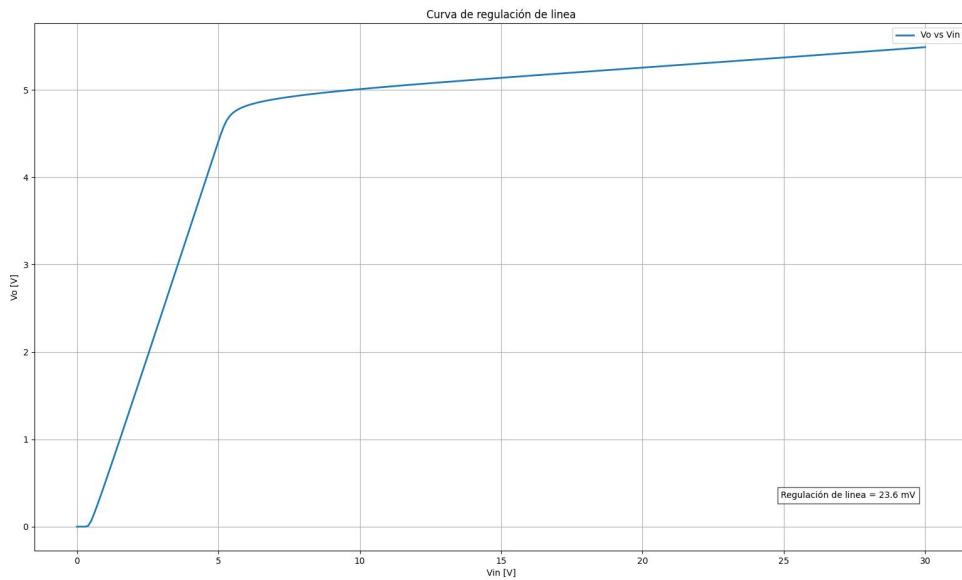


Figura 4: Regulación de linea del diseño

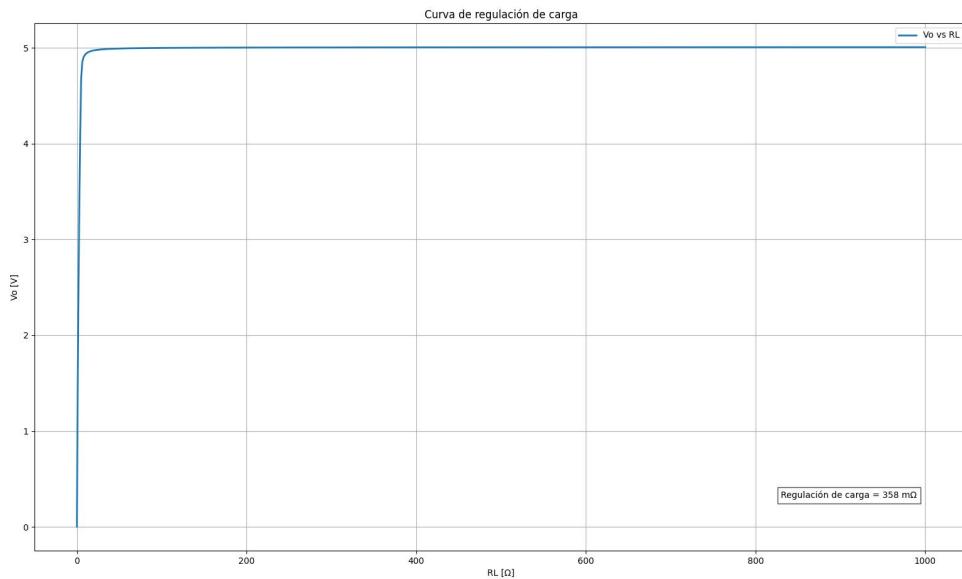


Figura 5: Regulación de carga del diseño

#### 1.2.4. Diseño con par diferencial

Con el motivo de mejorar la regulación del circuito, disminuyendo las variaciones de  $V_{sal}$  con respecto a la  $R_{carga}$  y a  $V_{in}$ , se modificó el circuito de entrada con par diferencial permitiendo así tener un mejor rechazo en modo común y una mayor ganancia de lazo del sistema. También, se colocaron resistencias de 100  $\Omega$  en el emisor de la carga activa, estas sirven para arreglar futuros desapareamientos que podrían presentarse.

Al colorarle al par diferencial la carga activa, se ayuda a mejorar el rechazo de modo común, disminuyendo la ganancia del respectivo modo y a su vez aumentando el RRMIC.

Además, al usar un amplificador diferencial se consigue independizar la referencia de valores intrínsecos de los transistores, como la tensión base-emisor, que presentan altas variaciones con temperatura y otros parámetros.

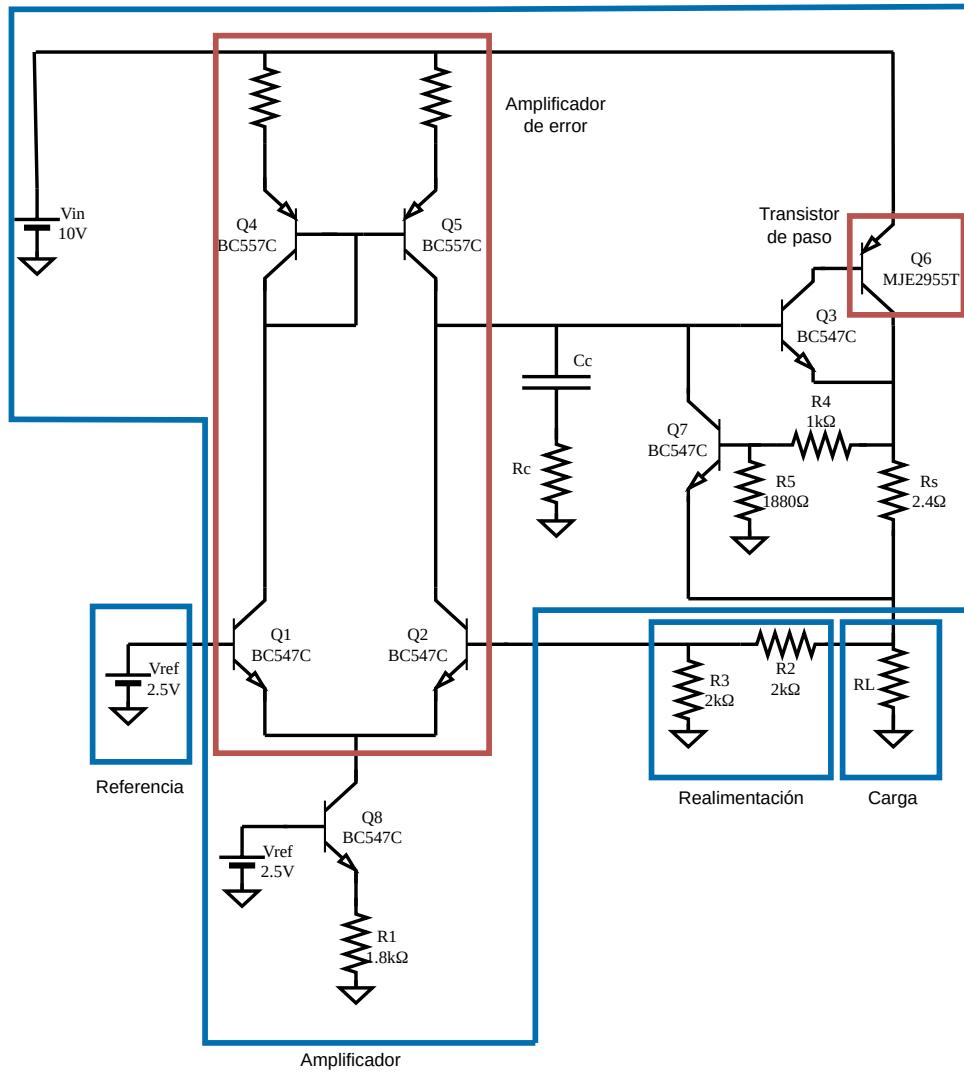


Figura 6: Diseño con amplificador diferencial

Como se puede ver en los bloques del circuito, la tensión de entrada al amplificador diferencial es  $V_{Ref} - V_{oR}$ , entonces la referencia de la realimentación depende solamente de la tensión  $V_{ref}$ , que más adelante se especificará cómo esta se puede obtener asegurando poca variación ante parámetros tanto externos como internos al circuito.

Si se compara la regulación de carga del primer diseño con el del par diferencial, se ve que el valor con este último circuito es más de 100 veces menor que el valor que se obtuvo con el primero diseño lo cual indica que nuestra  $V_{out}$  tiene menores variaciones en función de la carga.

Además gracias a la carga activa el circuito tendrá un mayor rechazo de modo común por lo que se tendrá una mayor ganancia.

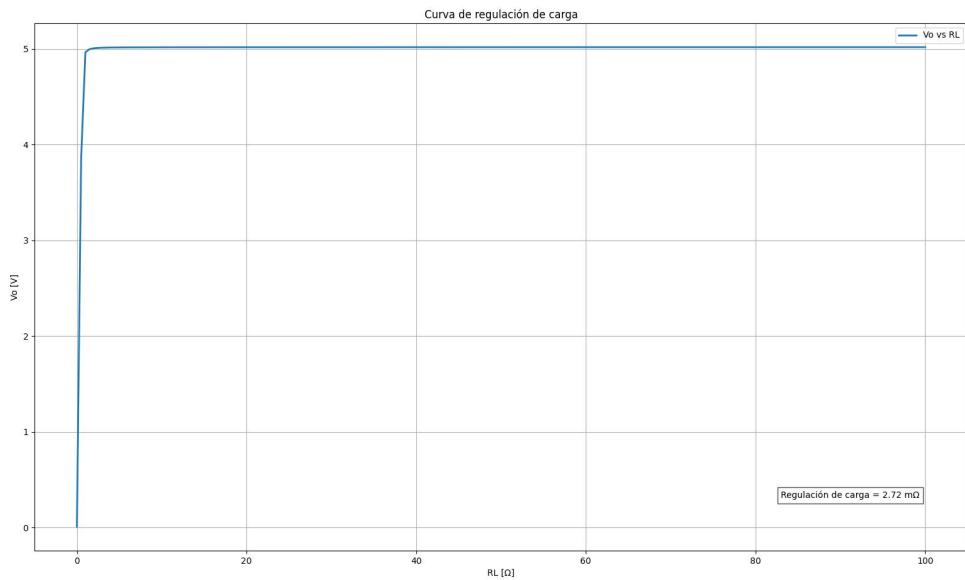


Figura 7: Regulación de carga del diseño con par diferencial

También está el gráfico de regulación de línea en el cual, comparando con el primer diseño, su valor corresponde a 23,6 mV y en el diseño actual a 2,86 mV. Esta disminución de su valor indica que la  $V_{out}$  del diseño final presenta alrededor de 10 veces menos variaciones en función de la  $V_{in}$  respecto al primer diseño.

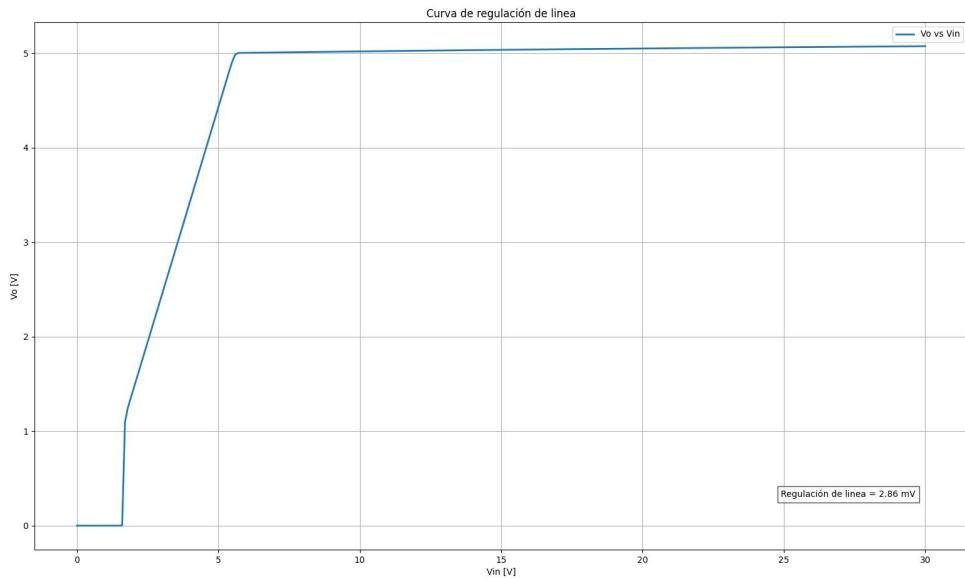


Figura 8: Regulación de linea del diseño con par diferencial

Ademas se calculó la ganancia de lazo, cortando el lazo en la base de Q2, dado que la resistencia de entrada al par diferencial es de aproximadamente  $25 \text{ k}\Omega$ , entonces su efecto junto a la red de realimentación en la carga es despreciable. Se obtuvo un valor aproximado de  $T$  de 1000 veces. Luego se simuló esta misma y se obtuvo un valor de 708 veces, lo que implica un error de cálculos de aproximadamente

un 30 %. Tal error puede atribuirse a la nula disponibilidad de valores de parámetros intrínsecos de los transistores, como son la tensión de early o la ganancia de corriente, la cual presenta gran dispersión.

Aún con el error de cálculos, los valores obtenidos son lo suficientemente mayores a 1 como para que la ganancia del sistema realimentado se pueda considerar  $\frac{V_{ref}}{f}$  lo que, como se puede ver en los gráficos de regulación de linea y carga de las figuras 7 y 8 resulta en un parámetro mucho más estable a la salida ante variaciones de tensión de entrada y corriente de salida.

#### 1.2.4.1 Polarización del par diferencial con fuente de corriente

Para mejorar el rechazo de modo común y dejar una corriente fija para la polarización del circuito, se coloca una fuente de corriente polarizada con la misma tensión de referencia de la base de Q1, en el emisor del par. En el análisis para modo diferencial, ese punto es una tierra virtual por lo que no modifica la ganancia en ese modo pero, en modo común agregar la fuente de corriente, que presenta un alto valor de resistencia en los emisores del par, deriva en que la ganancia del modo común disminuya y por lo tanto que la RRMC aumente.

### 1.3. Límite de corriente

Al momento de hacer una fuente de alimentación hay que considerar todos los casos. Si no se coloca ningún limitador el circuito se podría dañar frente a diferentes situaciones; ya sea demasiada potencia requerida, cortocircuito, entre otros.

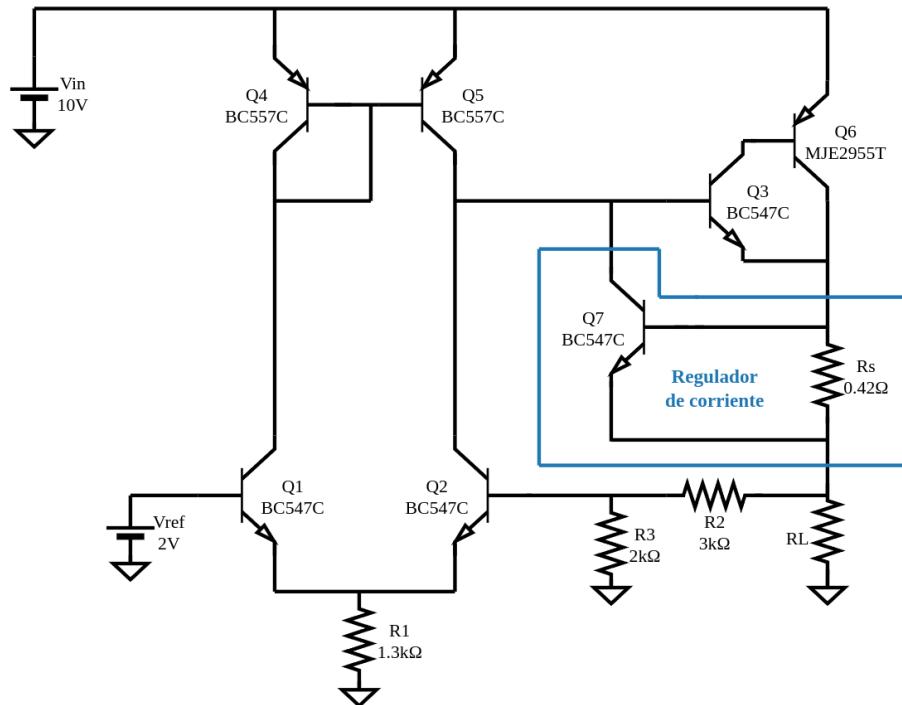


Figura 9: Circuito con regulador de corriente

En este circuito se observa que se utiliza un transistor BC547C un resistor de  $0,42\Omega$  para crear un lazo de realimentación en el circuito. El transistor esta conectado de manera tal que cuando aparezca una caída de  $0,63$  V en la resistencia previamente nombrada, se activa Q7. Notar que  $0,63$  V con una resistencia de  $0,42\Omega$  equivale a una corriente de  $1,5$  A, exactamente la corriente que queremos limitar. De esta forma, cumpliendo la Ley de corrientes de Kircchoff Q3 deja de recibir toda la corriente de la etapa anterior y un porcentaje de esa corriente lo toma Q7. Esto genera que el driver (Q3) del darlington no amplifique como antes y la corriente total que recibe la carga se mantiene en  $1,5$  A.

### 1.3.1. Límite de corriente por foldback

Al llegar a la situación donde circula la corriente máxima, el circuito de la sección anterior limita la corriente pero el transistor de paso está siendo constantemente exigido, ya que entre su colector y emisor circulan 1,5 A y cae toda la tensión de entrada, por lo que la potencia disipada en éste transistor es máxima, y la no haber carga, no hay potencia aprovechada a la salida. Para evitar esto se utiliza otro limitador de corriente llamado Foldback. Este permite que, frente a la  $V_{salmin}$ , el limitador de corriente hará que la corriente que circule por el transistor Q6 no sea 1,5 A y sea  $I_{cc} = 400 \text{ mA}$ . Este método funciona agregando al limitador original de la sección 3 un divisor resistivo el cual genera que el circuito se comporte (únicamente en la sección de foldback) según la siguiente ecuación:

$$I_{SAL} = \frac{(R_1 + R_2) * V_{BE} + R_1 * V_{SAL}}{R_S * R_2} \quad (1)$$

Se observa que hay una relación lineal entre  $I_S$  Y  $V_s$ , la cuál corresponde a la forma característica del limitador de corriente por foldback

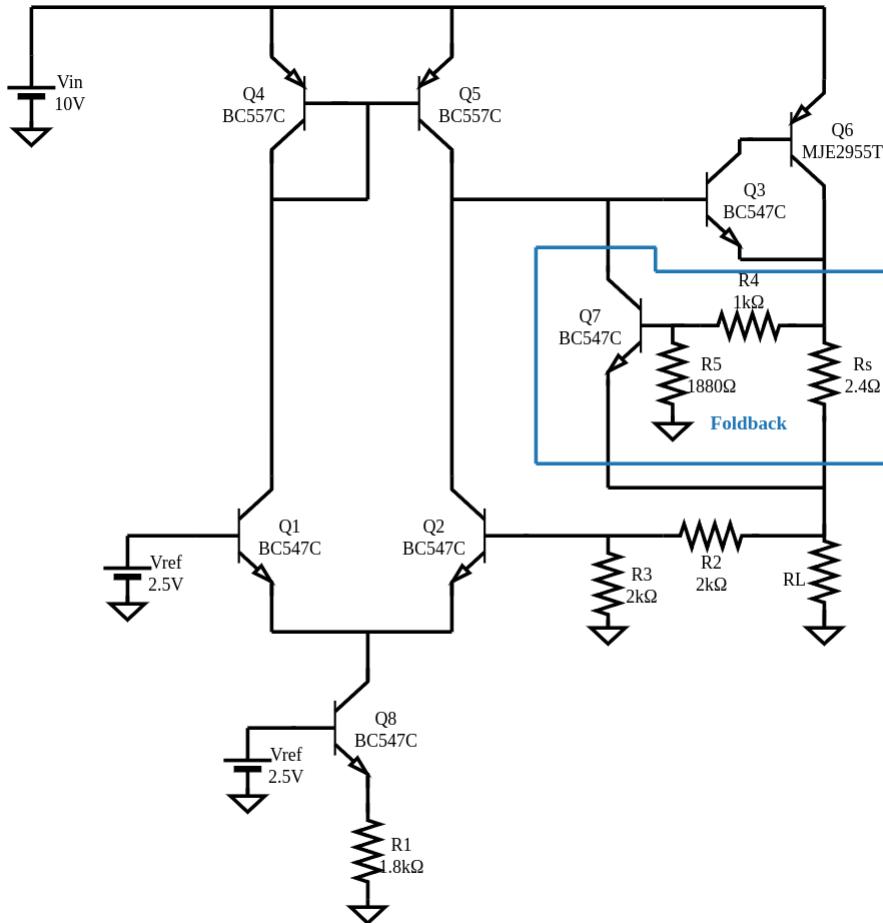


Figura 10: Circuito con regulador de corriente foldback

En el apéndice se puede ver el detalle de los cálculos utilizados para obtener los valores de las resistencias presentes en el bloque de foldback.

Luego, se simuló el circuito con la implementación del foldback, variando la carga a tensión de entrada constante, y se obtuvo la siguiente curva de corriente de salida contra tensión de salida:

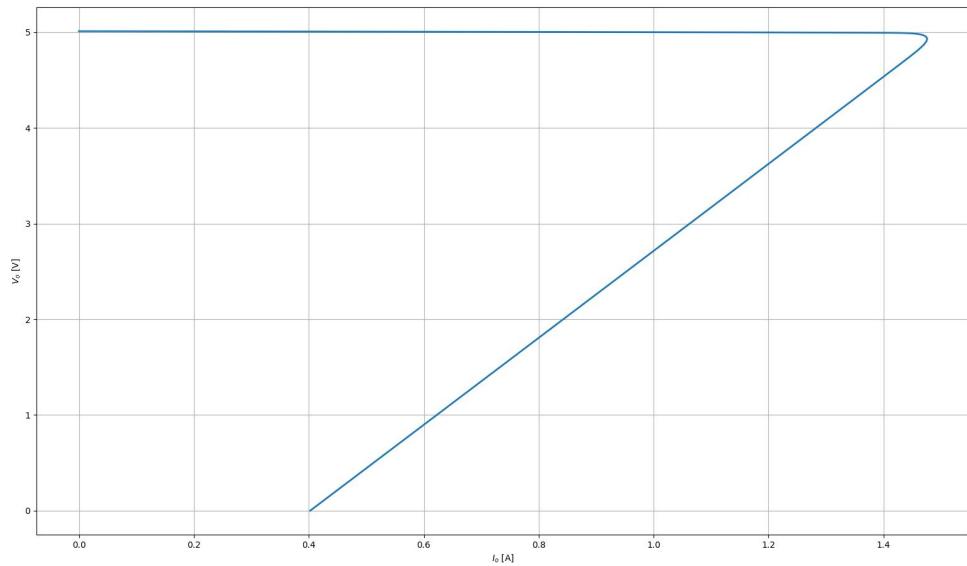


Figura 11: Curva de foldback

Se puede apreciar como, al disminuir  $R_{carga} = \frac{V_o}{I_o}$ , la corriente llega hasta un máximo de aproximadamente 1,5 A y luego, al acercarse  $R_{carga}$  a cero, la corriente disminuye hasta aproximadamente 400 mA, disminuyendo la potencia disipada en el transistor de paso al cortocircuitar la salida.

#### 1.4. Diseño final y esquemático del PCB

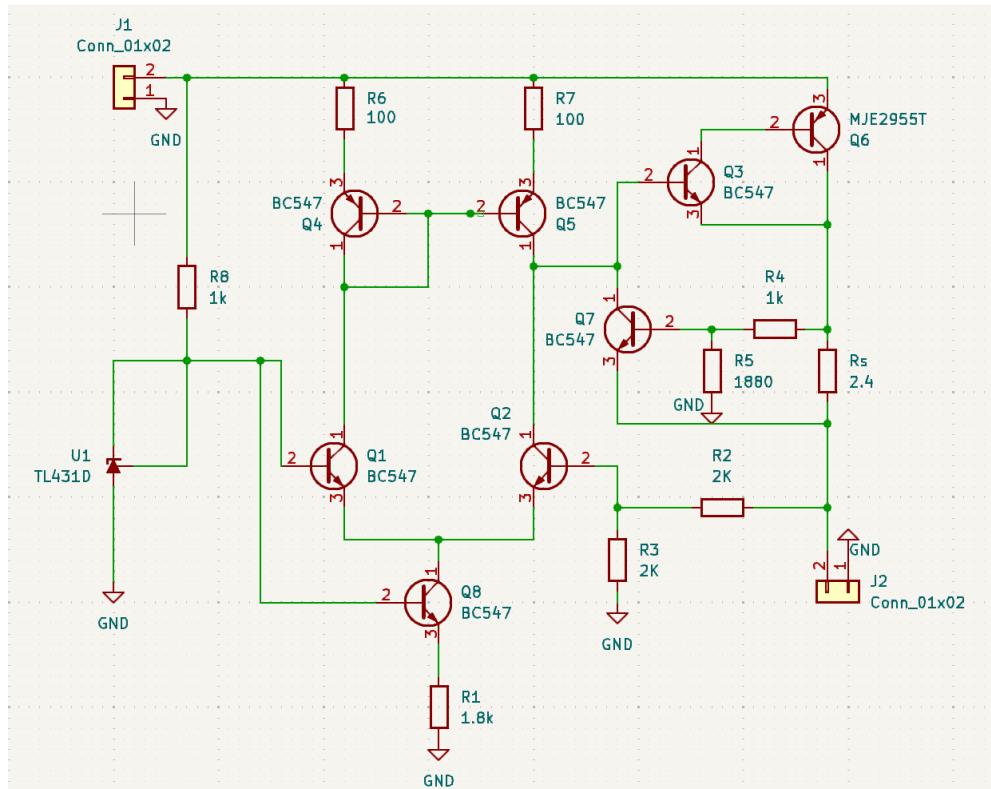


Figura 12: Esquemático del circuito en KiCad

El valor de la resistencia que acompaña a la referencia fue elegido en base a la corriente necesaria para alimentar el circuito. Hacia la base del transistor Q1 la corriente es del orden del  $\mu\text{A}$  por lo tanto es despreciable y solo es necesario considerar la de la referencia. En la datasheet del TL431D para la configuración usada, se indica que la corriente puede variar entre 0,5 mA y 100 mA por lo tanto elige una resistencia de  $1\text{ K}\Omega$  que es un valor estándar y permite una corriente dentro de la permitida.

Por otro lado, las resistencias en la carga activa del par permiten corregir desapareamientos entre las ramas, su valor deberá ser modificado luego de medir dichas diferencias de manera que se compensen. No debe ser un valor elevado ya que si tienen una caída muy grande, el par se podría meter en zona de corte.

#### 1.4.1. Eficiencia

Manteniendo la tensión de entrada constante en 9,5 V, se calculó la eficiencia para distintas corrientes de salida y se obtuvo el siguiente gráfico:

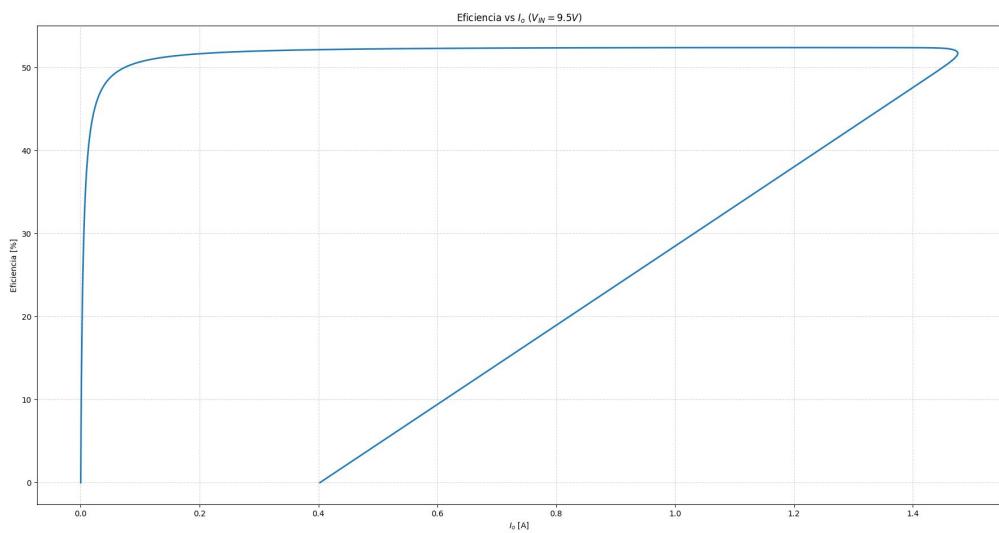


Figura 13: Eficiencia contra corriente de salida

Como se puede ver, el gráfico tiene una forma similar al de la Figura 11, esto se debe a que cuando el comportamiento del circuito está dado por el foldback, la potencia disipada en la carga tiende a cero, hasta finalmente ser cero cuando la carga es un cortocircuito. Luego, la eficiencia para la zona de funcionamiento normal del regulador es levemente mayor al 50 %, lo cual resulta esperable, ya que en esa zona la eficiencia viene principalmente dada por la tensión de entrada al regulador, si la tensión de entrada se encontrara más cerca del límite superior la eficiencia sería mucho menor. Otra zona de interés es lo que ocurre a bajas corrientes de salida, ya que al disminuir la corriente de salida, esta se vuelve comparable con las corrientes de polarización del par diferencial y la referencia de tensión, que si bien son corrientes bajas y por lo tanto potencias disipadas bajas, comparadas con la potencia casi nula sobre la carga, hacen que la eficiencia tienda a cero.

## 1.5. Conclusiones

Los resultados obtenidos en este trabajo cumplen con lo esperado. Se logró obtener una regulación de línea y de carga con bajos valores, y la implementación de la regulación por foldback fue exitosa permitiendo limitar la corriente entre  $I_{max}$  y  $I_{cc}$ .

Como cierre de este trabajo, nos llevamos el aprendizaje de buscar no solo que un circuito funcione sino que también sea eficiente. La oportunidad de aplicar temas vistos en materias anteriores en un circuito funcional permitió profundizar en nuestros aprendizajes, prácticas y criterio.

Se experimentó con el diseño y utilizando la teoría vista junto con simulaciones, se llegó un circuito eficiente y que cumple con los requisitos pedidos.

## 1.6. Apéndice

Para calcular el valor de las resistencias del circuito de foldback inicialmente se plantea la malla que contiene el  $V_{be7}$ .

$$V_{be7} = V_{R_s} - V_{R_4} = R_s I_s - (V_o + R_s I_o) \frac{R_4}{R_4 + R_5} \quad (2)$$

Si se despeja  $I_o$

$$I_o = \frac{V_{be}}{R_s} \left( 1 + \frac{R_4}{R_5} \right) + \frac{V_o R_4}{R_s R_5} \quad (3)$$

Cuando  $V_o = 0$ , se obtiene  $I_{cc}$

$$I_{cc} = \frac{V_{beON}}{R_s} \left( 1 + \frac{R_4}{R_5} \right) \quad (4)$$

Considerando que se quiere operar a una corriente máxima de  $I_o = 1,5A$  por lo que la cuenta se limita teniendo en cuenta esa  $I_{max}$

$$I_{max} = \frac{V_{beON}}{R_s} \left( 1 + \frac{R_4}{R_5} \right) + \frac{V_o R_4}{R_s R_5} \quad (5)$$

Luego, se dividen 5 y 4 para obtener una relación entre  $R_4$  y  $R_5$ .

$$\frac{I_{max}}{I_{cc}} = 1 + \frac{V_o}{V_{BEON}} \frac{\frac{R_4}{R_5}}{1 + \frac{R_4}{R_5}} \quad (6)$$

$$\frac{I_{max}}{I_{cc}} = 1 + \frac{V_o}{V_{BEON}} \frac{1}{1 + \frac{R_5}{R_4}} \quad (7)$$

$$\frac{R_5}{R_4} = \frac{V_o}{\left( \frac{I_{max}}{I_{cc}} - 1 \right) V_{BEON}} - 1 \quad (8)$$

Luego se despeja  $R_s$  de 4 y se reemplaza usando 8 para obtener su valor

$$R_s = \frac{V_{BEON}}{I_{cc}} \left( 1 + \frac{R_4}{R_5} \right) \quad (9)$$

## 2. Segundo checkpoint

### 2.1. Introducción

Esta entrega se centrará en el análisis en frecuencia para el circuito presentado en la entrega anterior. El principal objetivo es asegurar la linealidad de la fuente para todas las frecuencias compensando el circuito, buscando así evitar oscilaciones y realimentaciones positivas no deseadas.

### 2.2. Compensación

#### 2.2.1. Lazo de tensión

Analizando el comportamiento de la ganancia de lazo en frecuencia, se puede apreciar en las figuras 14 y 15 que el circuito presenta un margen de fase negativo para los límites de capacidad de carga. El margen de fase negativo implica que existe una frecuencia para la cual la fase se encuentra desplazada  $-180^\circ$  respecto a la fase inicial y la ganancia es mayor a 0 dB, lo que implica que la realimentación se vuelva positiva, resultando en un comportamiento inestable.

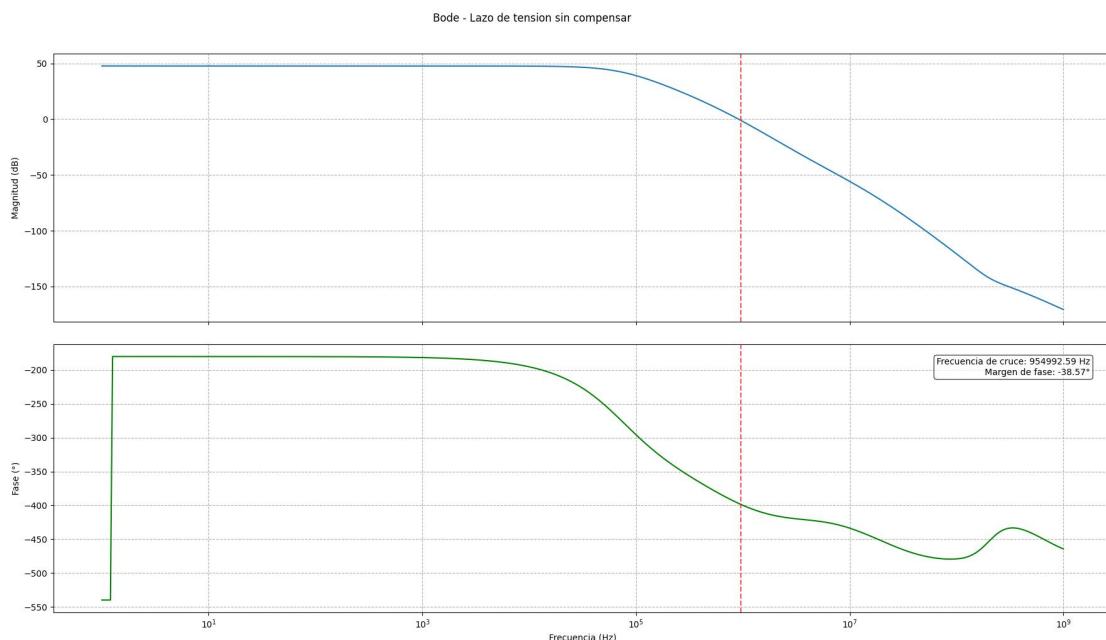
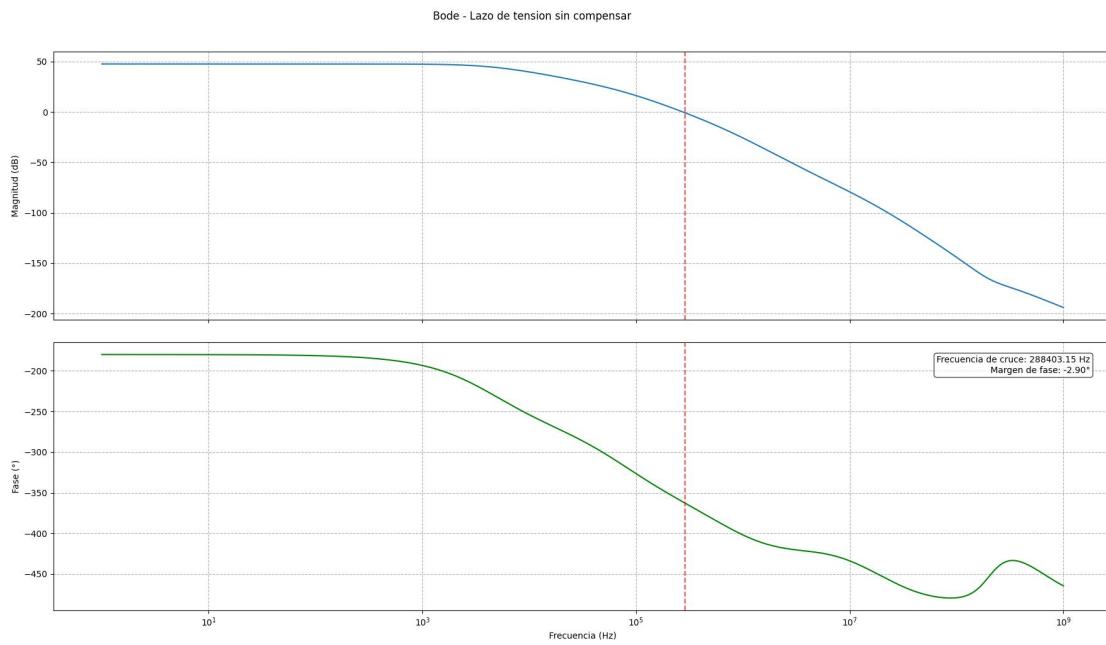


Figura 14: Diagrama de bode de T con capacidad de carga de 1  $\mu$ F

Figura 15: Diagrama de bode de T con capacidad de carga de  $15 \mu\text{F}$ 

Se optó por usar el método de estabilización mediante corrimiento de polo dominante de la respuesta en frecuencia. Para realizar esto se agrega un capacitor seguido de una resistencia en el nodo dominante, como se puede ver en la Figura 16.

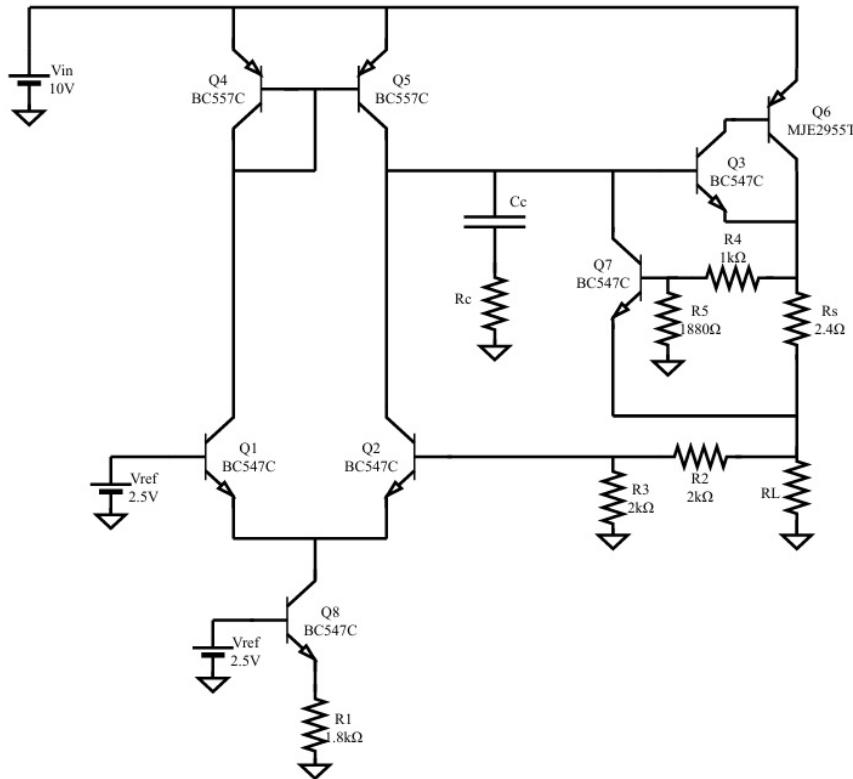


Figura 16: Esquemático con red de compensación

Para seleccionar el valor del capacitor y de la resistencia, se analizaron los nodos identificando el

dominante y mediante simulación se buscó obtener una respuesta en frecuencia deseada colocando una combinación de valores de R y C que muevan el polo dominante. El capacitor utilizado es de  $33\text{ nF}$  junto con una resistencia de  $100\Omega$ .

Como se puede ver en las Figuras 17 y 18, el margen de fase obtenido es, en el mejor caso de  $103^\circ$  y en el peor caso de  $37^\circ$ . De esta forma, se soluciona la posibilidad de inestabilidad mencionada al principio de la sección ya que, para la frecuencia a la que la fase se encuentra desplazada  $-180^\circ$  respecto a la fase inicial, la ganancia es mucho menor a 0 dB.

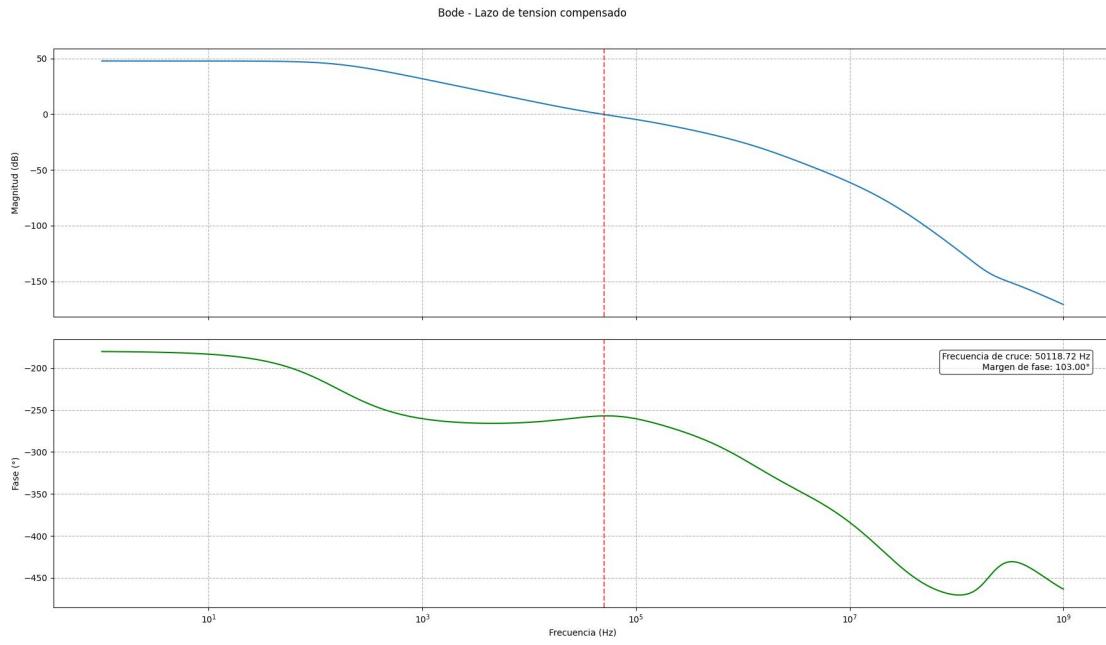


Figura 17: Diagrama de bode de T compensado, con capacidad de carga de  $1\text{ pF}$

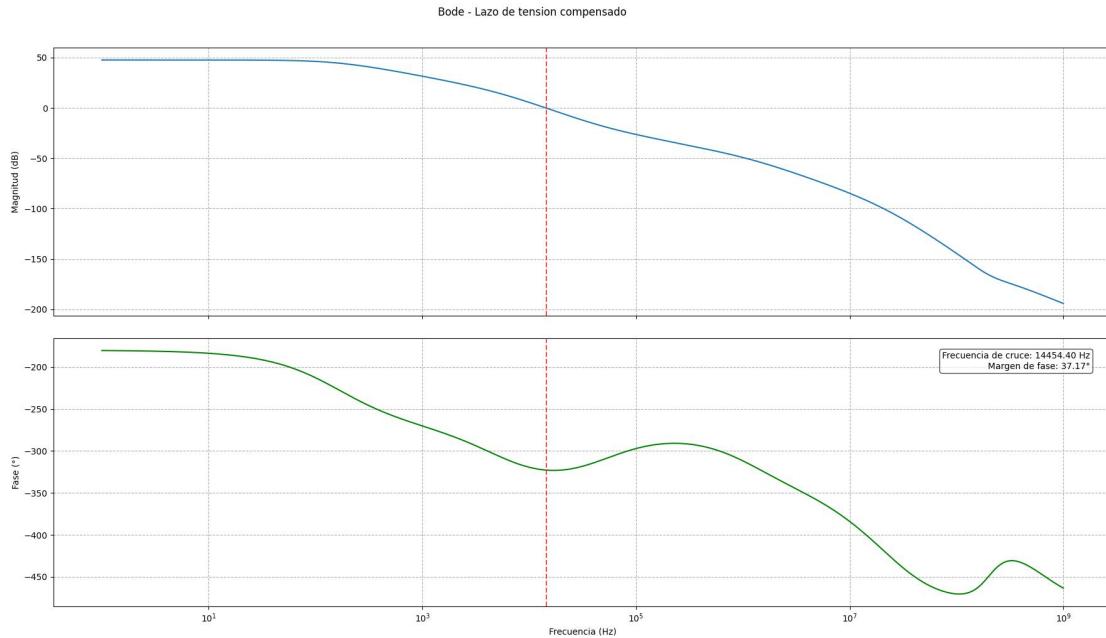


Figura 18: Diagrama de bode de T compensado, con capacidad de carga de  $15\text{ pF}$

### 2.2.2. Lazo de corriente

Otro aspecto del circuito en el que se debe analizar la estabilidad es el lazo de control de corriente, para esto se simuló la respuesta en frecuencia de la ganancia de lazo de corriente en los casos límites de capacidad de carga, obteniendo los gráficos de las Figuras 19 y 20.

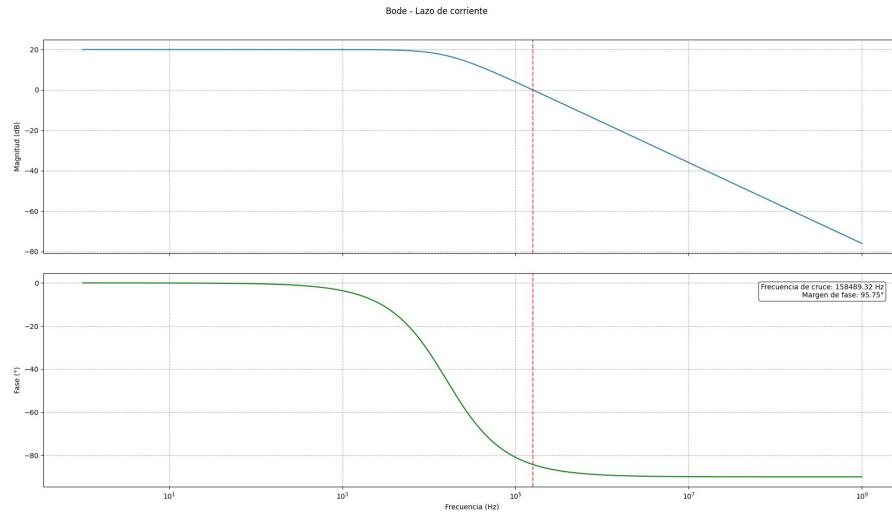


Figura 19: Lazo de corriente con capacidad de carga de  $1 \mu\text{F}$

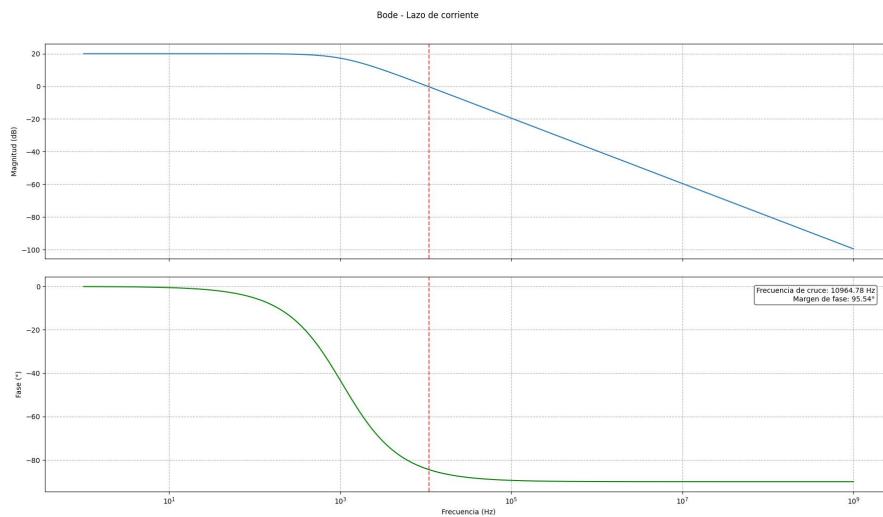


Figura 20: lazo de corriente con capacidad de carga de  $15 \mu\text{F}$

Como se puede ver, en ambos casos el circuito ya presenta un margen de fase lo suficientemente grande como para no tener compromisos de estabilidad. Por esto es que se optó por no compensar este lazo.

### 2.2.3. Respuestas al escalón

Además de las respuestas en frecuencia del circuito se analizaron las respuestas transitorias a perturbaciones de tipo escalón. Se simularon las respuestas a escalones sin compensar en la entrada, en la referencia y en la carga, en ambos límites de capacidad de carga. Se obtuvieron las siguientes figuras:

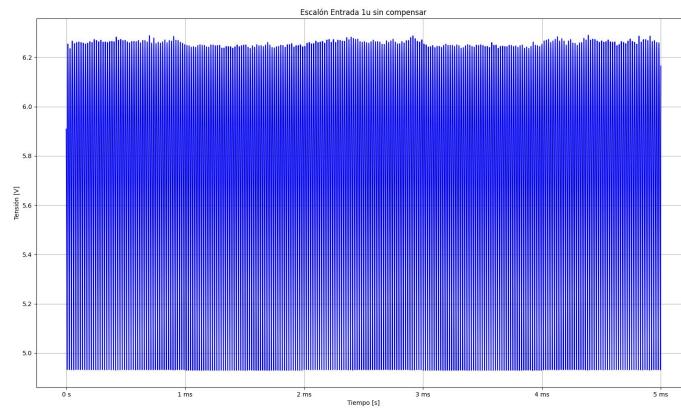


Figura 21: Respuesta a escalón de entrada con  $1 \mu\text{F}$  de capacidad de carga

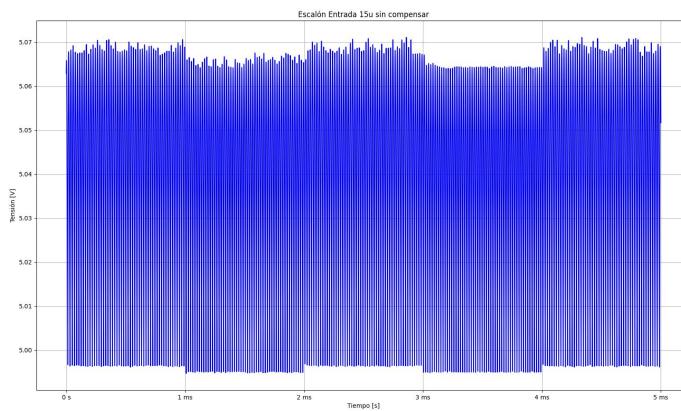


Figura 22: Respuesta a escalón de entrada con  $15 \mu\text{F}$  de capacidad de carga

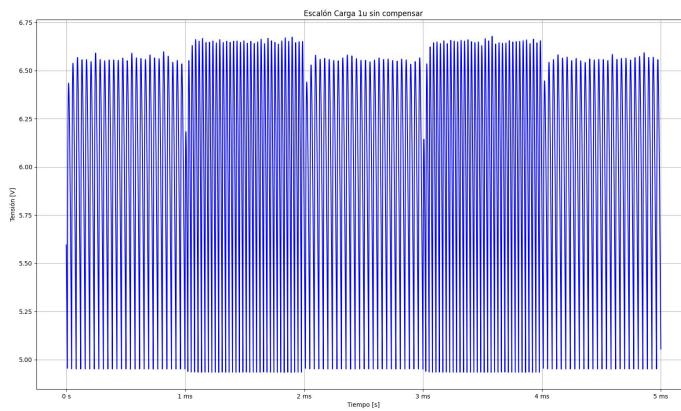
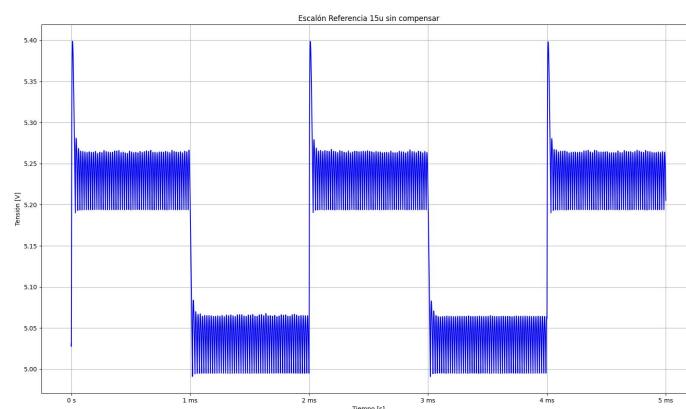
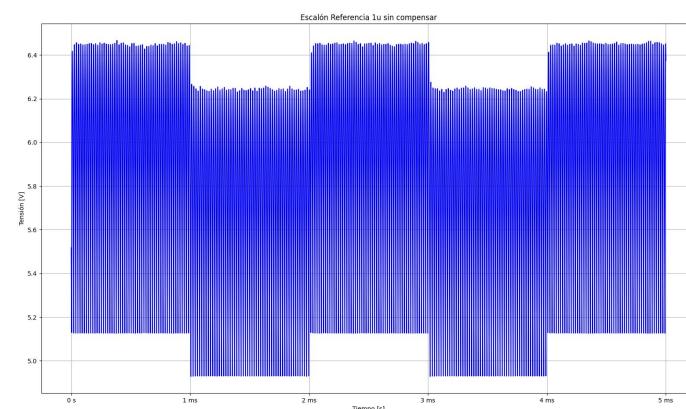
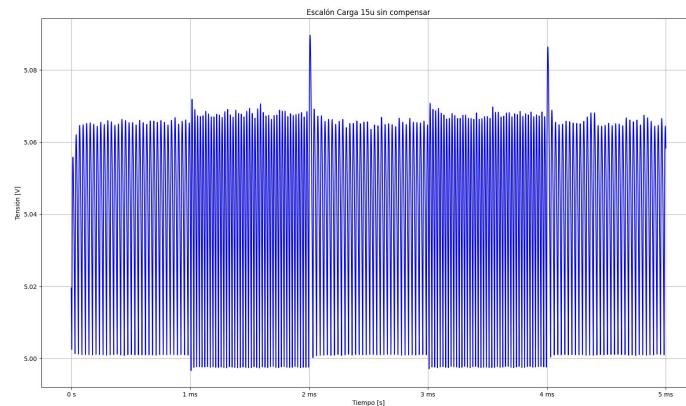


Figura 23: Respuesta a escalón de carga con  $1 \mu\text{F}$  de capacidad de carga



Las respuestas al escalón resultan coherentes con las respuestas en frecuencia del circuito sin compensar, ya que se aprecian respuestas oscilatorias inestables.

Luego se simularon las mismas respuestas en el circuito compensado obteniendo los siguientes gráficos:

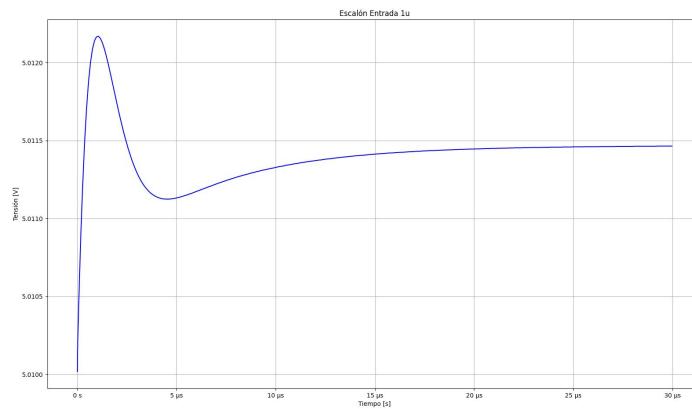


Figura 27: Respuesta a escalón de entrada con  $1 \mu\text{F}$  de capacidad de carga

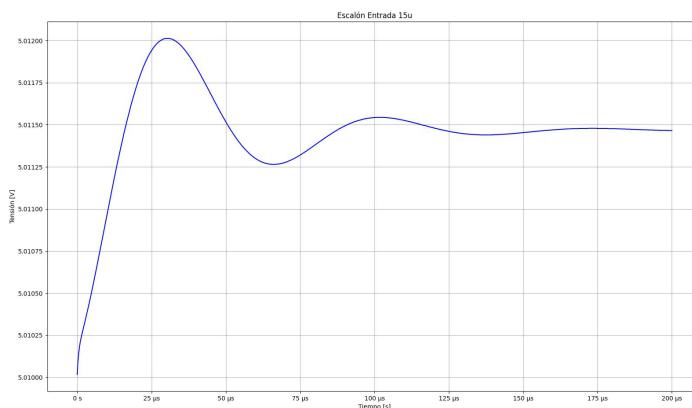


Figura 28: Respuesta a escalón de entrada con  $15 \mu\text{F}$  de capacidad de carga

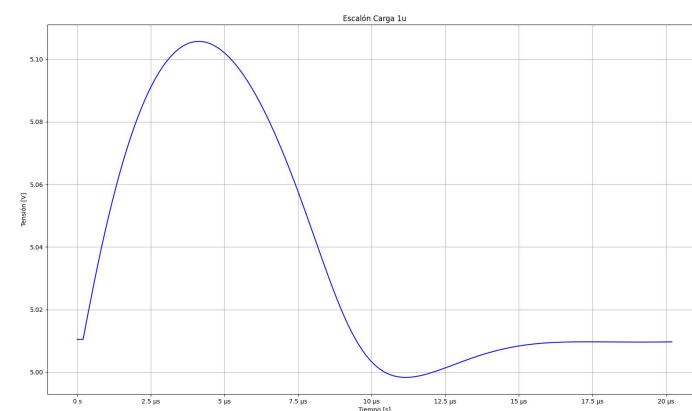
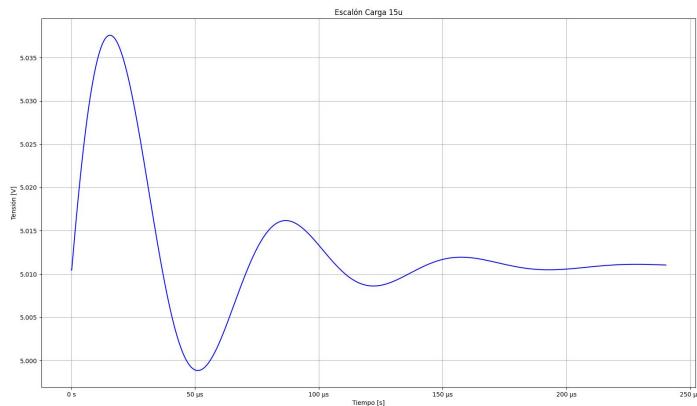
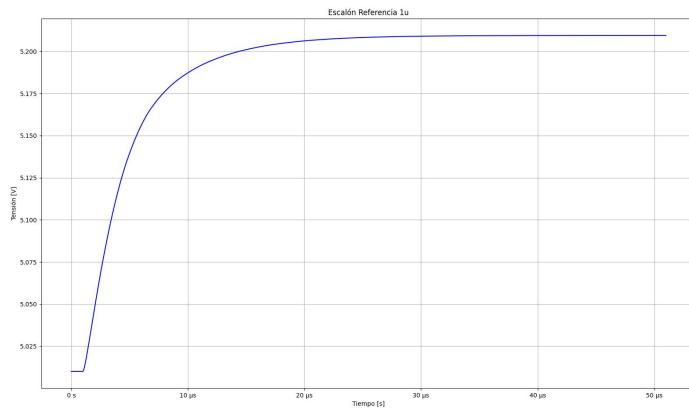
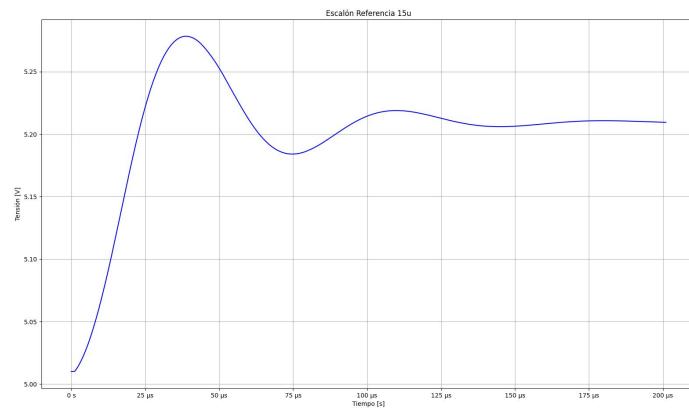


Figura 29: Respuesta a escalón de carga con  $1 \mu\text{F}$  de capacidad de carga

Figura 30: Respuesta a escalón de carga con  $15 \mu\text{F}$  de capacidad de cargaFigura 31: Respuesta a escalón de referencia con  $1 \mu\text{F}$  de capacidad de cargaFigura 32: Respuesta a escalón de referencia con  $15 \mu\text{F}$  de capacidad de carga

Es evidente la diferencia al compensar el circuito, principalmente ya no se presenta comportamiento oscilatorio indefinido. Si bien las respuestas presentan sobreíto en muchos casos, el escalón se establece

en el orden de las decenas de  $\mu\text{s}$  en los mejores casos y en el orden de las centenas de  $\mu\text{s}$  en los peores casos.

### 2.3. Diseño del PCB

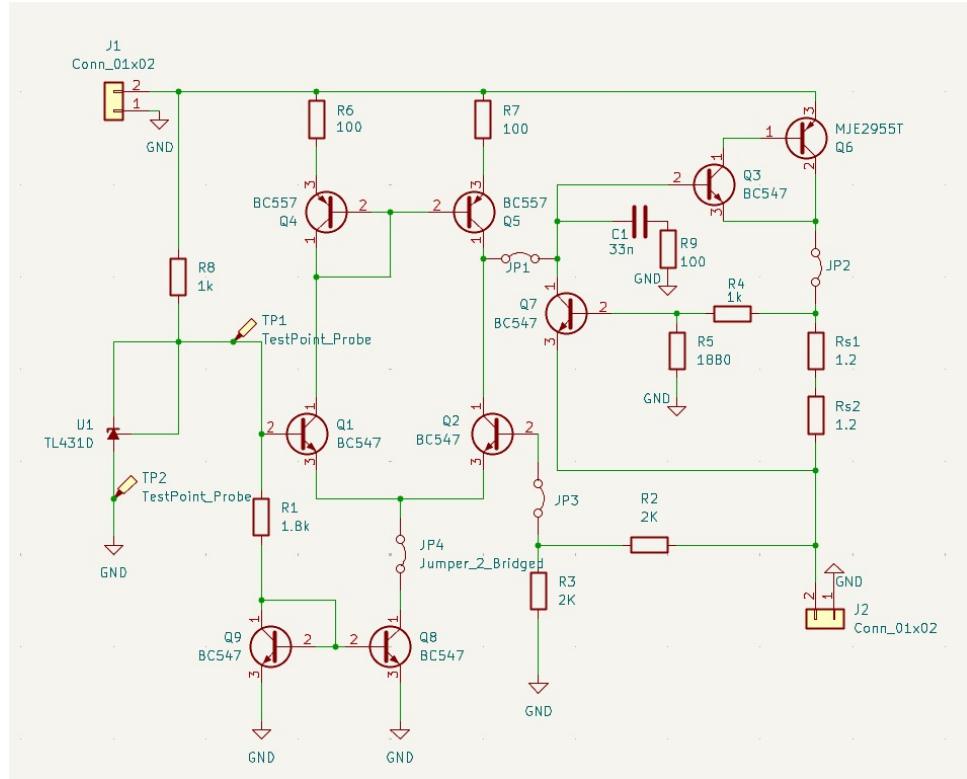


Figura 33: Esquemático de PCB

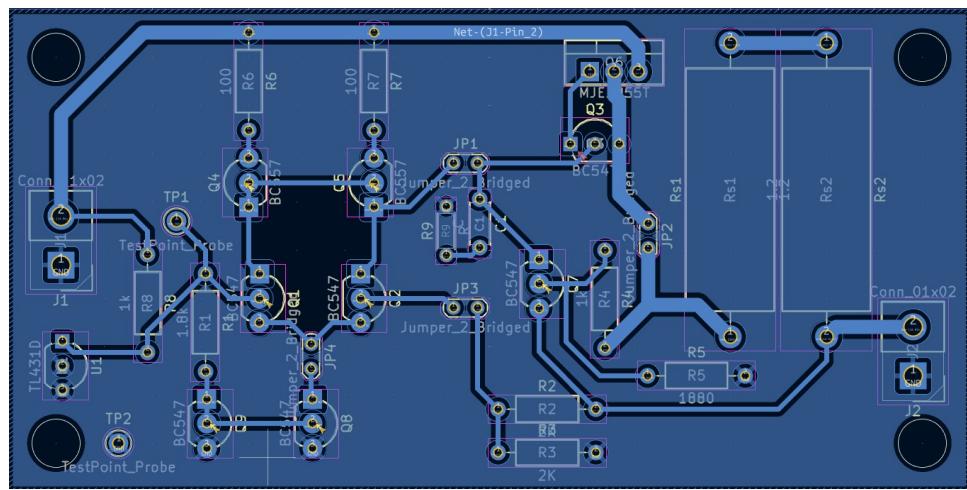


Figura 34: Placa PCB

La principal consideración al momento de diseñar la placa fue mantener separada la etapa de potencia del resto del circuito para evitar con mayor seguridad que haya alta potencia en donde pueda ser perjudicial. Además las pistas de esa etapa son de mayor tamaño- 1,5 mm- que permite que los altos niveles de corriente circulen sin problemas de sobrecalentamiento, evitando daños.

Se tuvo en cuenta que es importante evitar el ruido en el par diferencial, ya que cualquier señal diferencial entre las ramas será amplificada a la salida de este. Por lo tanto se buscó tener alejadas las

principales fuentes de ruido, la  $V_{in}$  y la etapa de potencia.

También se agregaron puntos de prueba en nodos estratégicos del circuito para luego poder medir y comprobar que el funcionamiento sea el esperado. Lo mismo se hizo con los jumpers ubicados de manera que se pueda seccionar el circuito según sea necesario.

Por ultimo se reemplazó la fuente de corriente de polarización del par diferencial por una fuente espejo, ya que teniendo en cuenta la dispersión de parámetros de los transistores, esta ultima resulta más estable y exacta.

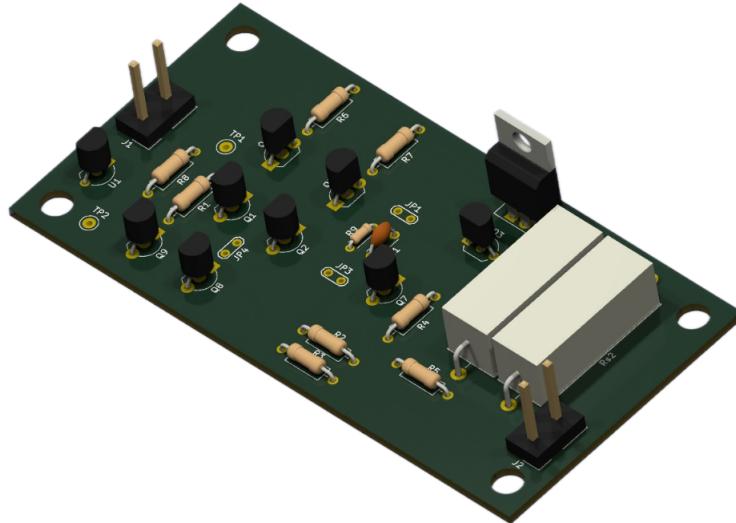


Figura 35: Vista 3D de placa PCB

## 2.4. Análisis térmico

Donde mayor potencia se disipa en el circuito es en el transistor de paso, como se vio en la primera entrega, razón por la cual se eligió un transistor de potencia. Sin embargo, cuando la tensión y corriente son máximas en el transistor, la potencia también lo es y por lo tanto hay que controlarla.

La forma de lograr lo dicho es con un dissipador térmico. Se deben considerar las resistencias térmicas del dispositivo, teniendo en cuenta que cuanto menor es el valor de la resistencia, mejor disipa el calor.

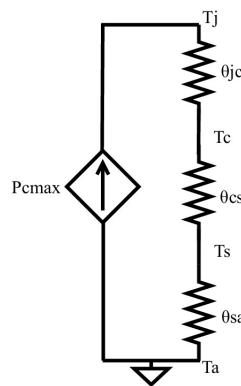


Figura 36: Circuito térmico

A partir del circuito se puede plantear la relación termica entre el ambiente y la juntura.

$$\theta_{ja} = \theta_{jc} + \theta_{cs} + \theta_{sa} \quad (10)$$

De la hoja de datos se obtienen los datos de  $T_j = 150^\circ C$  y  $\theta_{jc} = 1,67 \frac{^\circ C}{W}$ . La temperatura ambiente,  $T_a = 50^\circ C$ , se fija considerando que la temperatura en el circuito puede ser mas elevada que la del ambiente si se usa un gabinete. Finalmente, se aproxima  $\theta_{cs} = 0 \frac{^\circ C}{W}$  por el uso de la pasta térmica.

Para calcular  $\theta_{ja}$  se usa la expresión

$$\theta_{ja} = \frac{T_j - T_a}{P_{c_{max}}} \quad (11)$$

El valor de la potencia máxima se calcula considerando que al regulador entran como máximo 9,5 V y la corriente máxima que circula por el transistor es 1,5 A, por lo tanto  $P_{c_{max}} = 7W$ .

Por precaución se considera el 80 % de la temperatura de juntura para no sobre exigir al componente, por lo tanto  $T_j = 120^\circ C$

Finalmente de la Ecuación 10 se despeja el valor de  $\theta_{sa}$

$$\theta_{sa} = \frac{T_j - T_a}{P_{c_{max}}} - \theta_{jc} - \theta_{cs} = 10 \frac{^\circ C}{W} - 1,67 \frac{^\circ C}{W} = 8,33 \frac{^\circ C}{W} \quad (12)$$

Considerando este valor se busco entre los valores comerciales disponibles y se opto por el disipador **D-6225T**. Este tiene una resistencia térmica de  $8,80 \frac{^\circ C}{W}$ . Si bien el valor es levemente mayor al calculado, se considera que esa diferencia es despreciable debido al gran margen que se tomo al obtener los valores.

## 2.5. Conclusión

Durante el desarrollo de este proyecto se pudo compensar el circuito para evitar oscilaciones a ciertas frecuencias y lograr un margen de fase mayor a los  $45^\circ$ . Esto pudo realizarse tanto para el lazo de corriente como para el lazo de tensión. Para el lazo de tensión se debió de utilizar un capacitor en serie con una resistencia para cumplir el objetivo. Mientras que, el lazo de corriente ya cumplía con el margen de fase mayor a  $45^\circ$  por lo que no se debió realizar modificación alguna sobre el circuito.

Se diseño una placa PCB para poder implementar lo diseñado por medio de simulaciones. Además se realizo la renderización en 3D para poder observar la distribución final del circuito.

Los cálculos realizados para obtener el valor de la resistencia térmica necesaria permitieron encontrar un disipador comercial que cumpla con los requisitos. De esta manera se logro asegurar que la potencia necesaria para el funcionamiento del circuito no genere daños en el mismo.

### 3. Tercer checkpoint

#### 3.1. Introducción

El objetivo de este trabajo es medir y verificar el correcto funcionamiento del circuito diseñado y simulado en los trabajos anteriores.

Se espera contrastar los valores medidos con los simulados, tanto de parámetros como la regulación de linea, regulación de carga y tiempos de respuesta.

#### 3.2. Armado del circuito

Las resistencias de apareamiento usadas son de  $100\Omega$ , de cualquier manera el  $\beta$  y  $V_{be}$  de los transistores fueron apareados a mano para evitar dispersiones.

La corriente de polarización medida es de  $1,3\text{ mA}$  lo cual es lo esperado. Luego la corriente medida en las ramas fue de  $520\text{ }\mu\text{A}$  en una y de  $502\text{ }\mu\text{A}$  en la otra. Si bien el valor no es el mismo, se consideró que las ramas estaban lo suficientemente apareadas debido a que el circuito funciona de la manera esperada.

El circuito resultante es el siguiente

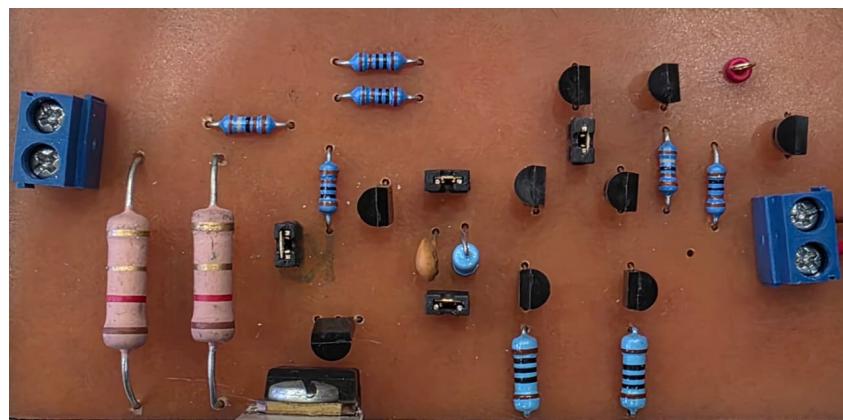


Figura 37: Frente del circuito armado

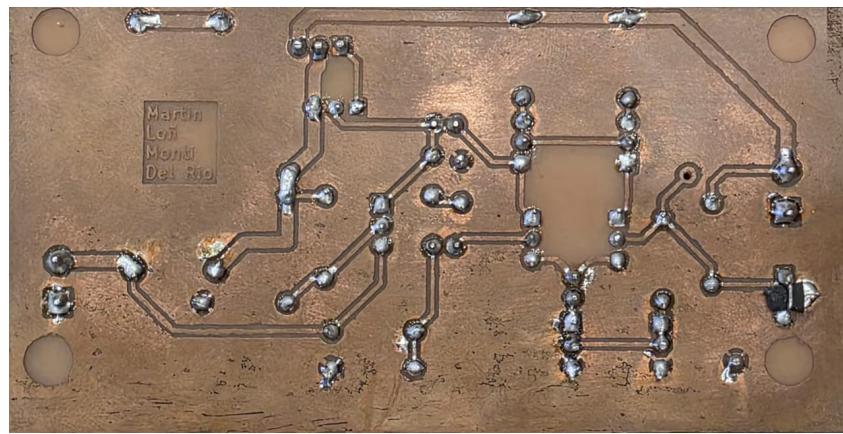


Figura 38: Dorso del circuito armado

#### 3.3. Regulación de linea

Se realizó un barrido de tensión entre los valores de uso del circuito. Para poder hacer esto se fue variando la tensión de la fuente de alimentación continua y midiendo la salida. Además se midió el valor real de tensión a la entrada ya que la fuente presenta su propia dispersión respecto del número exhibido en el display.

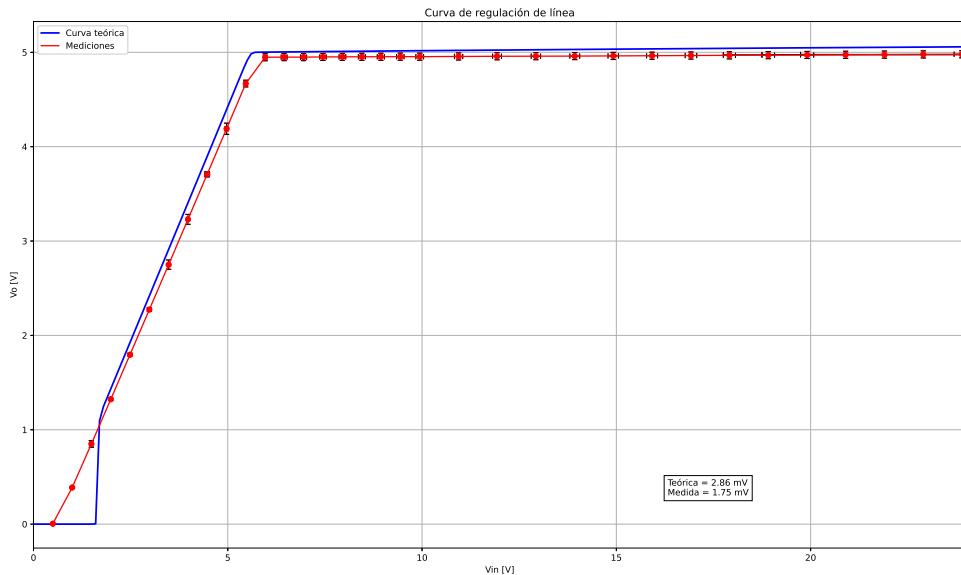


Figura 39: Regulación de linea medida superpuesta a la simulada

Se puede observar que la curva obtenida es congruente con la simulada. La coincidencia no es exacta ya que en la simulación el valor de regulación es de 5 V y en la medición es de 4,95 V, pero esta variación está dentro de la aceptada.

La regulación de linea obtenida de las simulaciones fue de 2,86 mV. La obtenida de las mediciones fue calculada de la siguiente manera

$$\text{Regulacion de linea} = \frac{Vo_2 - Vo_1}{Vin_2 - Vin_1} = \frac{4,979 - 4,958}{23,89 - 11,93} = 1,75 \frac{mV}{V} \quad (13)$$

El valor obtenido indica que la regulación de linea funciona de la manera esperada, e incluso regula con una variación menor a la simulada.

### 3.4. Regulación de carga

Con el objetivo de medir la regulación de carga se midió la tensión sobre la carga, variando el valor de la misma entre  $3,3\Omega$  y  $100\Omega$ . La tensión de entrada se mantuvo en un valor constante de 9,5 V

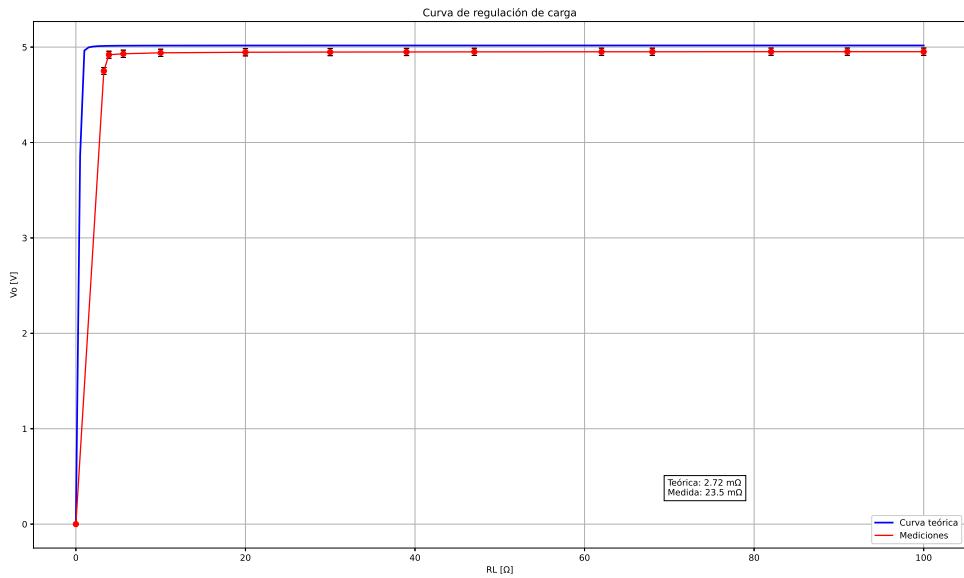


Figura 40: Regulación de carga medida superpuesta a la simulada

$$\text{Regulacion de carga} = \frac{\left(1 - \frac{V_{o1}}{V_{o2}}\right)R_{L2}}{\frac{V_{o1}R_{L1}}{V_{o2}R_{L2}} - 1} = \frac{\left(1 - \frac{4,930V}{4,952V}\right)100\Omega}{\frac{4,930V5,6\Omega}{4,952V100\Omega} - 1} = 23,5m\Omega \quad (14)$$

Si bien el valor obtenido a base de mediciones difiere con el simulado, y es mayor, sigue encontrándose dentro de los valores aceptables para la regulación de carga de nuestro circuito.

### 3.5. Foldback

Al momento de medir el foldback se fue disminuyendo el valor de la carga con la ayuda de un reostato en paralelo con una resistencia de  $10\Omega$  para poder obtener valores pequeños. Esto permitió poder disminuir el valor de la resistencia de carga mas allá del límite del foldback y así poder medir su funcionamiento.

En el gráfico, la curva azul es la simulada y la roja es la obtenida de mediciones del circuito. Para valores de corriente chica, es decir para los mayores valores de  $R_L$ , la diferencia entre el simulado y el real no es de gran importancia. Cuando el foldback comienza a tener su efecto, se puede observar una leve variación pero sigue siendo similar a lo simulado por lo que se considera aceptable.

Hacia los valores mas pequeños del foldback comienza a aparecer un error mas significativo. Este error esta relacionado a la falta de precisión de los multímetros utilizados y el efecto de carga de los mismos, diferencia entre la tensión simulada y medida del base-emisor, y otros efectos presentes al momento de obtener datos sobre el circuito físico.

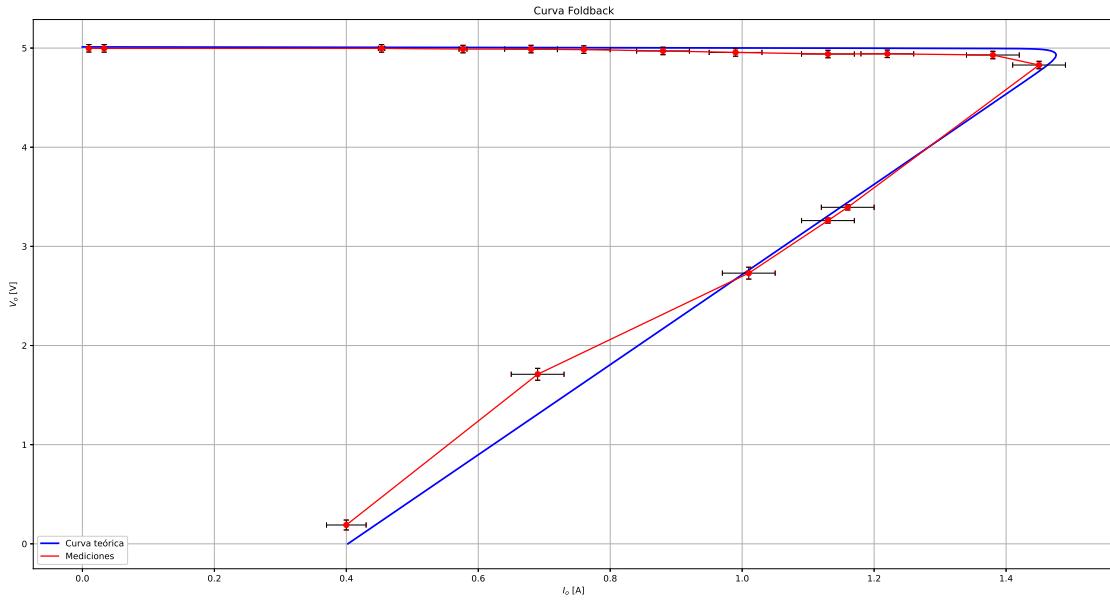


Figura 41: Foldback medido superpuesto al simulado

### 3.6. Eficiencia

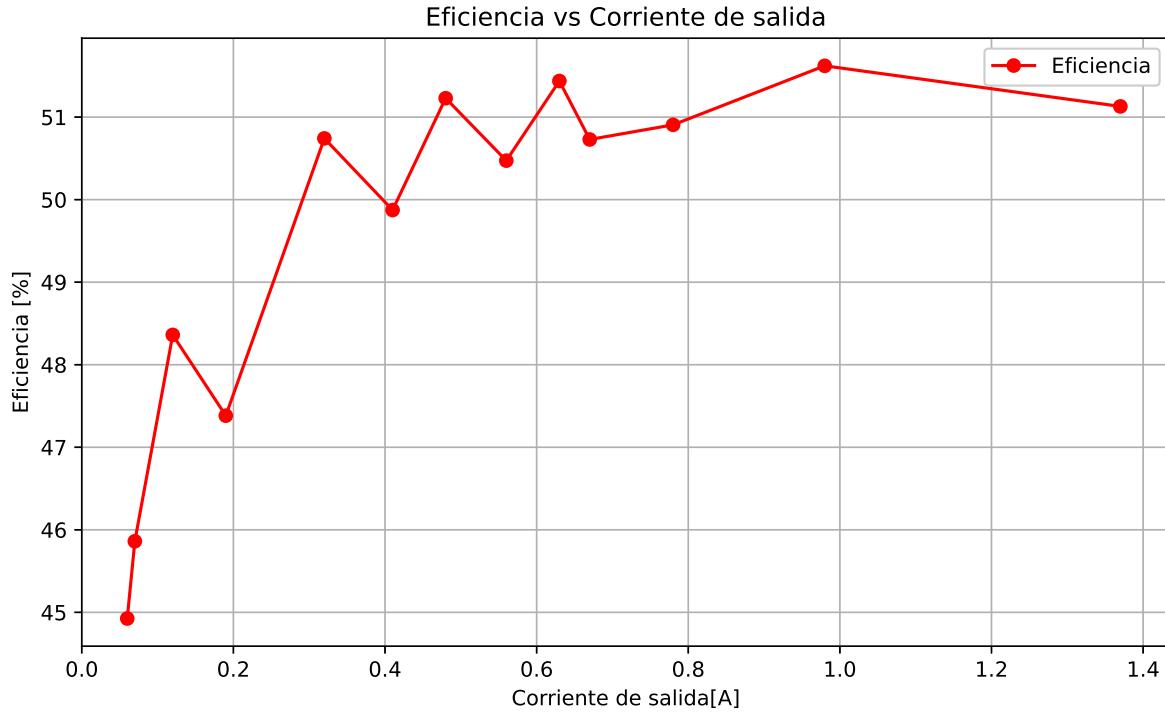


Figura 42: Eficiencia contra corriente

Primero se midió la eficiencia contra la corriente de salida, para esto se mantuvo la tensión de entrada en 9,5 V y se hizo variar la carga entre los valores del rango de funcionamiento, midiendo las tensiones y corrientes tanto de entrada como de salida del circuito.

Como se puede ver en la curva de la Figura 42, los valores rondan el 52 % de eficiencia, lo cual

se corresponde con lo esperado. A bajas corrientes, la eficiencia cae porque la corriente de salida es del mismo orden que las corrientes internas de polarización, de modo que gran parte de la potencia de entrada no llega a la carga. Esto produce valores de eficiencia menores en el inicio de la curva.

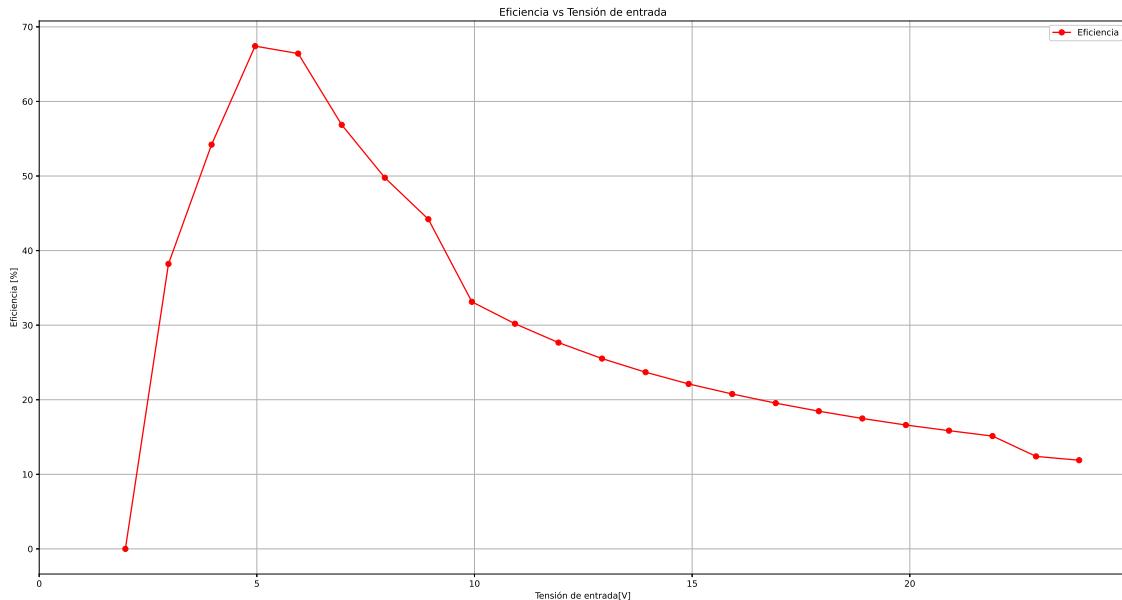


Figura 43: Eficiencia contra tensión

Luego se midió la eficiencia contra la tensión de entrada, para esto se mantuvo la carga constante en  $100\Omega$  y nuevamente se midieron las tensiones y corrientes de entrada como de salida, variando la tensión de entrada entre 0 V y 24 V.

Como se puede ver en la Figura 43, la eficiencia presenta un pico en 5 V de entrada, aunque en este caso no es utilizable el circuito, ya que la tensión de salida no se encuentra dentro de las especificaciones. Luego, el decrecimiento a medida que aumenta la tensión de entrada es esperable, ya que aumenta la potencia de entrada mientras que la potencia de salida se mantiene constante.

### 3.7. Tiempo de respuesta

Al momento de medir el tiempo de encendido y apagado del circuito se utilizó una resistencia en paralelo con un capacitor de  $10\Omega$  y  $1\mu F$  respectivamente. Para medirlo se debió conectar y desconectar la fuente de alimentación. Con un osciloscopio se utilizaron ambos canales, uno para observar el tiempo de respuesta de la desconexión de la fuente y otro para observar el tiempo de respuesta del circuito. Se consiguieron los siguientes gráficos.

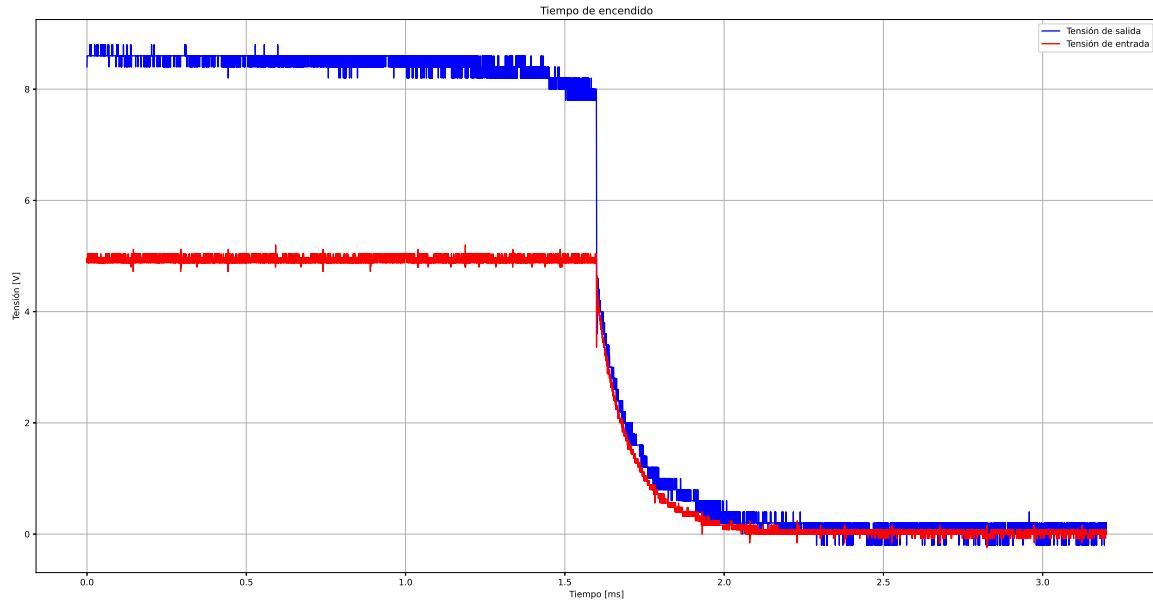


Figura 44: Tiempo de respuesta apagado

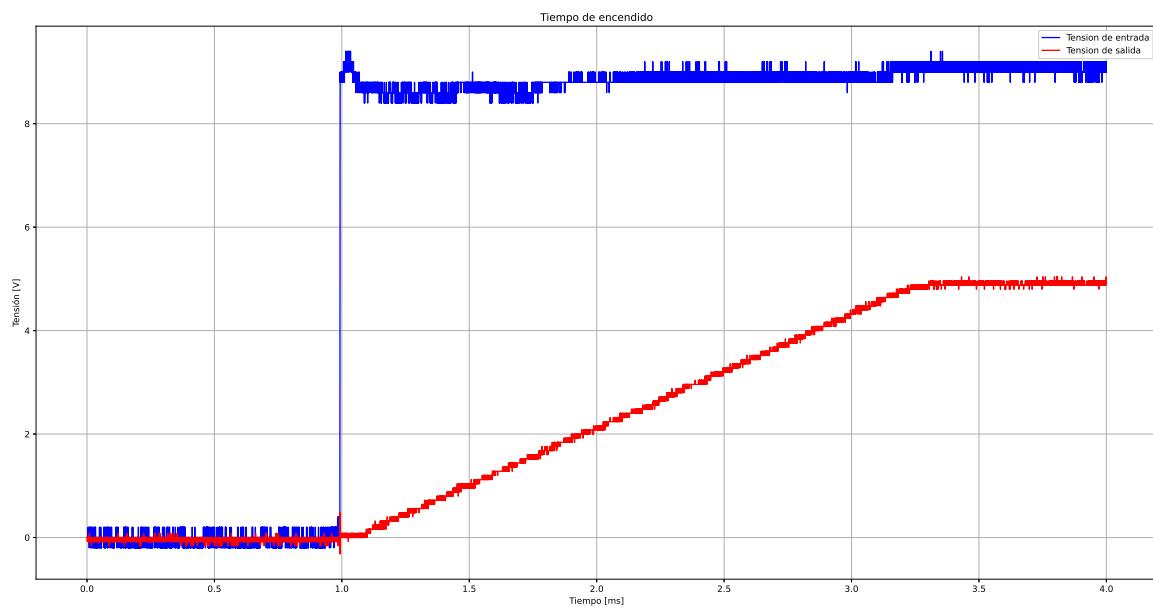


Figura 45: Tiempo de respuesta encendido

En la Figura 44 se observa un tiempo de apagado de 0,4 ms. En la Figura 45 se observa un tiempo de encendido de 2,5 ms.

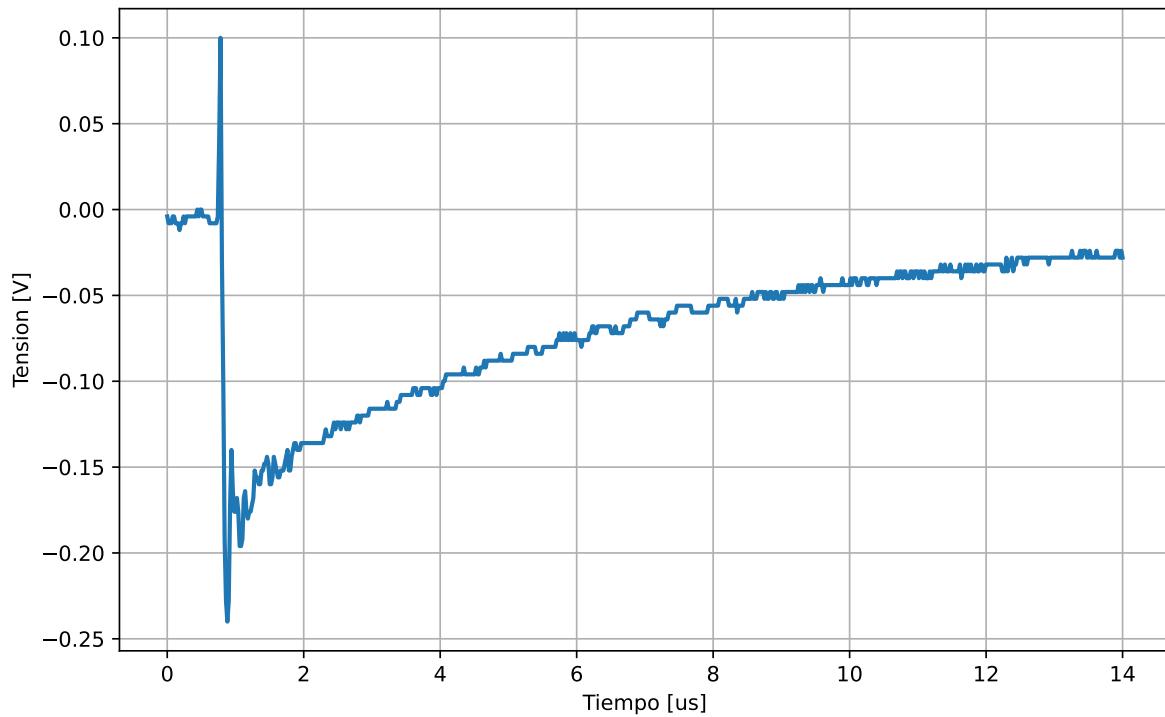


Figura 46: Regulación de carga dinámica

En la Figura 46 se puede ver la respuesta ante una carga dinámica, en este caso pasando de una corriente de salida de 128 mA a una corriente de salida de 406 mA. Se puede ver que la tensión cae aproximadamente 200 mV, pero se restablece luego de aproximadamente 14 ms.

### 3.8. Resultados

A continuación se muestran los principales resultados obtenidos:

Característica	Simulado	Medido
Tiempo de encendido	—	2,5ms
Tiempo de apagado	—	0,4ms
Regulación de linea	2,86	1,75
Regulación de carga	2,72mΩ	23,5mΩ

Cuadro 3.1: Resultados

### 3.9. Conclusiones

En este trabajo se pudo armar el circuito diseñado en las entregas anteriores, verificando su funcionamiento dentro de las especificaciones y simulaciones. Las mediciones resultaron coherentes con lo diseñado, y en algunos casos hasta mejores que lo simulado.

### 3.10. Anexo

#### 3.10.1. Propagación de errores

Al momento de analizar los errores en la medición se debió tener en cuenta la dispersión de los multímetros y resistencias utilizados. Los multímetros con los que se realizaron las mediciones son: „ÜT890C”, „ÜT139”. Observando las especificaciones del fabricante se aprecia lo siguiente:

Con esta tabla y suponiendo un error del 5 % en todas las resistencias ya es posible realizar el cálculo de propagación de errores para los diferentes casos.

Magnitud	Rango	Resolución / Precisión
UT890C DC Current	600 mA	(1.2 % + 5)
	20 A	(2.0 % + 5)
UT890C DC Voltage	600 mV	(0.5 % + 4)
	6 V	(0.5 % + 2)
UT139 DC Current	10 A	(0.7 % + 2)
UT139 DC Voltage	600 V	(0.5 % + 2)

Cuadro 3.2: Incertezas de los multímetros UT890C y UT139

### 3.10.1.1 Error foldback

El error en la medición de foldback se calculó propagando el error de ambos multímetros y las resistencias para los diferentes valores de corriente y tensión. Se utilizó el UT890C para medir la corriente y el UT139 para medir la tensión. Entonces, el error estará dado por:

$$\Delta T + \Delta I + \Delta R$$

Al momento de medir el error, se tomó que "alta corriente" tiene una resolución de 0.01A y "Baja corriente" tiene una resolución de 0.1mA. El UT139 es de resolución variable. Existen cuatro casos de errores:

1. Alta tensión, baja corriente:

$$V = [(0,5\%V_{out} + 2) + 5\%R_L]V \quad \text{y} \quad I = [(1,2\%I_{out} + 5) + 5\%R_L]A$$

2. Alta tensión, alta corriente:

$$V = [(0,5\%V_{out} + 2D) + 5\%R_L]V \quad \text{y} \quad I = [(2,0\%I_{out} + 5D) + 5\%R_L]A$$

3. Baja tensión, alta corriente:

$$V = [(0,5\%V_{out} + 2D) + 5\%R_L]V \quad \text{y} \quad I = [(2,0\%I_{out} + 5D) + 5\%R_L]A$$

4. Baja tensión, baja corriente:

$$V = [(0,5\%V_{out} + 2D) + 5\%R_L]V \quad \text{y} \quad I = [(1,2\%I_{out} + 5D) + 5\%R_L]I$$

## 4. Cuarto checkpoint

### 4.1. Introducción

En esta entrega se realizara el diseño de la fuente buck y el circuito PWM. Para la fuente buck se deben realizar los cálculos necesarios para obtener las características físicas del inductor que se utilizará para implementar dicho circuito.

Ambos circuitos se deben diseñar teniendo en cuenta las especificaciones requeridas por el trabajo. La eficiencia para la fuente buck y la frecuencia para el PWM.

### 4.2. Fuente buck

#### 4.2.1. Diseño y simulación

En las fuentes buck se busca reducir la tensión de entrada a un nivel inferior en la salida, manteniendo la alta eficiencia. Para ello se utilizan distintos componentes. Un MOSFET canal N (IRFZ44N) es utilizado para actuar como interruptor controlado por PWM (debido a este comportamiento de "llave", la tensión Drain-Source de este MOSFET es muy baja); el segundo NMOS (IRFZ44N) conduce la corriente cuando el primer transistor se encuentra apagado, implementando de esta manera las llaves ideales vistas en el circuito teórico.

También se agregan capacitores para evitar picos de tensión. El circuito cuenta además con un inductor, el cual almacena energía y suaviza la corriente. Este inductor debe calcularse con precisión para evitar sobrecalentamientos, tener tiempos de respuesta acordes y otros factores; es por esto que se le dedicará toda una sección a su diseño.

Para obtener el valor de la inductancia primero se calcula el mínimo valor que puede tomar para que el circuito continúe funcionando de manera adecuada. Para eso se debió considerar el caso de mayor conmutación, en donde la resistencia de carga es máxima.

$$R_{max} = \frac{V_o}{I_{s,min}}$$

Considerando que  $V_o = 9,5V$  y  $I_{s,max} = 0,1A$  se obtiene  $R_{max} = 95\Omega$ . Luego, el inductor se calcula mediante la siguiente expresión.

$$L_{cr} = \frac{(1 - D)R_{max}}{2f} \quad (15)$$

Considerando que se va a tener un  $D_{min}$  y un  $D_{max}$  dependiendo de la  $V_{in}$  se calcularon ambos:

$$D_{max} = \frac{V_o + V_{ds2}}{V_{in} - V_{ds1} + V_{ds2}} = \frac{9,5 + 0,049}{12} = 0,7957 \quad (16)$$

$$D_{min} = \frac{V_o + V_{ds2}}{V_{in} - V_{ds1} + V_{ds2}} = \frac{9,5 + 0,049}{30} = 0,3183 \quad (17)$$

Se calcularon dos valores de  $L_{cr}$  y se utilizó el más alto de ambos que es el que cumple con lo pedido y presenta el peor caso para el inductor crítico. De las cuentas se obtuvo  $L_{cr} = 250\mu H$ . Sin embargo, se decidió utilizar un inductor  $L = 300\mu H$  para mayor seguridad y evitar que variaciones en el valor real del inductor presenten problemas graves en el circuito implementado.

El valor del capacitor de salida se debe calcular considerando el ripple, por lo tanto el valor se calcula de manera iterativa. Se decidió un valor inicial de  $100\mu F$  y se observó el valor del ripple con ese valor para luego poder aplicar la siguiente expresión:

$$\Delta V_o = \frac{I_{L,max} - I_{L,min}}{8Cf} \quad (18)$$

Con un capacitor de  $47\mu F$  se obtiene un  $\Delta V_o = 2,5mV$  que cumple con los requisitos de tensión de salida.

Una vez finalizado todo el desarrollo del circuito se consiguió el siguiente diseño.

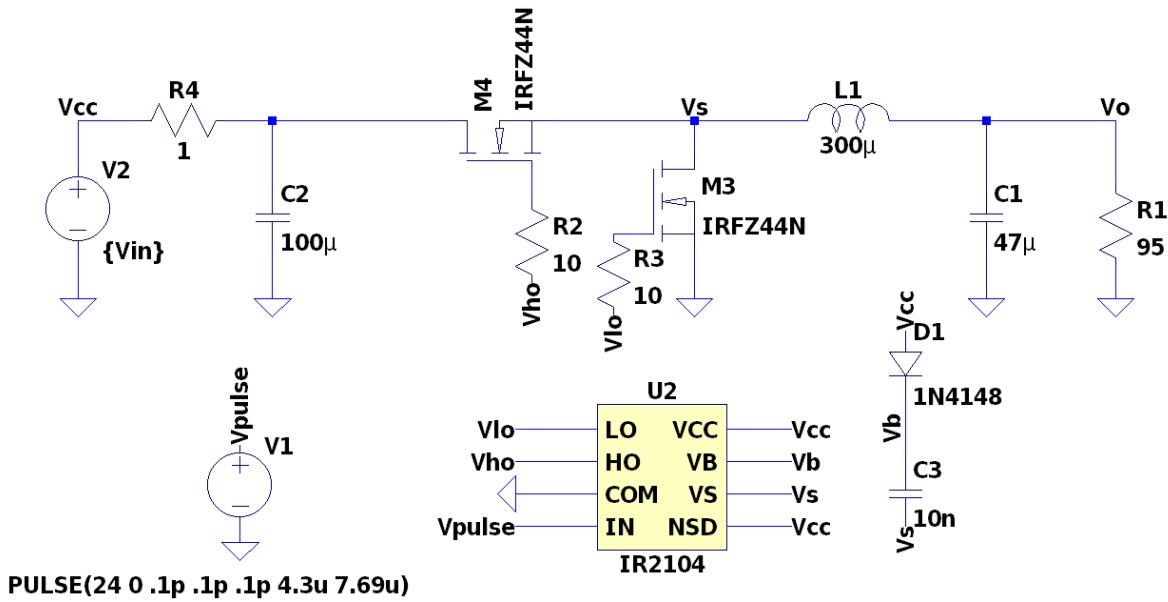


Figura 47: Circuito Fuente Buck

La tensión de salida de la fuente buck:

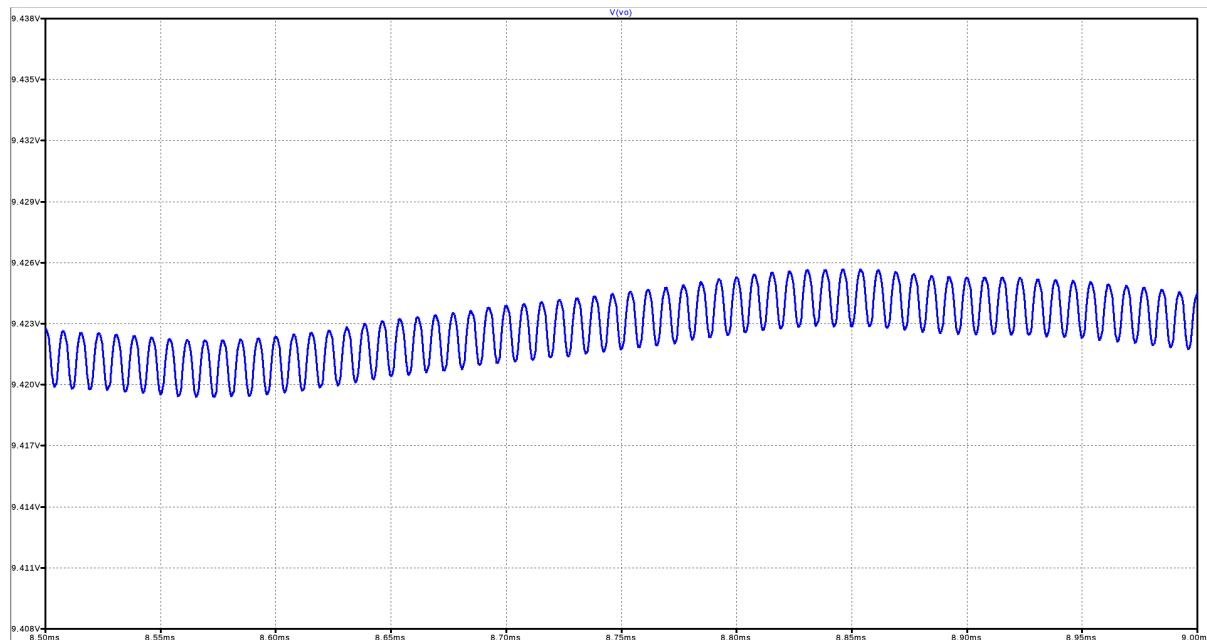


Figura 48: Tension de salida de la fuente buck

La corriente sobre el inductor:

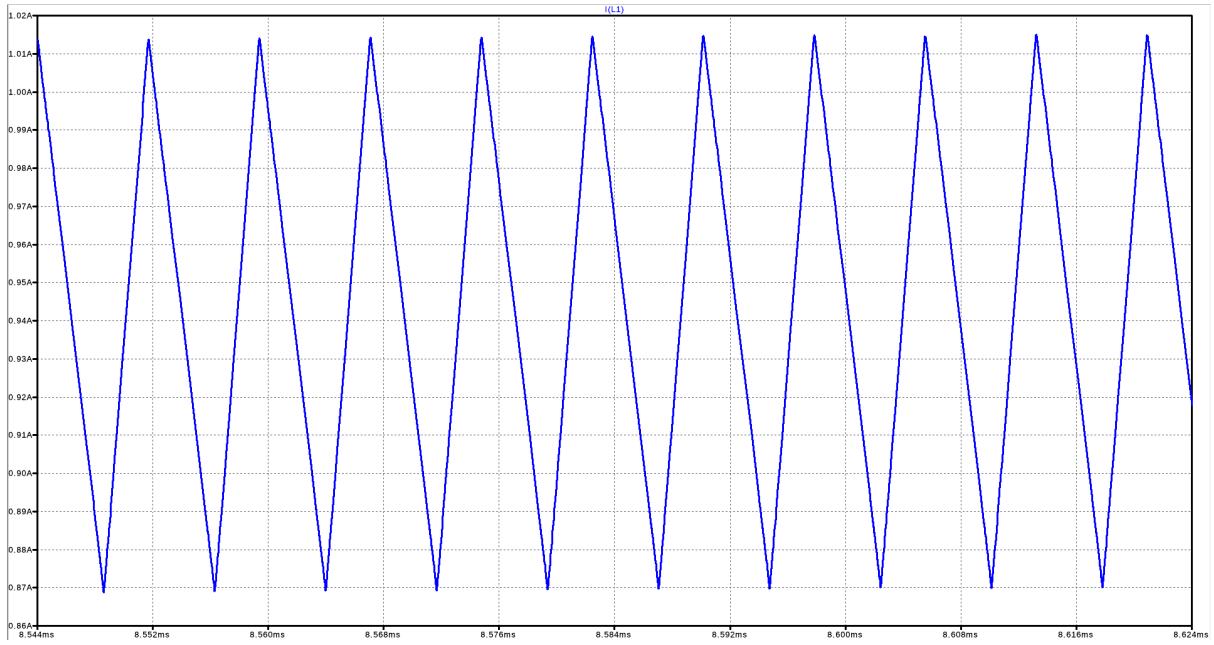


Figura 49: Corriente sobre el inductor

En la Figura 48 se puede ver que, además de la oscilación, el valor medio no es constante, esto se atribuye a la necesidad de agrandar el error de convergencia admitido para asegurarse esta misma.

#### 4.2.2. Inductor

Al momento de diseñar el inductor se debieron tener en cuenta ciertos parámetros de funcionamiento de la fuente buck. La frecuencia trabajo es de 130 kHz, la  $I_{L_{max}} = 1,54A$ , la  $I_{L_{min}} = 1,42A$ .

Se obtuvieron las características físicas del inductor usando el método *Tacca*. Se debe considerar  $\sigma_{IL} \leq 5 \frac{A}{mm^2}$  para evitar el sobrecalentamiento del alambre. Considerando los núcleos disponibles comercialmente y la tabla de cables provista por *Ericksson*, se realizaron los cálculos necesarios para obtener los siguientes parámetros.

Parámetros	Valor
Material del nucleo	N87
Nucleo	EE3007
Cable de cobre	AWG#20
Inductancia [ $\mu$ Hy]	300
$l_g$ [mm]	0.151
Numero de vueltas	25
$\sigma_{IL} \left[ \frac{A}{mm^2} \right]$	2.978
$r_{Cu}$ [cm]	0.0437
$\delta$ [cm]	0.021

Cuadro 4.1: Especificaciones del inductor

Con los valores obtenidos no hay efecto pelicular.

#### 4.2.3. Eficiencia

En los reguladores conmutados Buck una eficiencia ideal sería del 100 %. Sin embargo, esta eficiencia resulta imposible en la realidad debido a perdidas por conmutación, resistencias parasitas, caídas en el MOSFET, entre otros factores. Debido a esto, la eficiencia real estará alrededor del 90 % – 95 %. Esta eficiencia aumentará dependiendo de la optimización del PCB, un control preciso del ciclo de trabajo y un MOSFET acorde.

En el caso del circuito diseñado, al utilizar un MOSFET como reemplazo del diodo para la conmutación, se logra una reducción en la caída de tensión. Además, la elección del inductor y el capacitor logran una gran reducción en el ripple de corriente y tensión respectivamente, lo que mejora la eficiencia.

La eficiencia del circuito se obtiene según la siguiente expresión:

$$\text{eficiencia} = \frac{P_{\text{salida}}}{P_{\text{entrada}}} \quad (19)$$

$$\eta(9,3V) = \frac{9,3 * 1,469}{24 * 0,00631} = 90,2 \% \quad (20)$$

$$\eta(9,7V) = \frac{9,7 * 0,103}{24 * 0,045} = 91,5 \% \quad (21)$$

Ambos resultados cumplen con la eficiencia pedida para ambas tensiones especificadas del regulador buck.

#### 4.2.4. Diseño de PCB

Para realizar el PCB de la fuente buck debió tenerse en cuenta el trazado de pistas. Aquí se tuvo en cuenta la separación entre ellas para así evitar capacitancias o inductancias parásitas. Además se debió mantener un cierto ancho de las pistas debido a la potencia que circula en ciertas zonas. Se planeó previamente el plano de masa para así mejorar el retorno de la corriente y reducir ruido. Teniendo todas estas cuestiones en consideración se obtuvo el siguiente diseño.

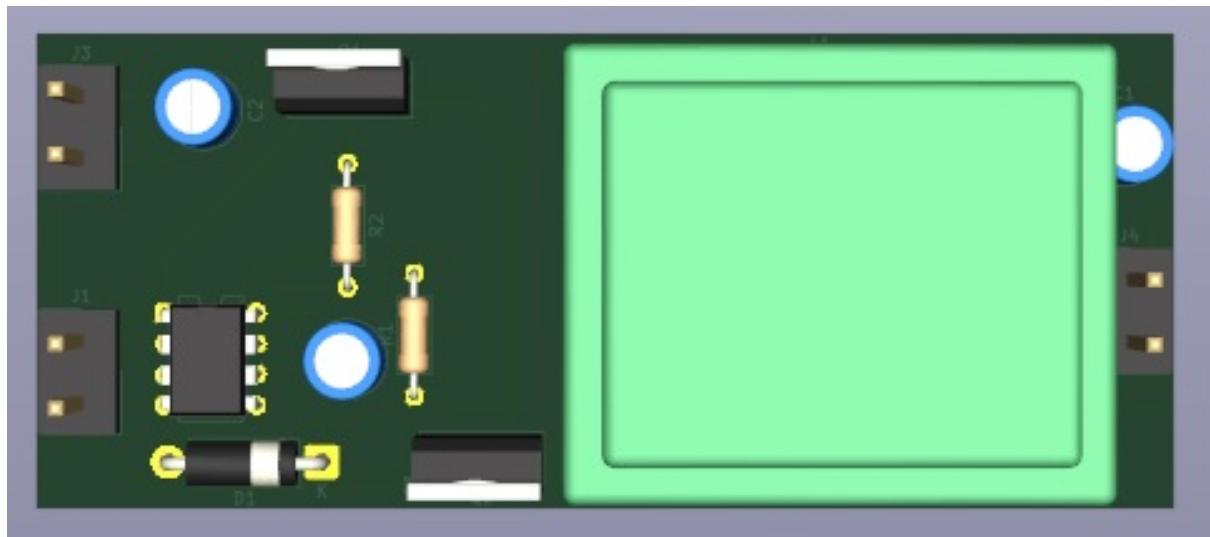


Figura 50: Diseño PCB frente Fuente Buck

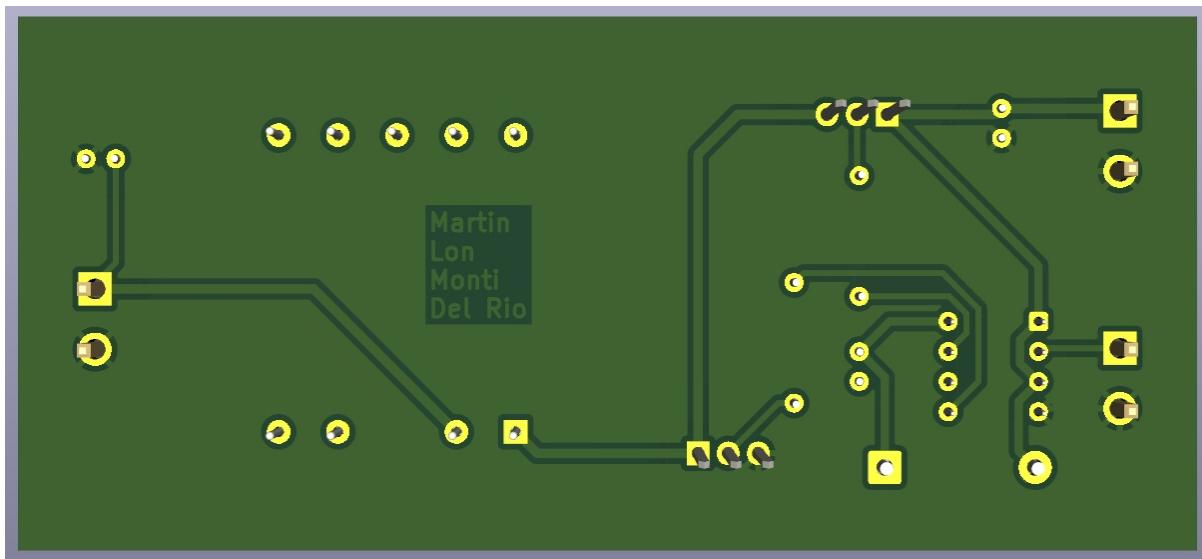


Figura 51: Diseño PCB dorso Fuente Buck

### 4.3. Circuito PWM

Como se mencionó antes, para la fuente buck se necesita una señal PWM que se ocupará de encender y apagar los MOSFETs. La forma de obtener tal señal utilizada es mediante la comparación de una señal triangular de 130 khz con una tensión constante. La ventaja de obtener la señal PWM de esta forma es que la tensión constante que se compara con la señal triangular podrá ser una señal proporcional a el error de la tensión de salida con la tensión deseada, de esta forma cerrando el lazo y obteniendo una fuente buck a lazo cerrado.

#### 4.3.1. Diseño y simulación

La topología utilizada para obtener la señal deseada es la de la Figura 52. Este circuito consta de un integrador con el operacional U2 y el capacitor, que recibe una señal cuadrada de la salida de U1, generando la triangular deseada, que luego se compara con V3 en U3, para finalmente tener la señal PWM deseada. Dado la alta frecuencia de oscilación utilizada, U1 y U3 son comparadores en vez de amplificadores operacionales.

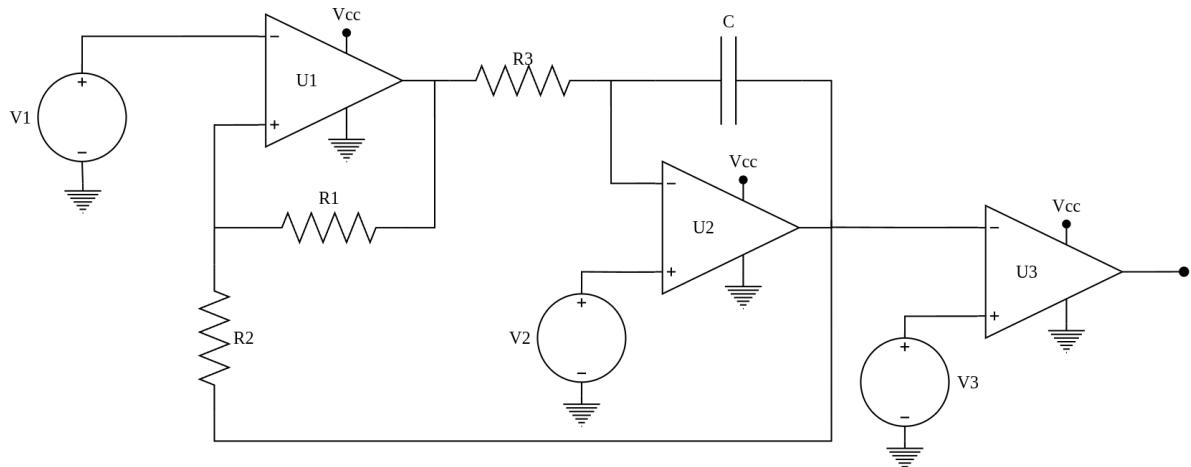


Figura 52: Circuito utilizado para generar la señal PWM

Los valores utilizados para los resistores y capacitores son los presentados en la Tabla 4.2. Los mismos se obtuvieron de forma empírica, teniendo en cuenta la constante de tiempo  $\tau = R3 \cdot C$ .

Componente	Valor
R1	100 kΩ
R2	24 kΩ
R3	2,7 kΩ
C	2,2 nF

Cuadro 4.2: Valores de los componentes del circuito PWM

Al simular el circuito se obtuvieron las señales cuadrada y triangular de las figuras 53 y 54:

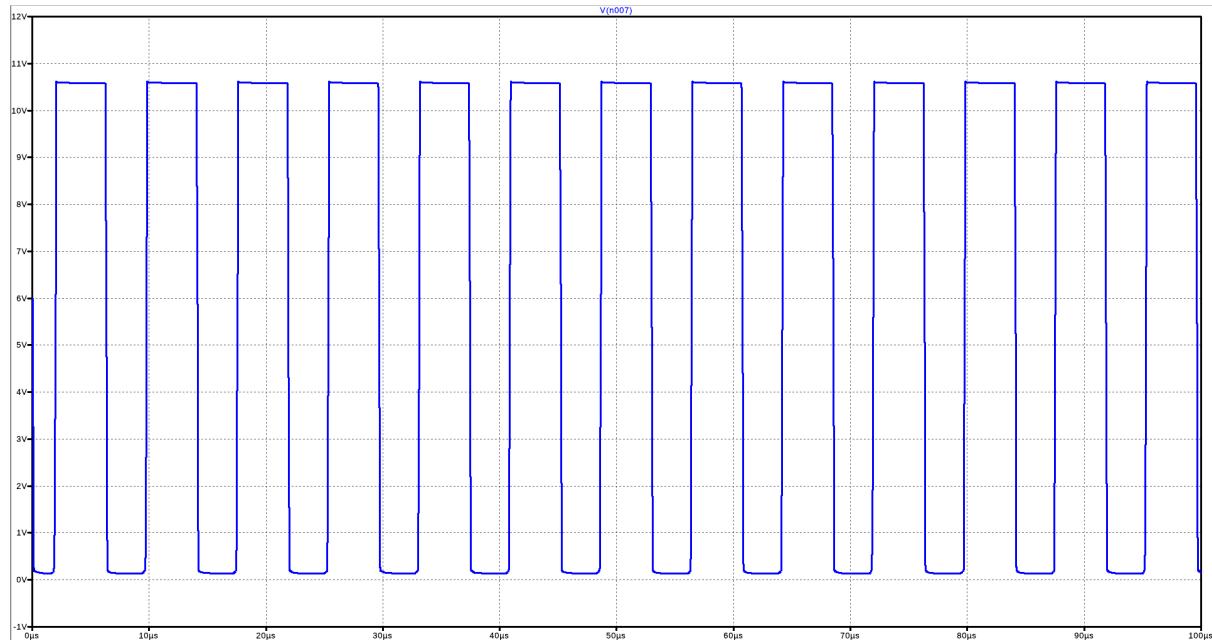


Figura 53: Señal cuadrada simulada

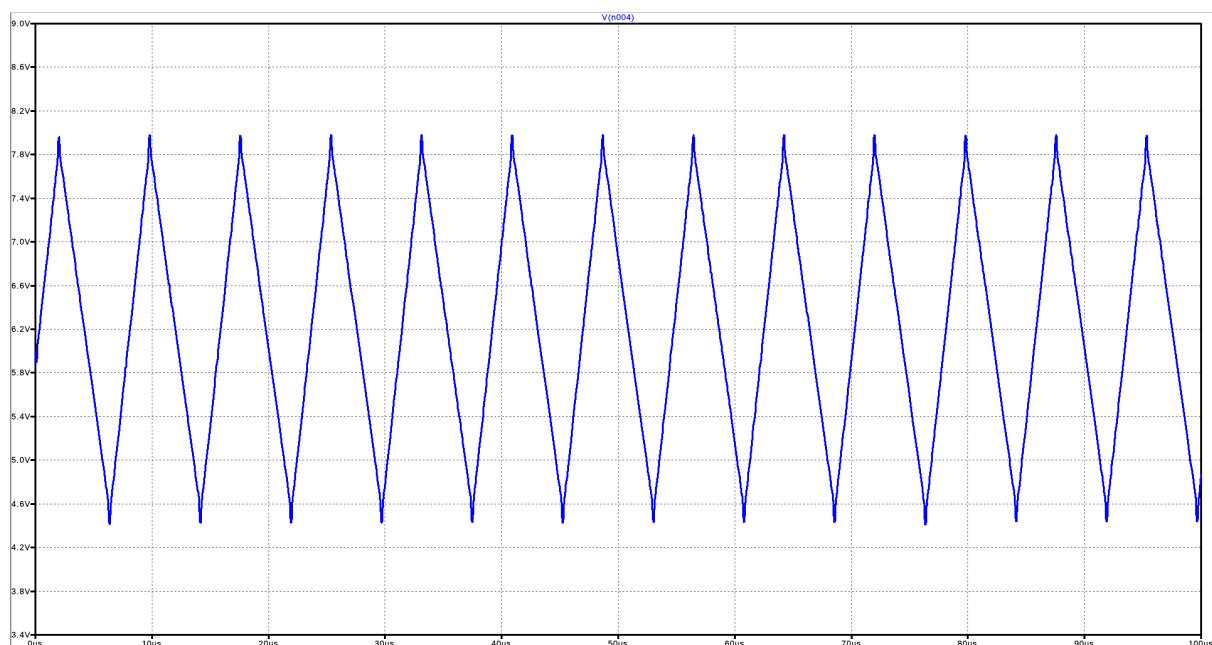


Figura 54: Señal triangular simulada

### 4.3.2. Diseño de PCB

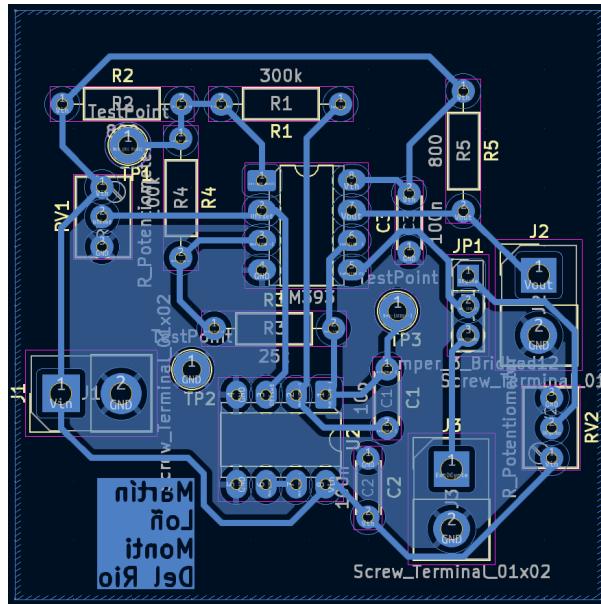


Figura 55: Circuito PCB PWM

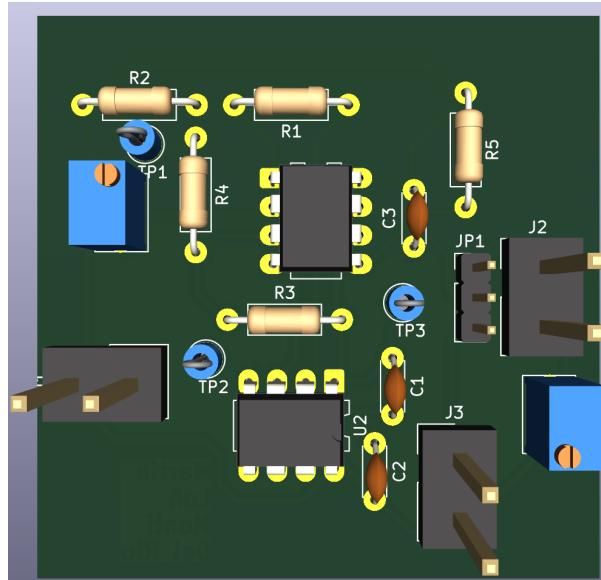


Figura 56: Circuito PCB PWM

Al momento de realizar el diseño del PCB se debieron tener en cuenta las consideraciones nombradas anteriormente. Ademas se tuvo presente que las pistas debían evitar recorridos de gran distancia ya que al transportar frecuencia si estas son muy largas se puede generar ruido en la información.

Se agregaron pines de prueba al circuito en lugares estratégicos para luego poder verificar el funcionamiento del circuito, pudiendo observar la señal en donde es necesario que cumplan con formas y frecuencias específicas. Por lo tanto los pines agregados son en tierra, en la salida del comparador y en la salida del integrador.

Ademas como los comparadores son *open collector* se agregaron resistencias de pull up conectadas a su salida. Se eligió el valor teniendo en cuenta lo recomendado por la datasheet del modelo y buscando evitar que se limite la corriente.

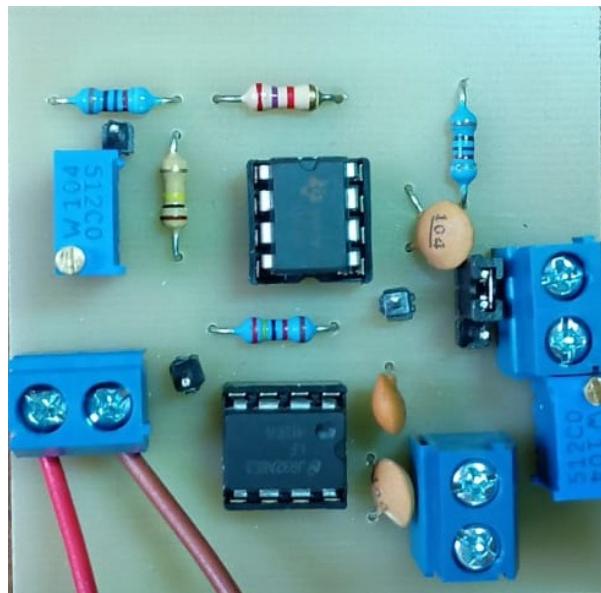


Figura 57: Circuito PWM

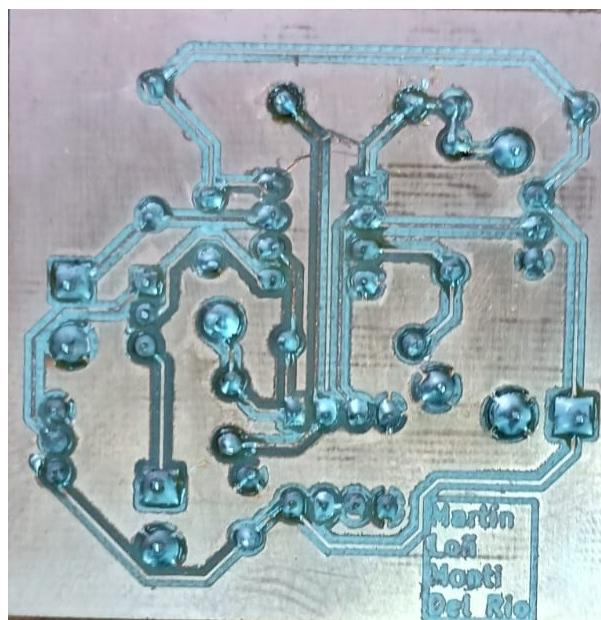


Figura 58: Circuito PWM

Durante la implementación se observó que el valor de capacitancia elegido inicialmente era muy cercano al del capacitor interno del operacional y por lo tanto se deformaba la señal. Para solucionarlo se cambio la relación del RC, se aumento el valor del capacitor y se disminuyo el de la resistencia.

#### 4.3.3. Mediciones

Al llevar a cabo las mediciones, se observó la señal cuadrada generada por el circuito a una frecuencia aproximada de 130kHz, tal como fue diseñada. Esta señal presenta transiciones rápidas por lo que se garantiza una comutación correcta y eficiente de los MOSFETs en la fuente Buck. La amplitud de la señal se mantiene estable en el tiempo, sin ningún tipo de distorsiones.

Por otro lado, la señal triangular muestra una forma simétrica y estable con una amplitud adecuada. Se observó que la frecuencia de oscilación también es de aproximadamente 130KHz.

Se puede observar una distorsión en la señal triangular que se genera debido a la integración del sobrepico en la señal cuadrada.

Las posibles causas de este sobrepico son el problema ya antes mencionado de las capacidades de entrada del operacional o interferencias causadas por ruido generado en las pistas del PCB.

A pesar de lo mencionado, estas mediciones se puede confirmar el correcto funcionamiento del PWM, asegurando así una señal de control para la fuente comutada Buck estable cumpliendo todos los requisitos.

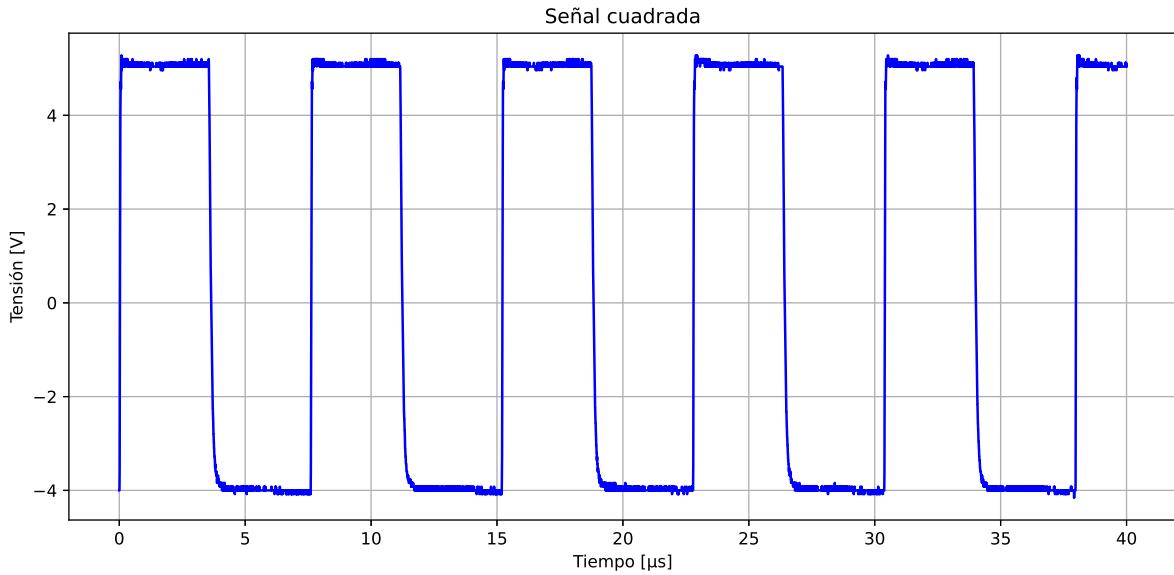


Figura 59: Señal cuadrada

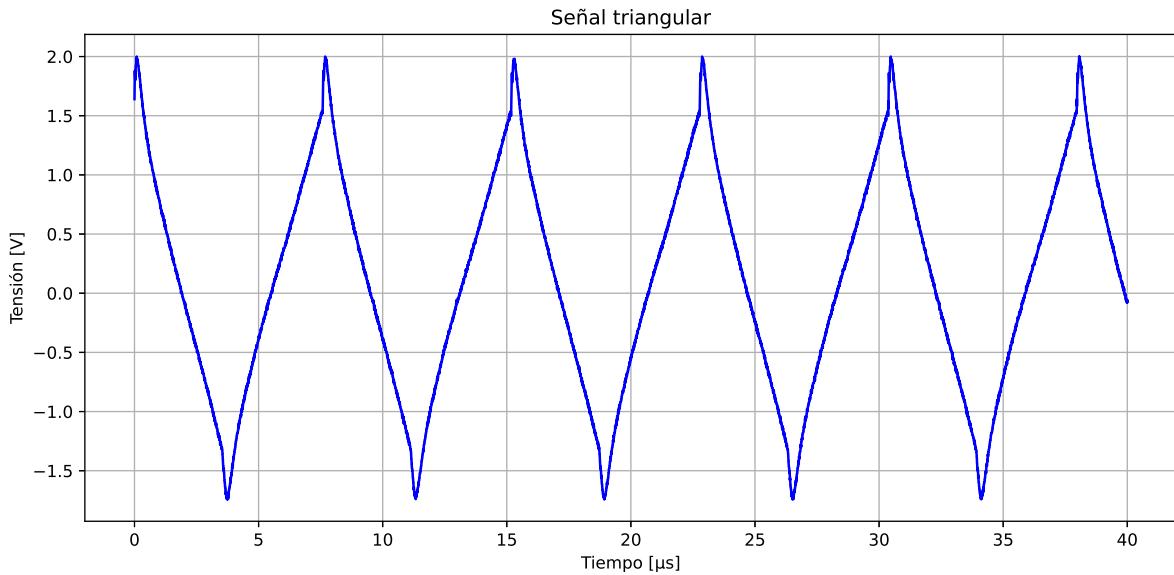


Figura 60: Señal triangular

#### 4.4. Conclusiones

A lo largo del desarrollo se abordó el diseño y simulación de una fuente comutada tipo Buck, donde se debió trabajar el control por modulación de ancho de pulso y el diseño físico del inductor. Durante la simulación, se observó que esta fuente Buck cumplió los requerimientos, superando el 90 % de eficiencia en distintas condiciones de carga, manteniendo a su vez un tiempo de establecimiento y un ripple acorde.

Se puso en práctica el diseño de pistas para circuitos de frecuencia, en donde se tuvo que considerar el trazado de pistas y el plano de masa. El diseño del circuito PWM se implementó mediante comparadores, logrando generar, luego de varios intentos, una señal triangular estable y una señal PWM capaz de controlar los MOSFETs.

## 4.5. Apéndice

### 4.5.1. Calculo del inductor

Se utilizaron las siguientes especificaciones para realizar los cálculos:

$$L = 300 \mu\text{H}$$

$$I_{L,max} = 1,54 \text{ A}$$

$$I_{L,dc} = 1,48 \text{ A}$$

$$f_{sw} = 130 \text{ kHz}$$

$$P_{cu} = 1 \text{ W}$$

$$K_u = 0,33$$

$$\rho_{cu} = 1,7 \cdot 10^{-6} \Omega \text{ cm}$$

El campo magnético máximo se obtuvo de la hoja de datos del material observando el máximo valor donde la permeabilidad tiene un comportamiento lineal. Luego, los valores de corriente máxima y media fueron obtenidos cuando la carga es mínima  $R_{L,min} = \frac{9V}{1,5A} = 6,33\Omega$

El método *Tacca* indica que en primer lugar se debe calcular la sección de hierro,  $S_{fe}$ .

$$F_b = K_u$$

$$F_v = 0,25$$

$$I_{L,ef} = I_{L,dc}$$

$$\sigma_{IL} = 5 \frac{\text{A}}{\text{mm}^2}$$

$$S_{fe} = 10 \sqrt{\frac{LI_{L,ef}I_{L,max}}{F_b F_v B_{max} \sigma_{IL}}} = 0,744 \text{ cm}^2 \quad (22)$$

Verificando la tabla provista por *Ericksson* y la disponibilidad comercial, se decidió usar el núcleo *EE3007*. Una vez decidido el núcleo es necesario verificar el valor del factor de ventana,  $F_v$ , elegido. Para eso se utilizó la datasheet del núcleo para obtener las dimensiones de la pieza.

$$B = 19,6 \text{ mm}$$

$$C = 9,5 \text{ mm}$$

$$D = 6,5 \text{ mm}$$

$$E = 6,3 \text{ mm}$$

$$F = 6,3 \text{ mm}$$

$$F_v = \frac{S_v}{S_{fe}} = \frac{E(B-C)}{2CD} = 0,35 \quad (23)$$

Considerando este valor se volvió a calcular la sección del hierro,  $S_{fe} = 0,629 \text{ cm}^2$ . La variación es pequeña por lo que la elección del núcleo continua cumpliendo.

Se procedió a calcular el valor del entrehierro.

$$12 \frac{L}{S_{fe}} \left( \frac{I_{L,max}}{B_{max}} \right)^2 = 0,151 \text{ mm} \quad (24)$$

Obtenido este valor, se pudo conseguir el número de vueltas necesarias para el inductor.

$$n = 850 \frac{B_{max}}{I_{L,max}} I_g = 25 \quad (25)$$

$$W_a = 0,476 \text{ cm}^2$$

$$A_w \leq \frac{K_u W_a}{n} = 6,283 \cdot 10^{-3} \text{ cm}^2 \quad (26)$$

Se elige usar el cable AWG#20 que tiene un  $A_w = 5,188 \cdot 10^{-3} \text{ cm}^2$ . Se verifica que el valor de la densidad sea menor a  $5 \frac{\text{A}}{\text{mm}^2}$  y que no sature

$$\sigma_{IL} = \frac{I_{L,max}}{100 A_w} = 2,789 \frac{\text{A}}{\text{mm}^2}$$

$$B_{max,real} = \frac{\mu_0 n I_{L,max}}{I_g} = 0,0003 \text{ T}$$

Finalmente, se verifica que no haya efecto pelicular, es decir que  $\delta \leq r_{Cu}$ .

$$r_{Cu} = 0,0437 \text{ cm}$$

$$\delta = \frac{7,5}{\sqrt{f_{sw}}} = 0,021$$

## 5. Quinto checkpoint

### 5.1. Introducción

En este trabajo se continuara con el diseño de la fuente buck desarrollado en la entrega anterior. Se cerrara el lazo de la misma, generando una compensación que permitirá mejorar el margen de fase y conseguir una respuesta no oscilatoria.

Además se armara el inductor diseñado previamente, teniendo en cuenta las consideraciones necesarias para poder cumplir con los valores calculados.

Se buscara medir y comprobar el correcto funcionamiento de todo lo diseñado a lo largo del trabajo. Comprobando que la integración de todo el sistema funcione de la manera esperada, cumpliendo con los requisitos pedidos.

### 5.2. Fuente Buck realimentada

Para realimentar la fuente se utilizó la topología de la Figura 61, donde se sensa la tensión de salida con las resistencias  $R_{18}$  y  $R_{19}$ , luego se utiliza el  $U_7$  como amplificador de error, utilizando una referencia de 4,75 V. Por ultimo, esta señal de error se compara con una señal triangular, generada con el circuito de la entrega anterior con pequeñas modificaciones para que la amplitud sea de aproximadamente 1,9 V. Luego de este comparador se obtiene una señal PWM que, a través del *MOSFET Driver*, se utilizará para conmutar los transistores. De esta forma el ciclo de trabajo resulta proporcional a la tensión de salida, permitiendo así la regulación de linea y de carga.

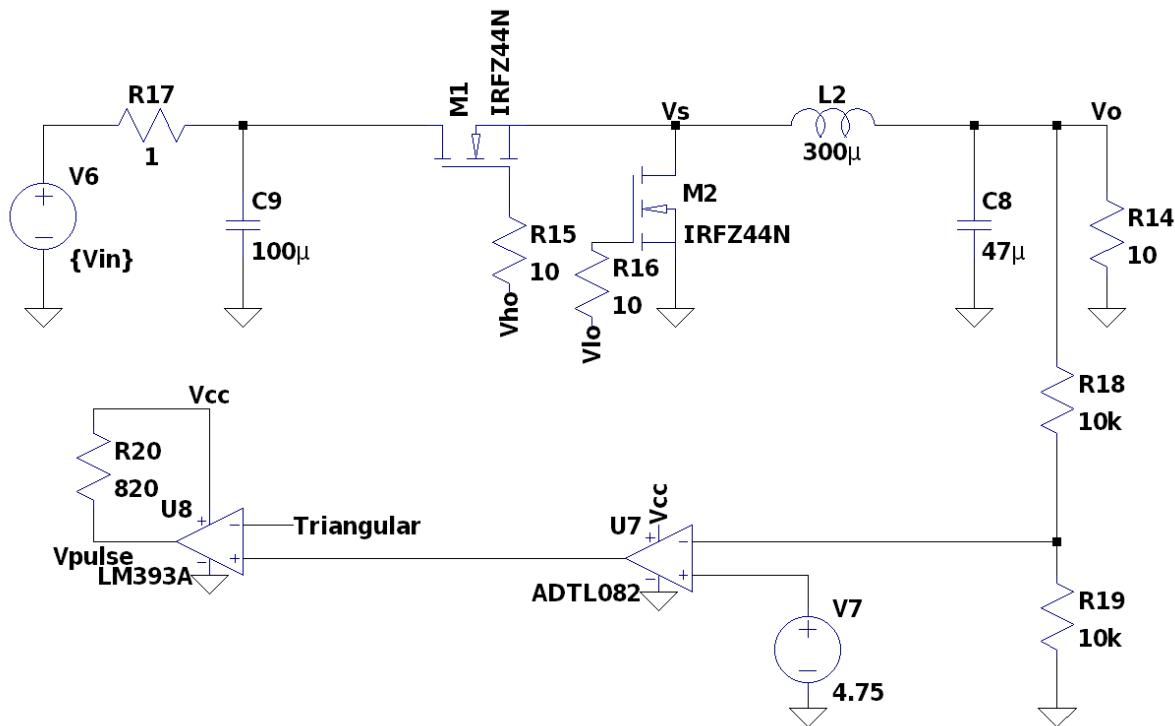


Figura 61: Lazo de realimentación de la fuente buck

Al simular el circuito realimentado en LTspice se obtuvo la respuesta de la Figura 62. Es evidente que el circuito oscila, por lo que se debe agregar una red de compensación. La próxima sección se ocupará de esto.

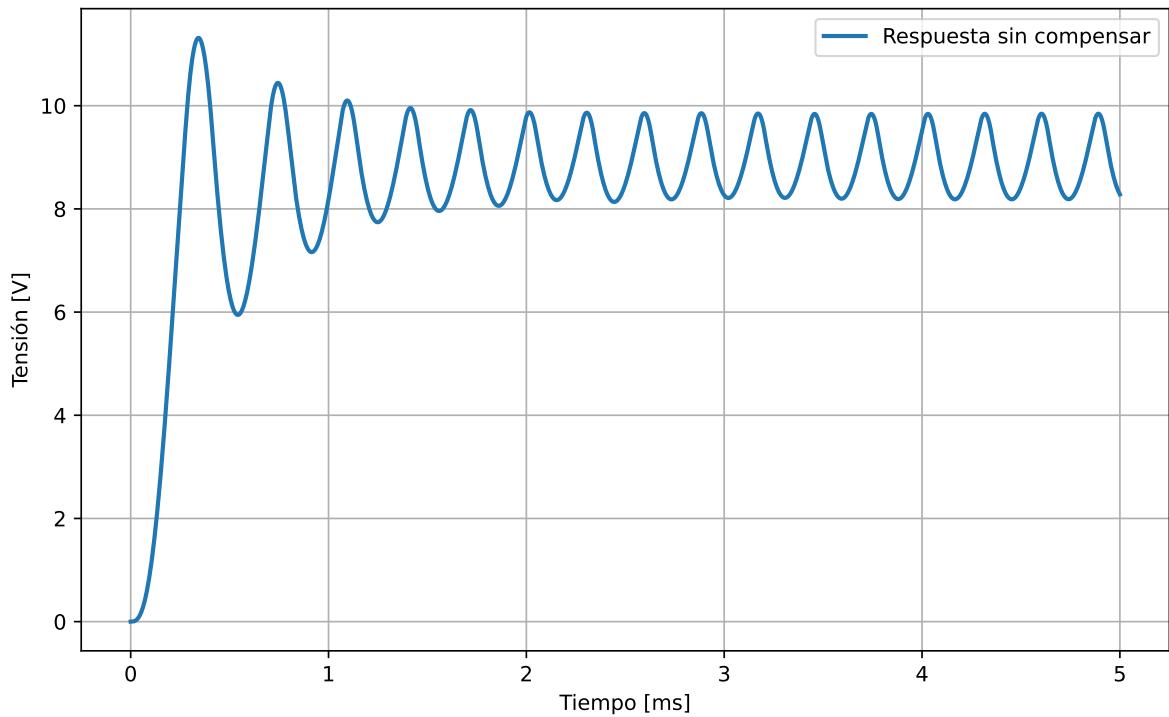


Figura 62: Respuesta del circuito realimentado

### 5.3. Compensación

Se decidió utilizar una compensación de amplificación de error tipo III, es decir se compensó con un PID. En este tipo de compensación se obtiene un polo en el origen, dos ceros y dos polos a una mayor frecuencia. Los ceros sirven para compensar los polos complejos conjugados correspondientes a la respuesta de la fuente buck. De esta manera se obtuvo un mayor margen de fase a lazo cerrado, además de un mayor ancho de banda.

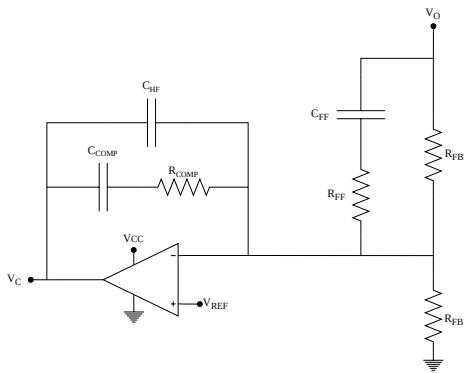


Figura 63: Red de compensación

La resistencia  $R_{comp}$  y el capacitor  $C_{comp}$  añaden un cero a la respuesta, y la  $R_{FBT}$  y el  $C_{ff}$  añaden otro. Estos ceros contrarrestan el efecto de los polos complejos conjugados provenientes de la buck como se mencionó previamente.

Los otros dos polos están dados por  $R_{ff}$  y  $C_{ff}$ , y por  $R_{comp}$  y  $C_{HF}$ . Estos tienen una frecuencia mayor a la de los de la fuente buck.

Los valores obtenidos luego de normalizar fueron los siguientes:

Componente	Valor
$R_{comp}$	8,2 nF
$C_{comp}$	15 k $\Omega$
$C_{FF}$	12 nF
$R_{FF}$	2 k $\Omega$
$C_{HF}$	180 pF
$R_{FBT}$	10 k $\Omega$
$R_{FBB}$	10 k $\Omega$

Cuadro 5.1: Componentes para la compensación

Para simular el bode se modificó uno de los modelos promediados provisto en el campus. Este modelo reemplaza el comportamiento de computación lineal por una representación continua basada en el ciclo de trabajo promedio. Por lo tanto, se logra obtener un modelo linealizado del sistema

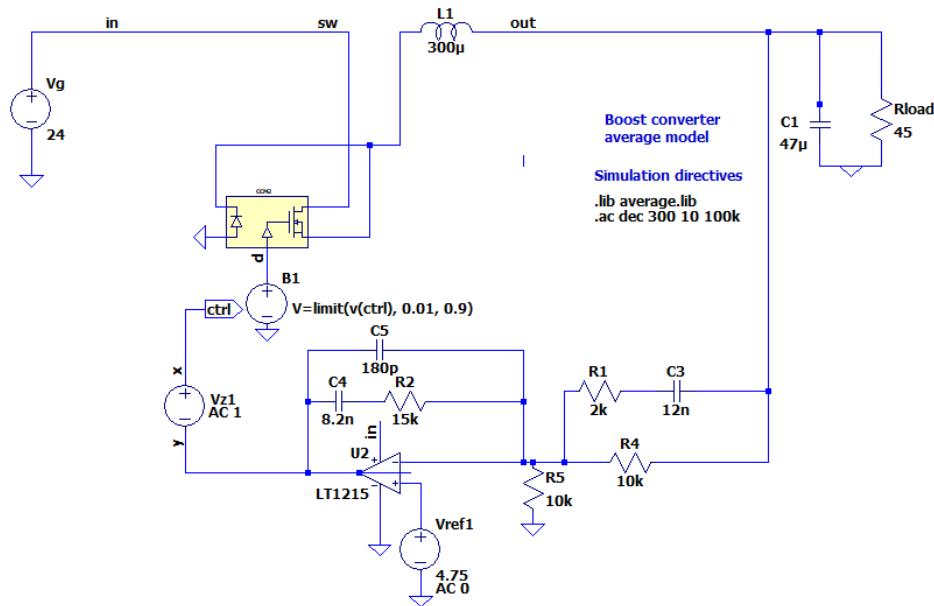


Figura 64: Modelo promediado de la fuente buck compensada

Los bodes resultantes fueron los vistos a continuación:

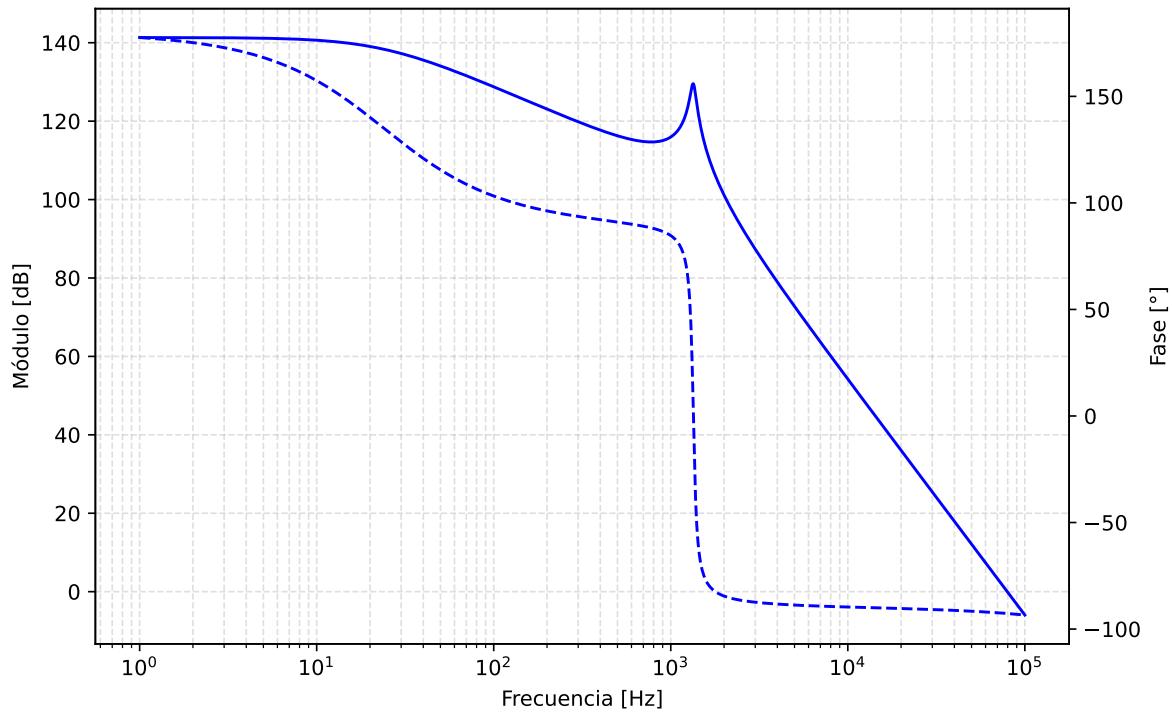


Figura 65: Bode del circuito sin compensar

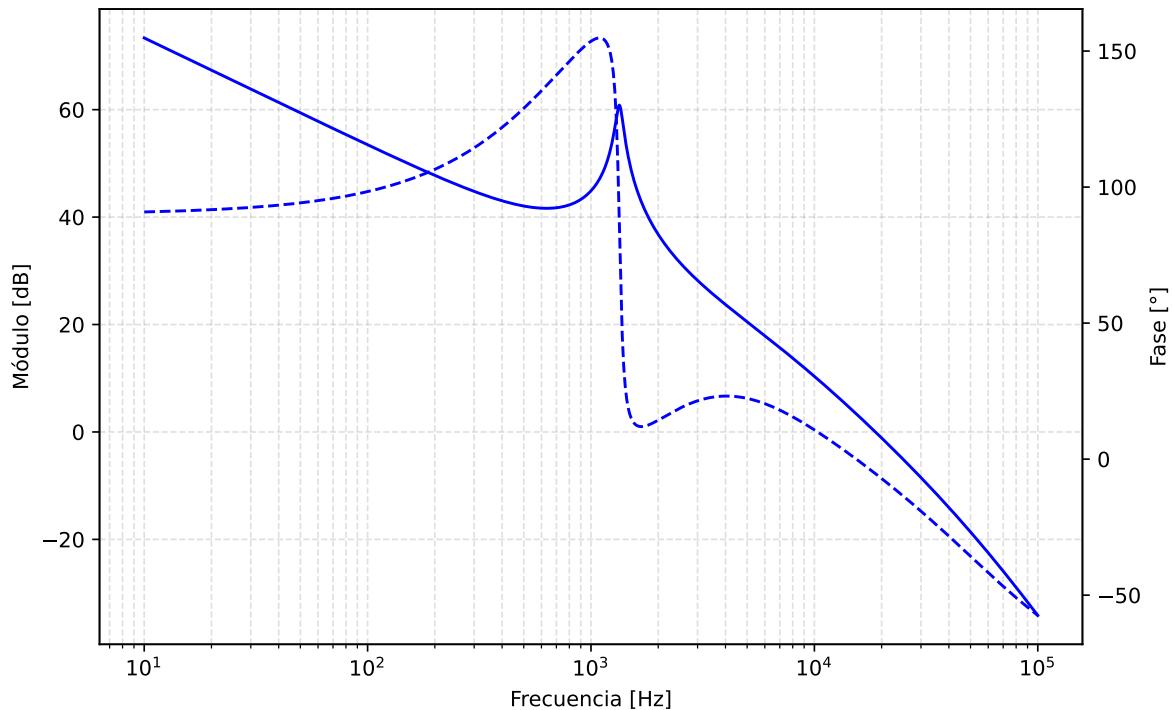


Figura 66: Respuesta del circuito compensado

Como se ve en la Figura 66 con la compensación se logró obtener un margen de fase de  $80^\circ$ . Este es dado por la red de adelanto implementada con los ceros en las frecuencias de los polos complejos. Además la ganancia en altas frecuencias se ve atenuada de manera significativa gracias los polos de alta frecuencia, de esta manera se logra limitar el ruido de conmutación.

Gracias a la compensación el sistema presenta una mayor estabilidad y robustez. La respuesta en frecuencia del circuito compensado presenta mejores características que la del mismo sin compensar.

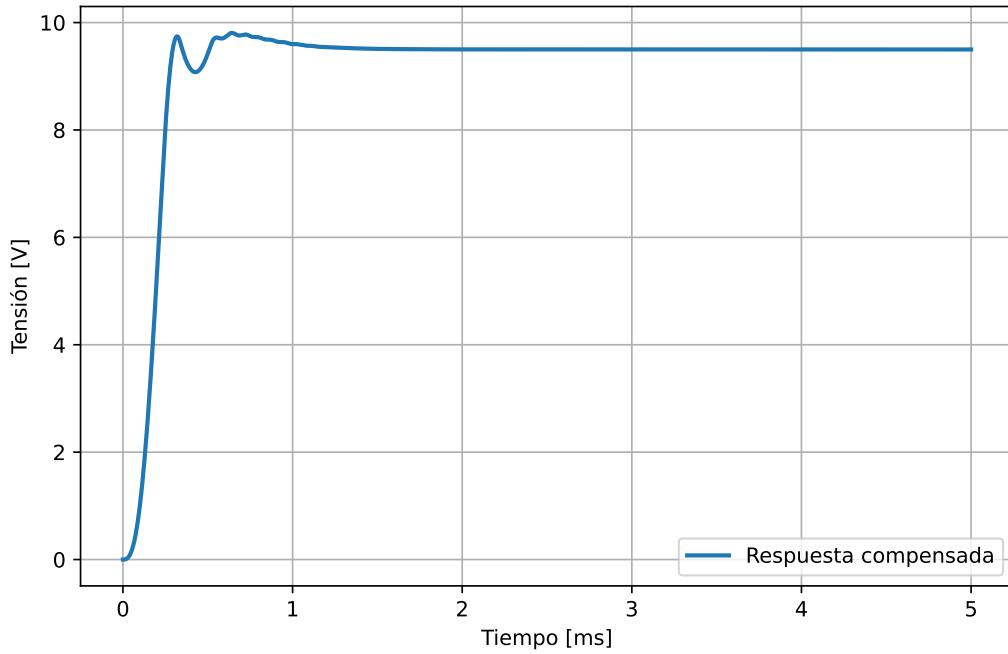


Figura 67: Respuesta del circuito realimentado compensado

## 5.4. Caracterización del inductor

A la hora de corroborar el valor de la inductancia se utilizó un circuito RL, sabiendo que la relación entre la tensión de entrada y la tensión sobre el inductor viene dada por el divisor de impedancias:

$$V_{ZL} = \frac{V_{IN} Z_L}{Z_L + Z_R} \quad (27)$$

Teniendo en cuenta que la impedancia del inductor viene dada por  $Z_L = \omega L$  y la de la resistencia es  $Z_R = R$ , se puede despejar el valor de  $L$  de la siguiente forma:

$$L = \frac{V_L Z_R}{(V_{IN} - V_L) \omega} \quad (28)$$

Finalmente, utilizando una frecuencia de 130 kHz se midió primero el inductor con 25 vueltas, que fue el valor calculado en la entrega anterior, pero resultó de aproximadamente 242  $\mu$ H. Como este valor es menor al necesario, se volvió a bobinar el inductor, esta vez con 30 vueltas, obteniendo un valor de 303  $\mu$ H.

### 5.4.1. Corriente de saturación

Con el objetivo de medir la corriente de saturación del núcleo del inductor se utilizó la respuesta al escalón del mismo, midiendo la forma de la corriente respecto al tiempo con una resistencia *shunt* de 0,47  $\Omega$ .

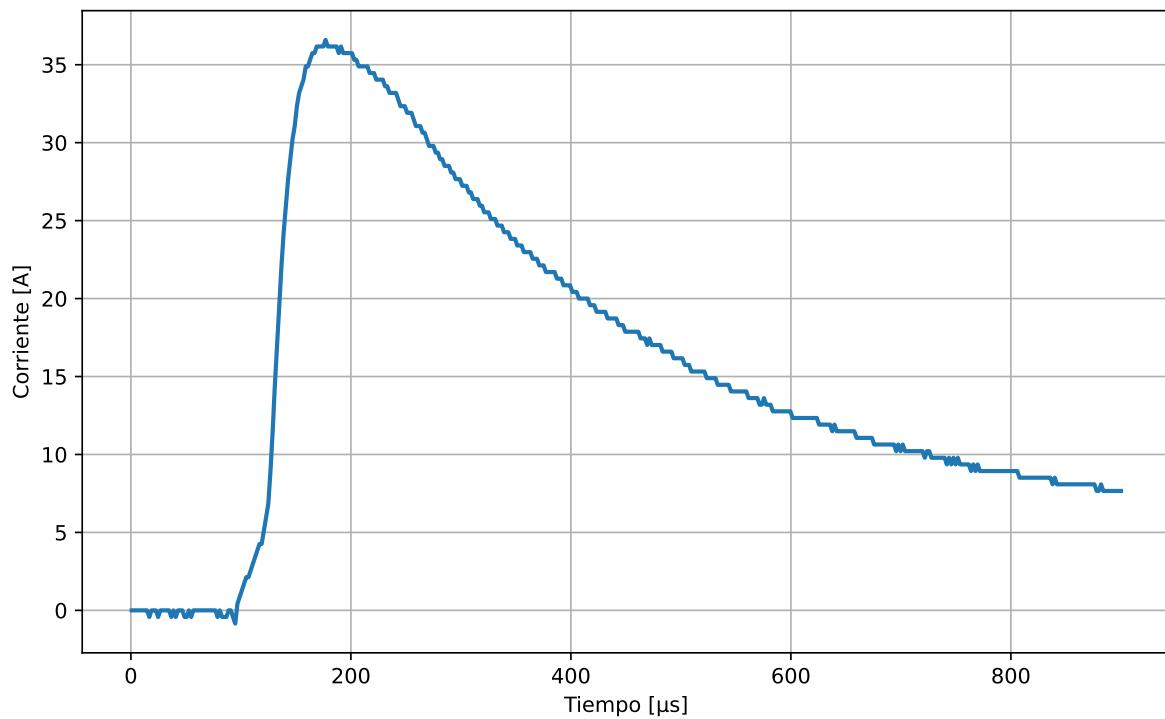


Figura 68: Curva de corriente sobre el inductor ante un escalón de tensión

Como se puede observar en la Figura 68, la corriente presenta una respuesta lineal al principio de la curva, esto se puede ver con más detalle en la Figura 69.

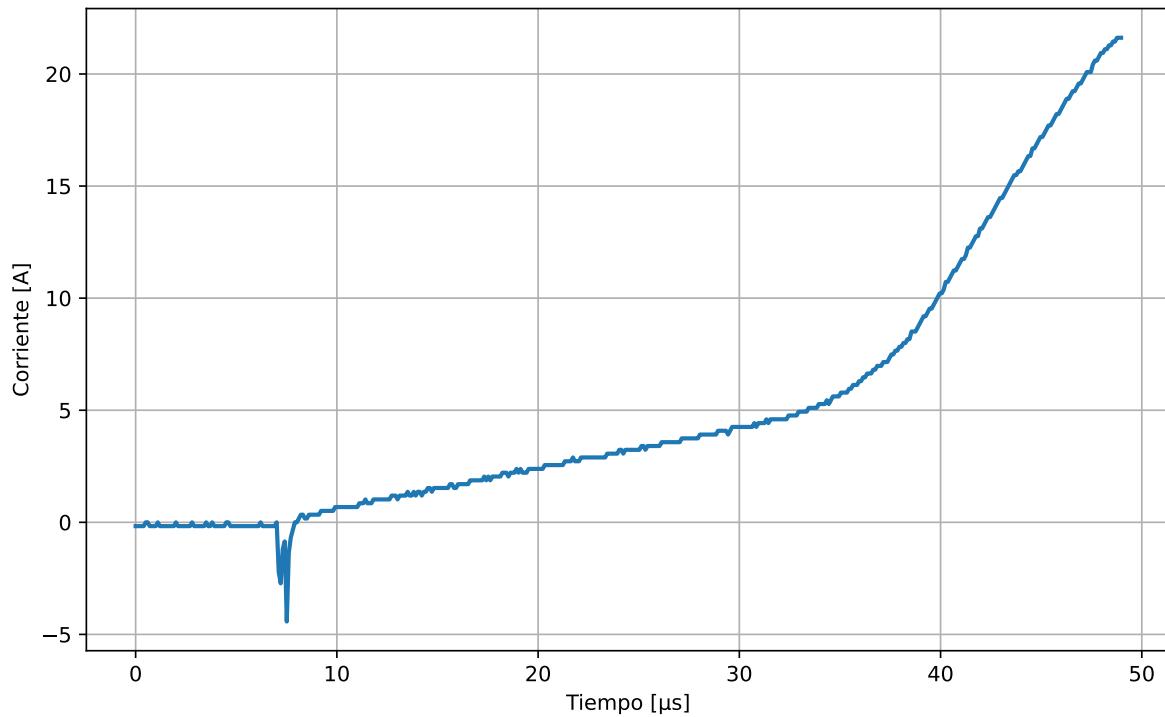


Figura 69: Segmento lineal de la respuesta

Teniendo en cuenta que la relación entre la tensión del inductor y la corriente viene dada por la Ecuación 29, si la evolución de la corriente respecto al tiempo es lineal, la inductancia resulta constante,

por lo que el núcleo no satura. Una vez que el núcleo satura, la inductancia deja de ser constante, entonces la relación de la corriente respecto al tiempo deja de ser lineal. Por esto ultimo, se puede tomar la corriente donde empieza a saturar el núcleo como la corriente donde la respuesta deja de ser lineal. Observando la Figura 69 resulta evidente que la corriente de saturación se encuentra alrededor de los 5 A, valor que se encuentra con amplio margen por encima del considerado en etapas anteriores de diseño.

$$v_L = L \frac{di}{dt} \quad (29)$$

## 5.5. Diseño PCB

A la hora de llevar el circuito a un PCB se realizaron ciertas modificaciones teniendo en cuenta ciertos efectos reales de los componentes. El esquemático con las modificaciones se puede ver en la Figura 70.

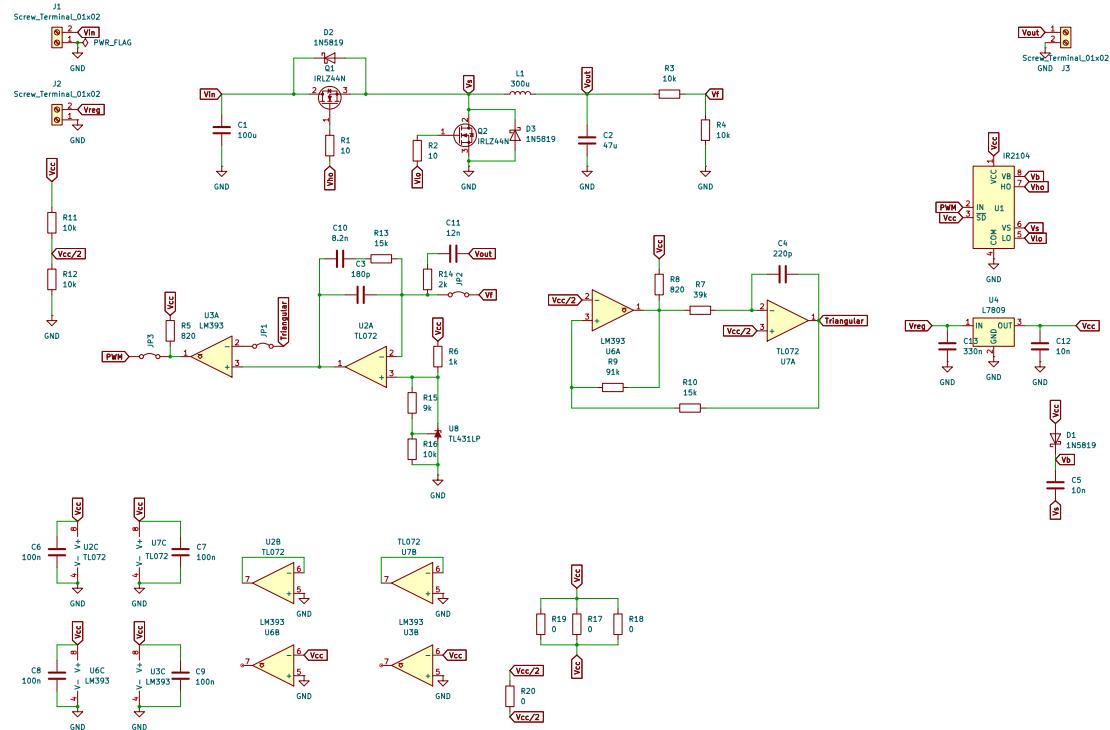


Figura 70: Esquemático utilizado para el diseño del PCB

Primero, se agregaron D2 y D3 como diodos *flyback* para proteger los MOSFETs. Luego, se agregaron jumpers a la salida de la señal triangular, a la salida de las resistencias de sensado de tensión y a la salida del comparador que genera el pulso PWM. Estos se agregaron con el objetivo de poder aislar etapas críticas del lazo de realimentación para poder probarlas por separado.

También, como se usan circuitos integrados y la tensión de entrada es variable, se agregó un regulador lineal 7809 para alimentarlos. Para poder aislar la potencia consumida por este regulador lineal se agregó una bornera que solamente alimenta el regulador. Además, para evitar ruido se agregaron capacitores de 100 nF lo más cercanos al pin de alimentación de cada uno de los circuitos integrados utilizados.

Por ultimo, se tuvieron que agregar resistencias de  $0\Omega$  para simplificar el ruteo de pistas del PCB, se buscó no utilizar este recurso en trazas sensibles, como las que transportan señales de frecuencia o del lazo de realimentación, se utilizaron solamente para trazas de alimentación o referencias.

En las Figuras 71 y 72 se puede ver el diseño final del PCB.

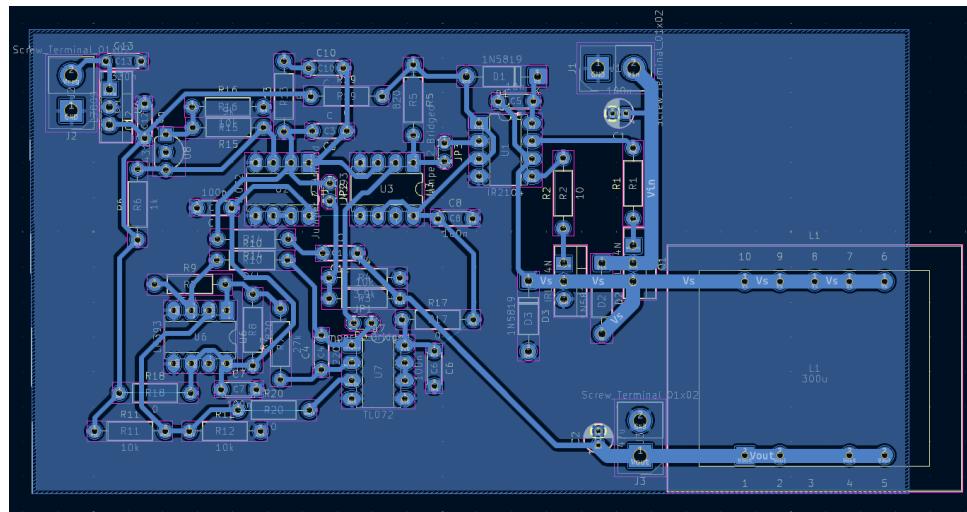


Figura 71: Diseño del PCB

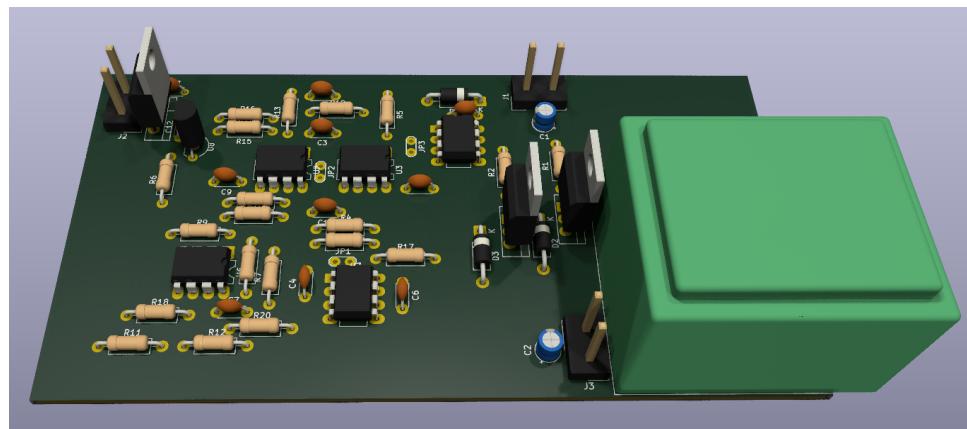


Figura 72: Renderizado 3D del PCB diseñado

## 5.6. Armado y prueba de etapas

El armado no presentó grandes complicaciones, la única modificación que se debió realizar respecto al circuito planteado en secciones anteriores fue uno de los capacitores de la red de compensación. No se pudo obtener un capacitor de 8,2 nF por lo que se reemplazó por uno de 10 nF.

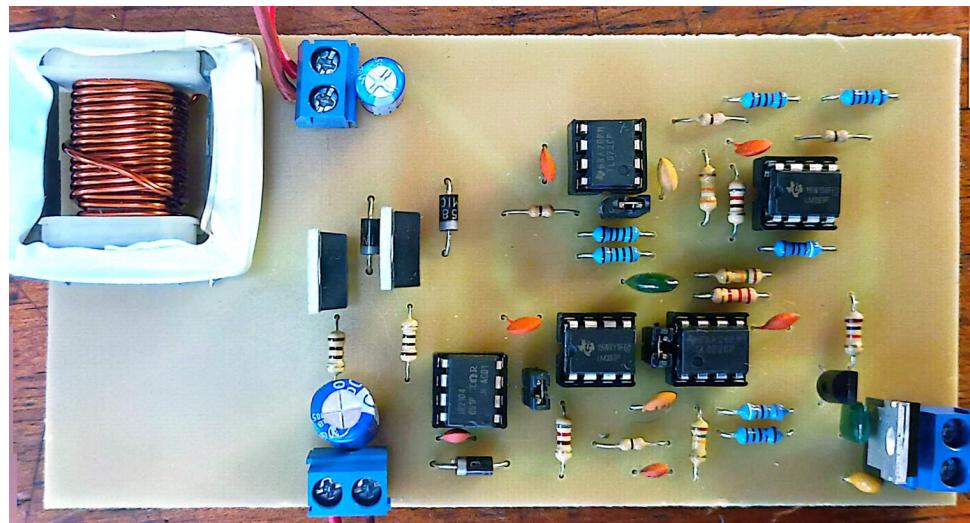


Figura 73: Frente de la placa

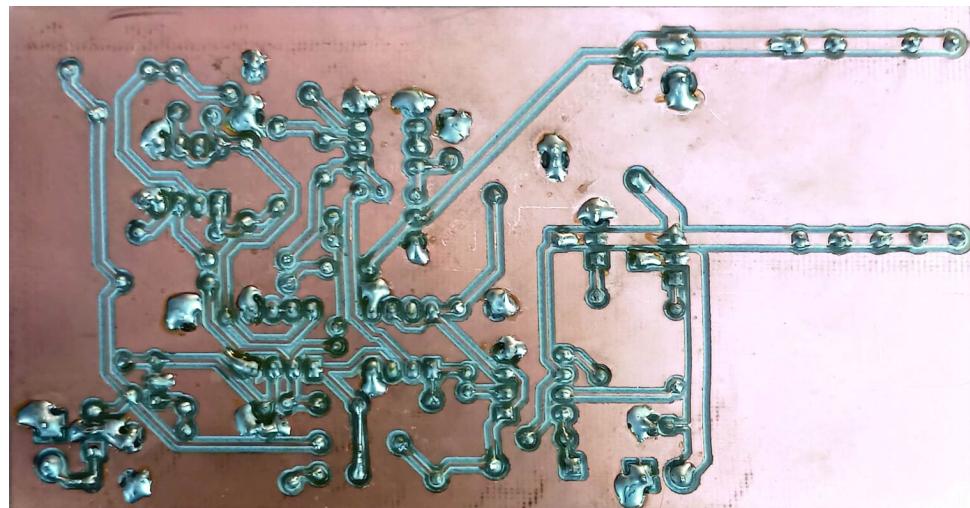


Figura 74: Dorso de la placa

Se modificó el valor de la amplitud de la señal triangular respecto a lo obtenido anteriormente. Este valor esta relacionado con las resistencias  $R_9$  y  $R_{10}$  por lo tanto se debió cambiar sus valores para poder obtener la nueva amplitud.

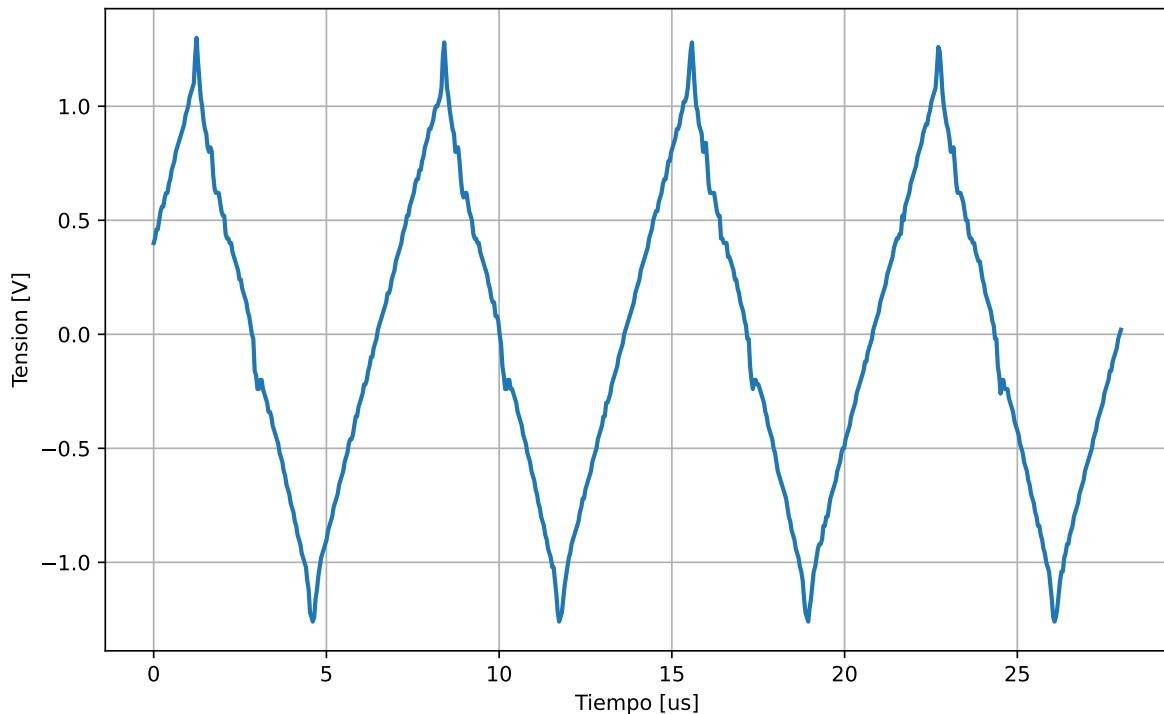


Figura 75: Señal triangular medida

En la Figura 76 se puede ver el PWM obtenido por el lazo de realimentación en estado estacionario. En la Figura 77 se presenta la tensión medida en el nodo de conmutación, entre los transistores y el inductor. Por ultimo, en la Figura 78 se puede ver las señales generadas por el IR2104 para los gates de ambos MOSFETs.

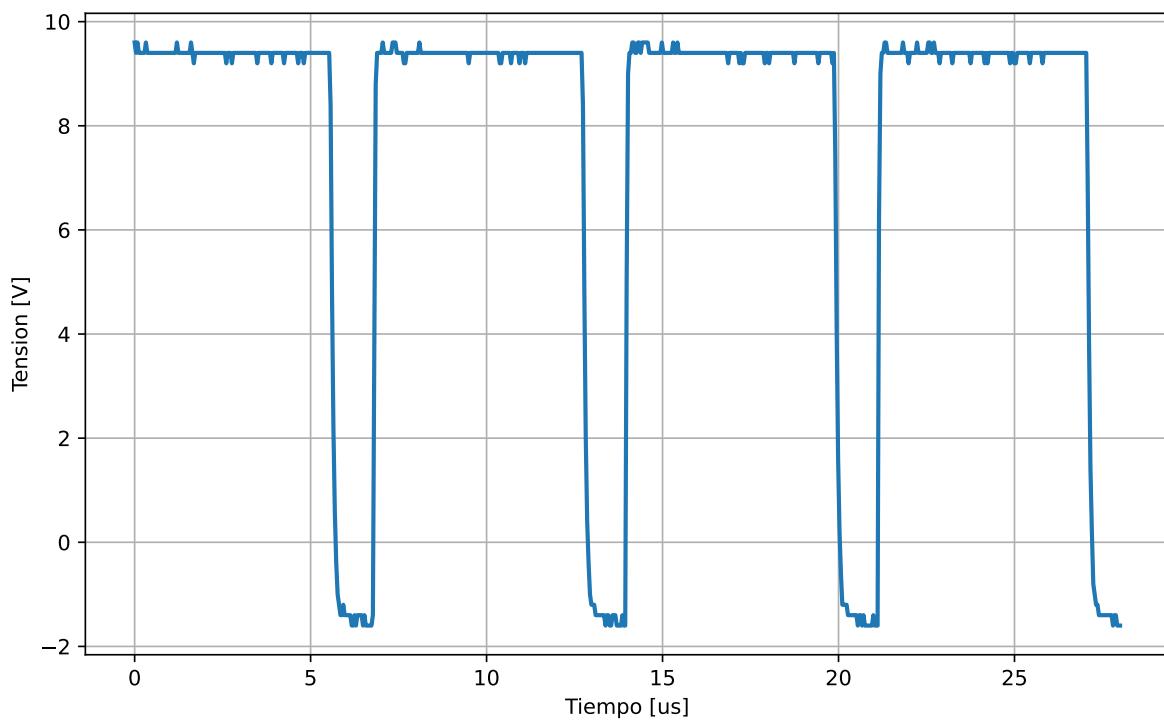


Figura 76: Señal PWM medida

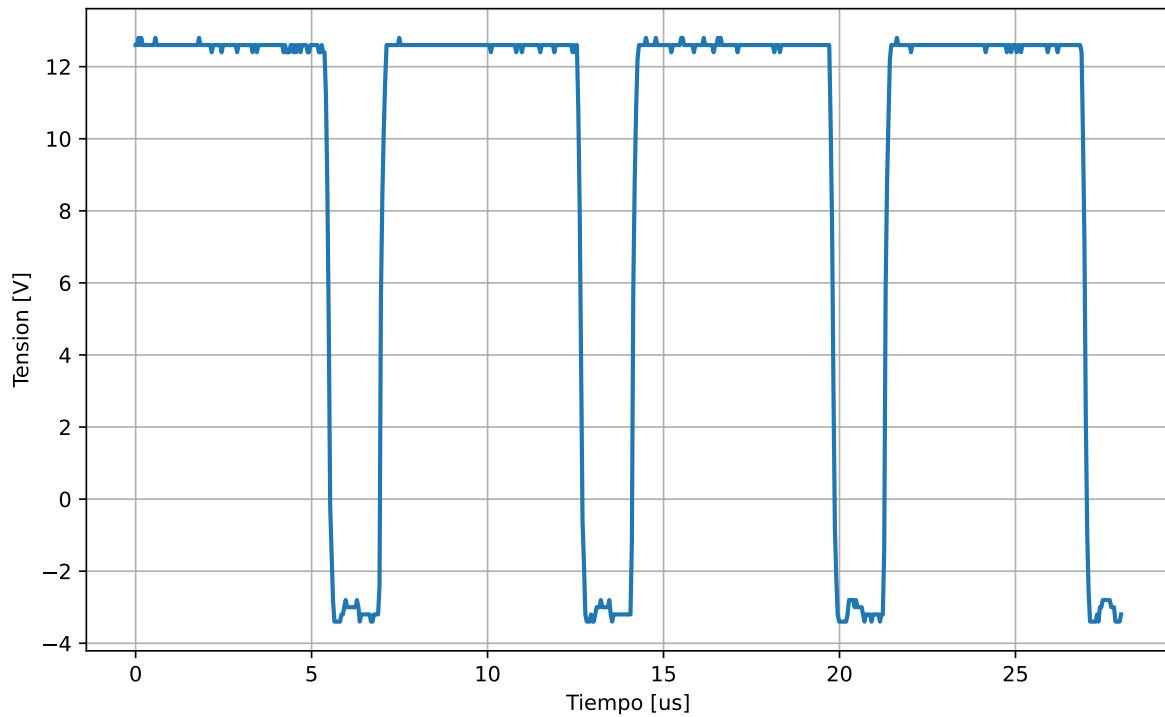


Figura 77: Señal medida en el nodo de conmutación

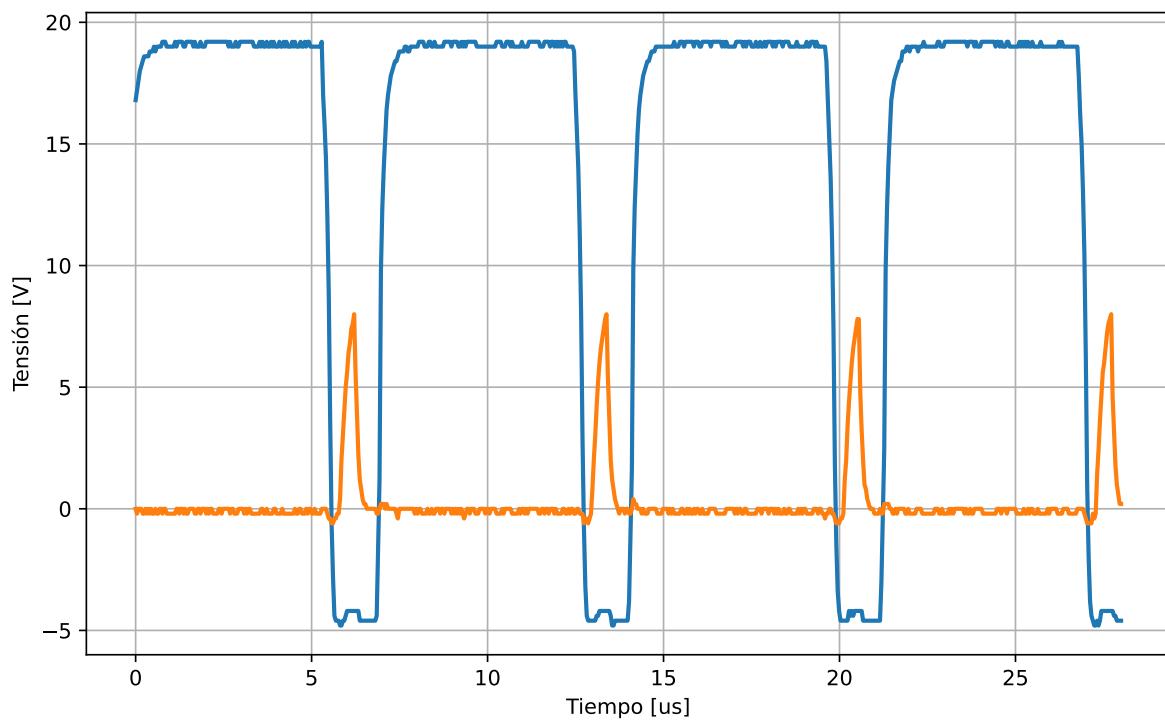


Figura 78: Señales de los gates de ambos MOSFETs

## 5.7. Mediciones

### 5.7.1. Respuesta temporal

A continuación se muestran las respuestas temporales ante distintas tensiones de entrada. Para todas las respuestas el tiempo de establecimiento es similar, y cercano al simulado en la Figura 67. La mayor diferencia entre las respuestas se ve en el sobreímpetu, el mismo crece al aumentar la tensión de entrada, sin embargo en estado estacionario todas tienen el mismo comportamiento y valor.

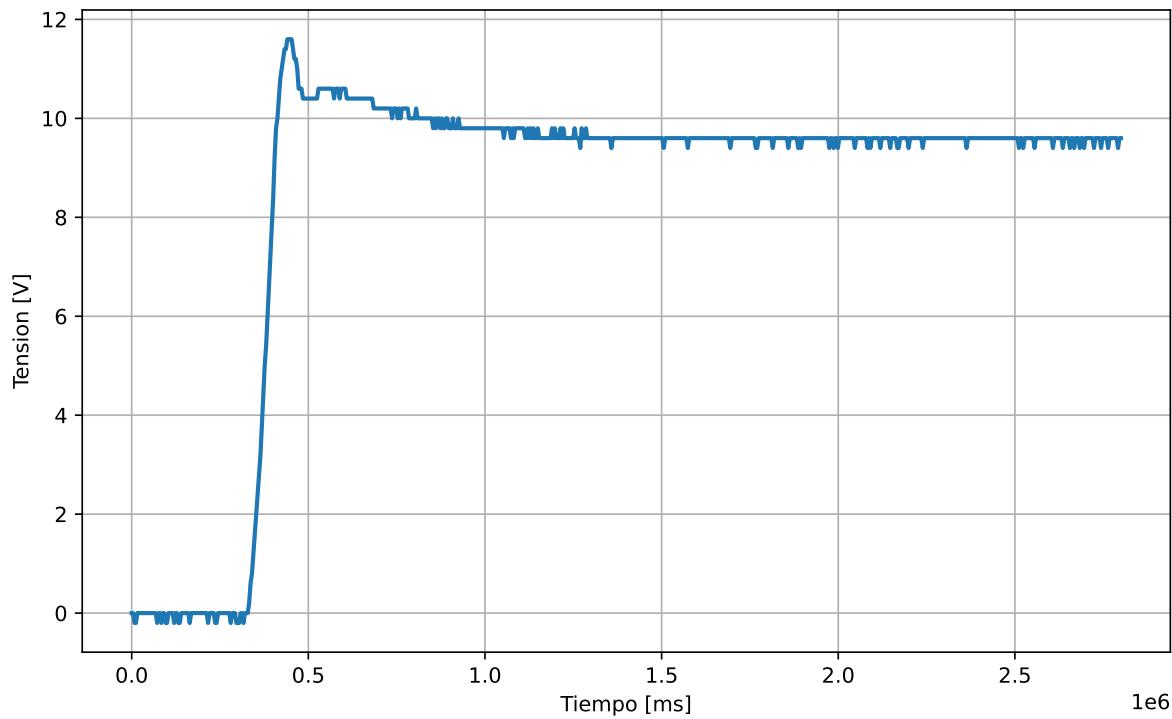
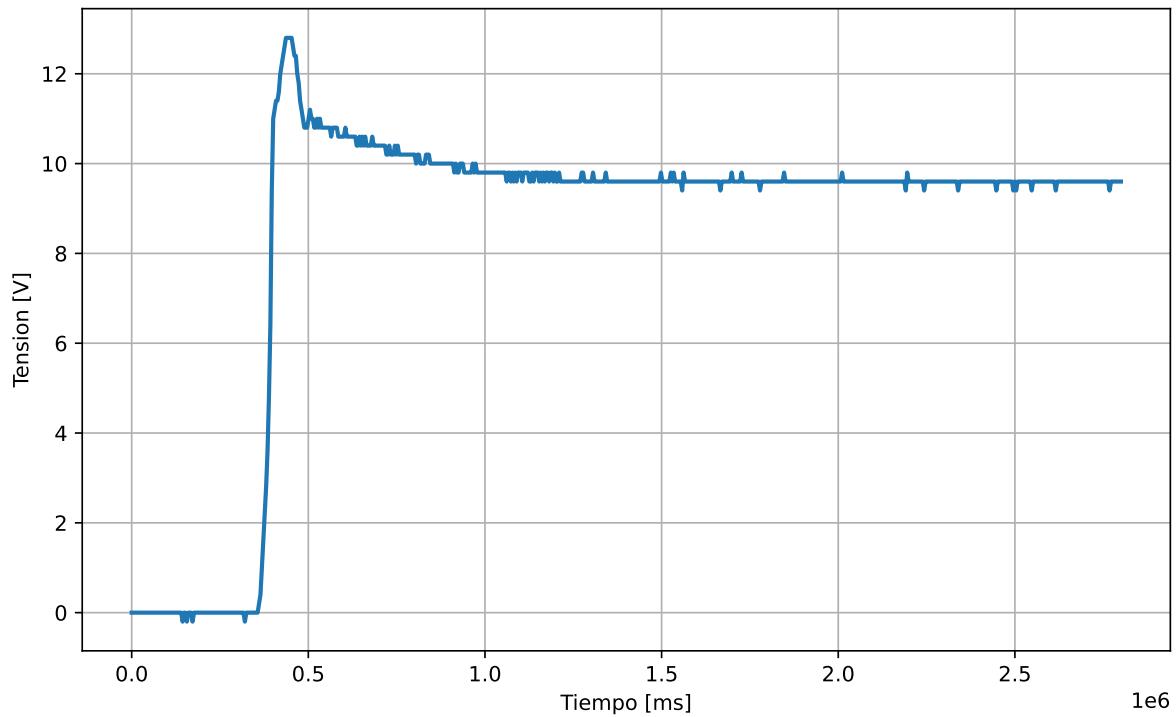
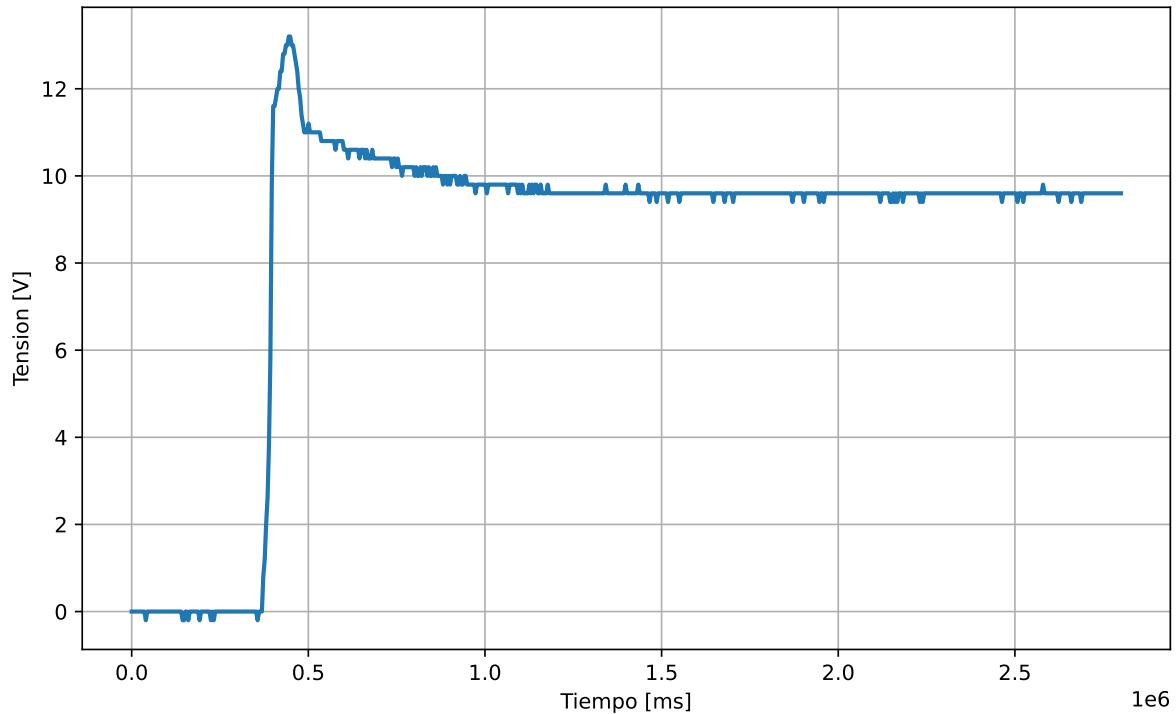
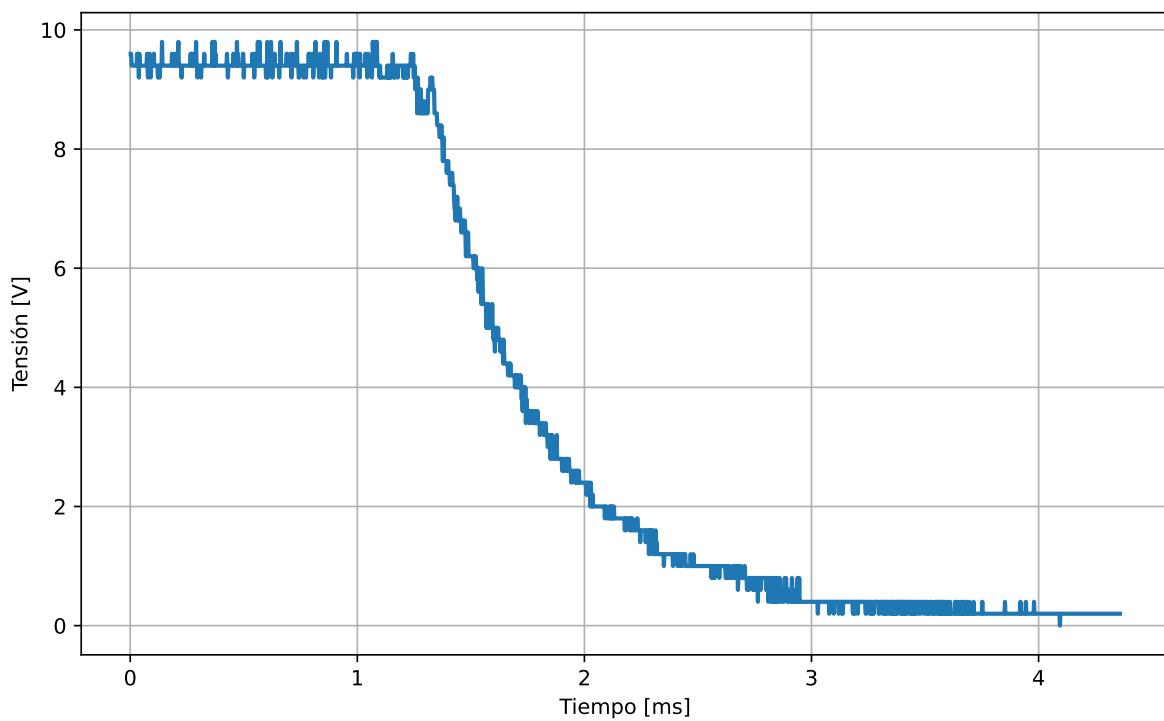
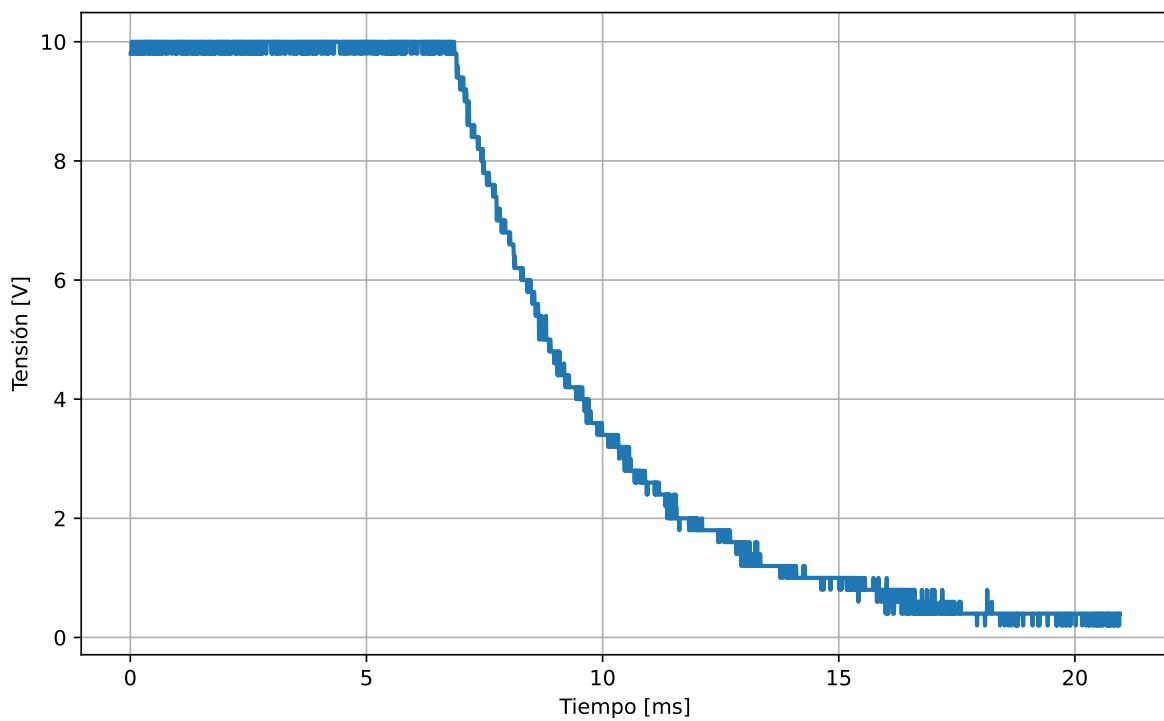
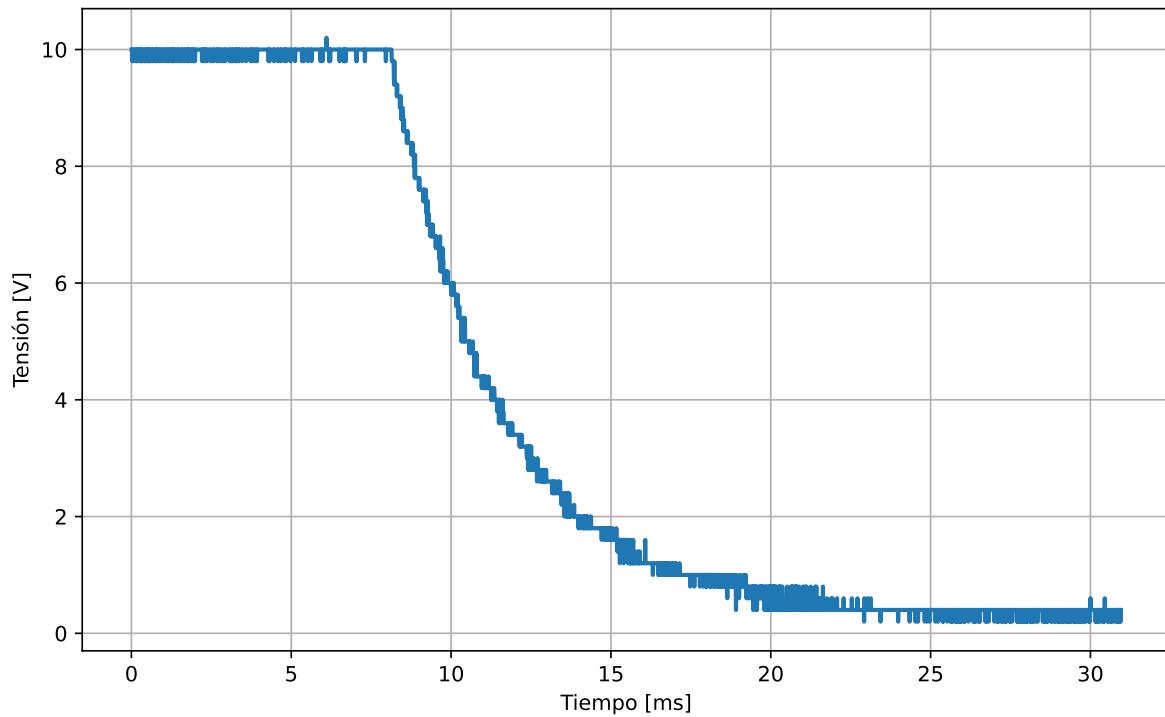


Figura 79: Respuesta temporal ante  $V_{in} = 12V$

Figura 80: Respuesta temporal ante  $V_{in} = 24V$ Figura 81: Respuesta temporal ante  $V_{in} = 30V$ 

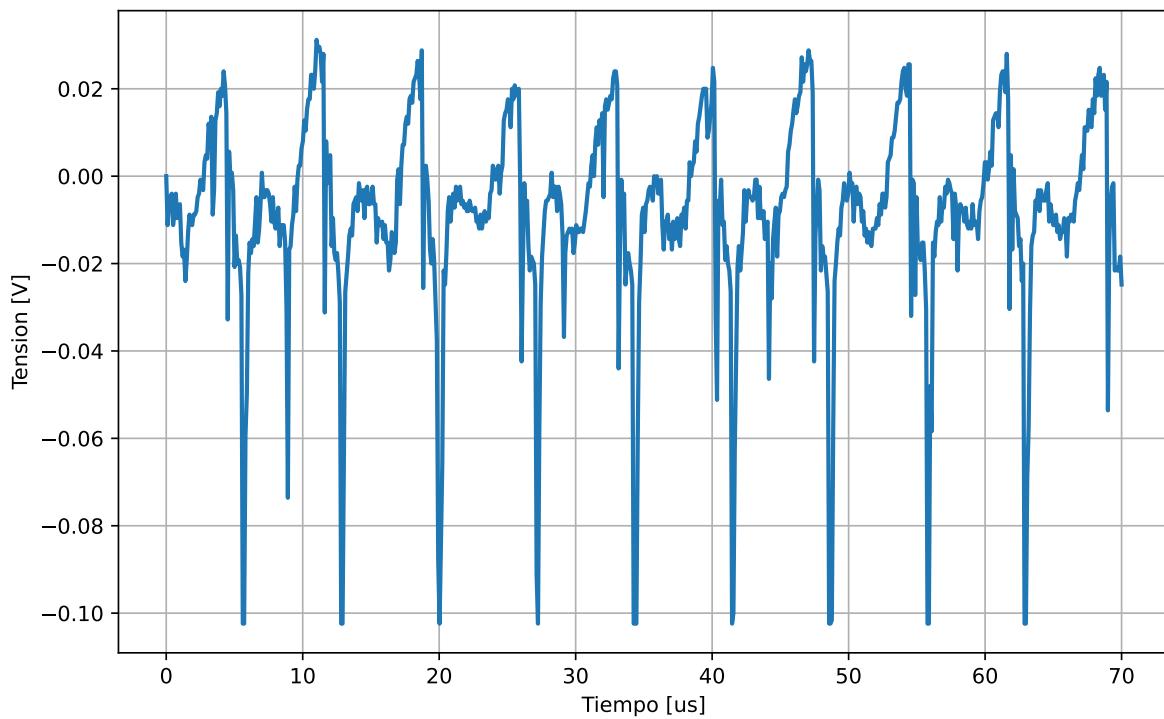
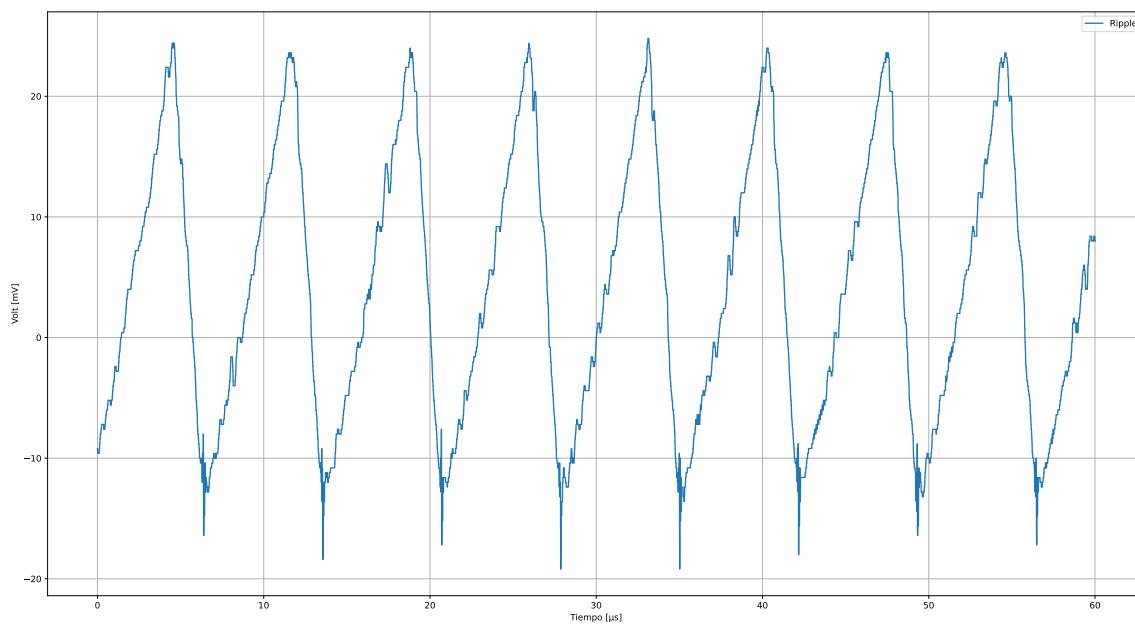
A continuación se grafica la respuesta de apagado para distintas resistencias de carga. Se puede ver que la respuesta es equivalente a la de un circuito de primer orden RC, lo cual es esperable, ya que lo que predomina es la descarga del capacitor de salida sobre la resistencia de carga.

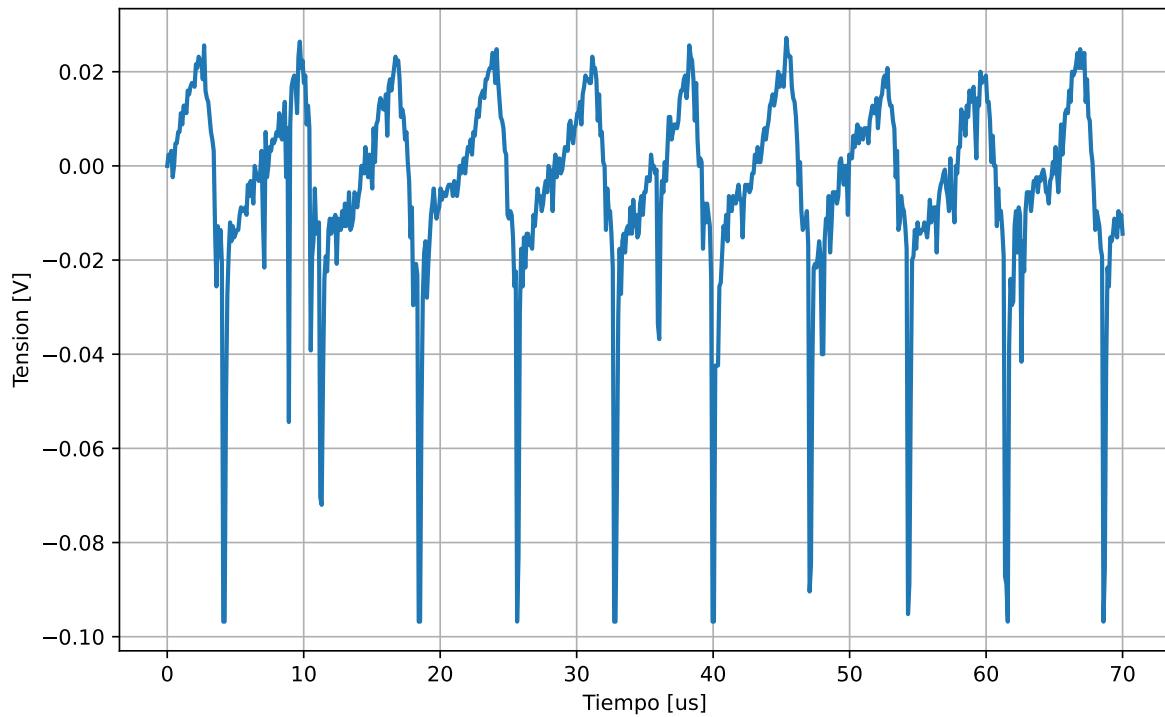
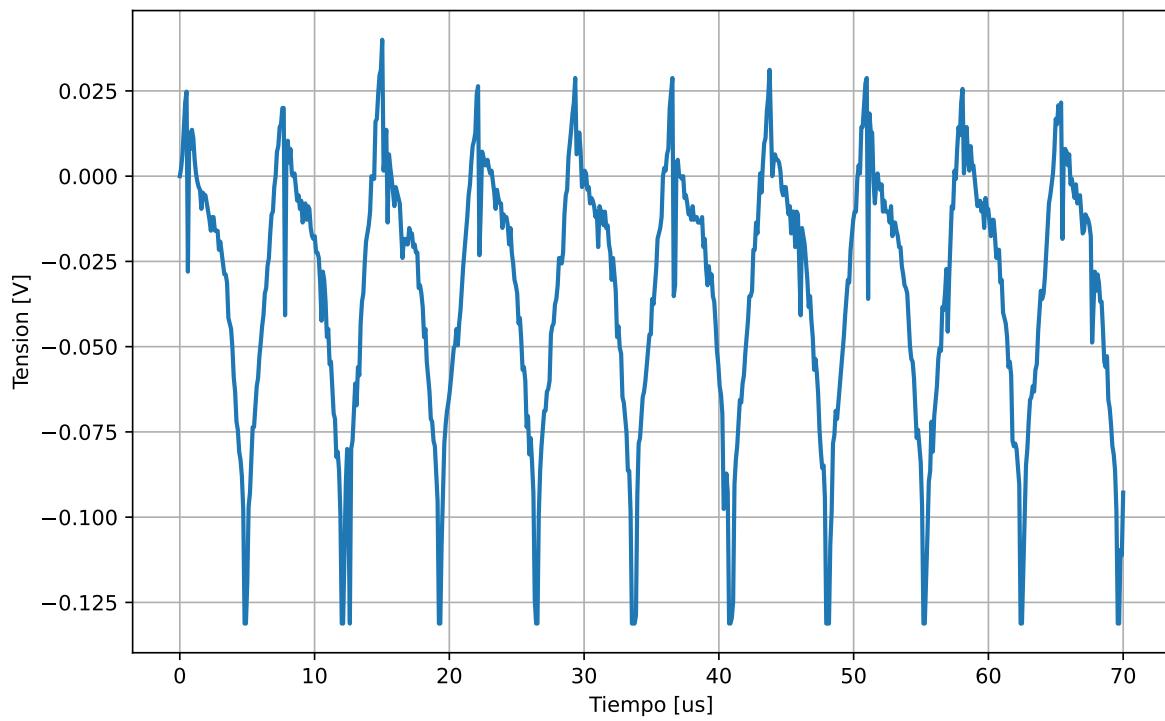
Figura 82: Respuesta de apagado con carga de  $10\Omega$ Figura 83: Respuesta de apagado con carga de  $68\Omega$

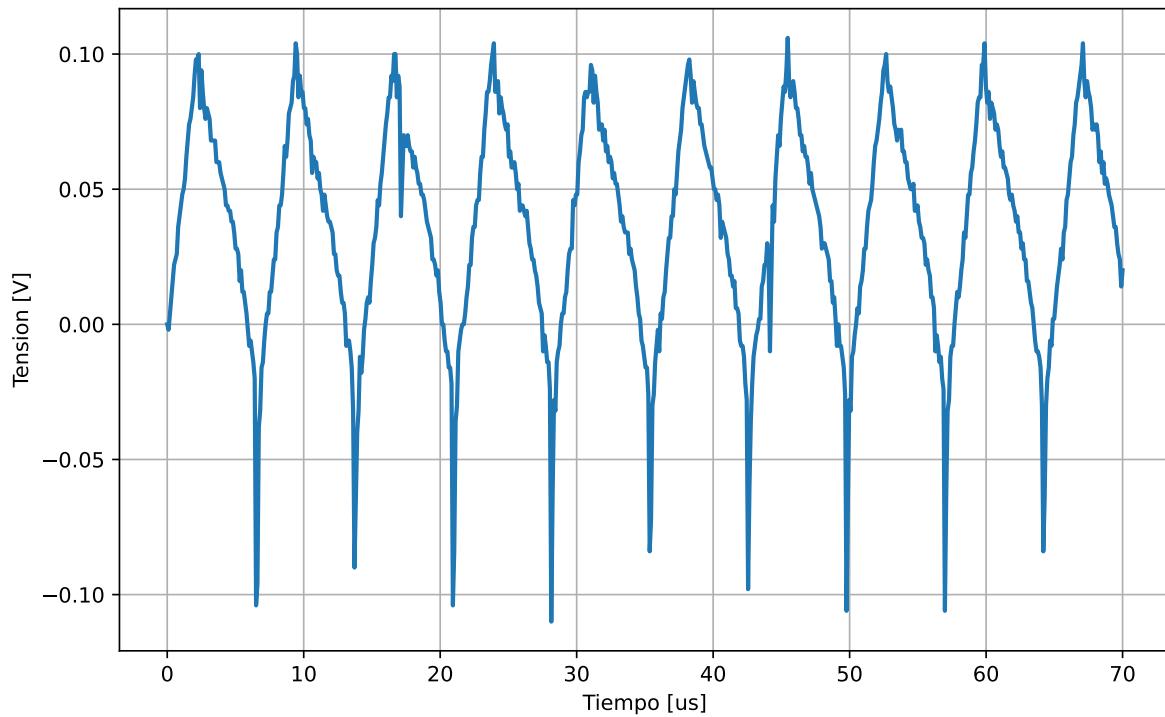
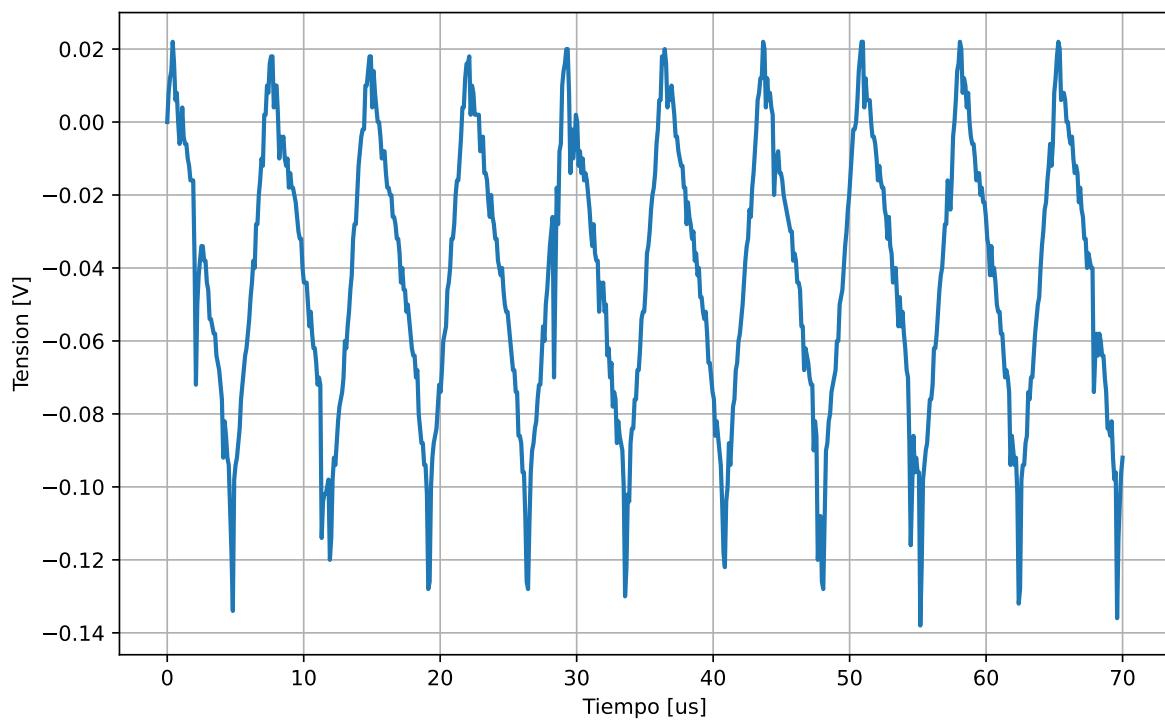
Figura 84: Respuesta de apagado con carga de  $82\Omega$ 

### 5.7.2. Ripple

Se midió el ripple para un barrido de tensiones de entrada,  $V_{in} = \{12V, 20V, 30V\}$ , y barrido de corrientes de salida,  $R_L = \{10\Omega, 68\Omega, 82\Omega\}$ . Se observaron los cambios que presentaban la forma y tamaño del ripple al variar tanto la carga como la tensión de entrada. El valor de la tensión a la salida medido con un multímetro fue  $V_o = 9,47\text{ V}$  para todas las cargas pero la forma del ripple se vio afectada por dichas variaciones.

Figura 85: Ripple en la señal con  $V_{in} = 12V$  y  $R_L = 10\Omega$ Figura 86: Ripple en la señal con  $V_{in} = 12V$  y  $R_L = 68\Omega$

Figura 87: Ripple en la señal con  $V_{in} = 12V$  y  $R_L = 82\Omega$ Figura 88: Ripple en la señal con  $V_{in} = 24V$  y  $R_L = 10\Omega$

Figura 89: Ripple en la señal con  $V_{in} = 24V$  y  $R_L = 68\Omega$ Figura 90: Ripple en la señal con  $V_{in} = 24V$  y  $R_L = 82\Omega$

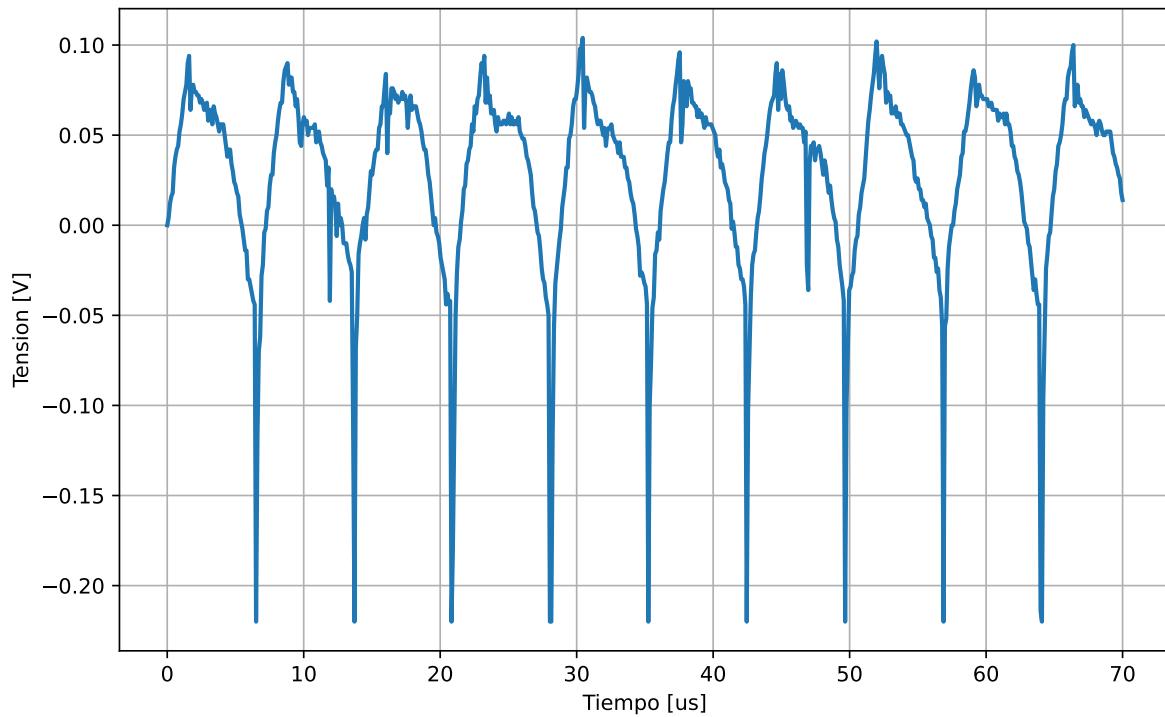


Figura 91: Ripple en la señal con  $V_{in} = 30V$  y  $R_L = 10\Omega$

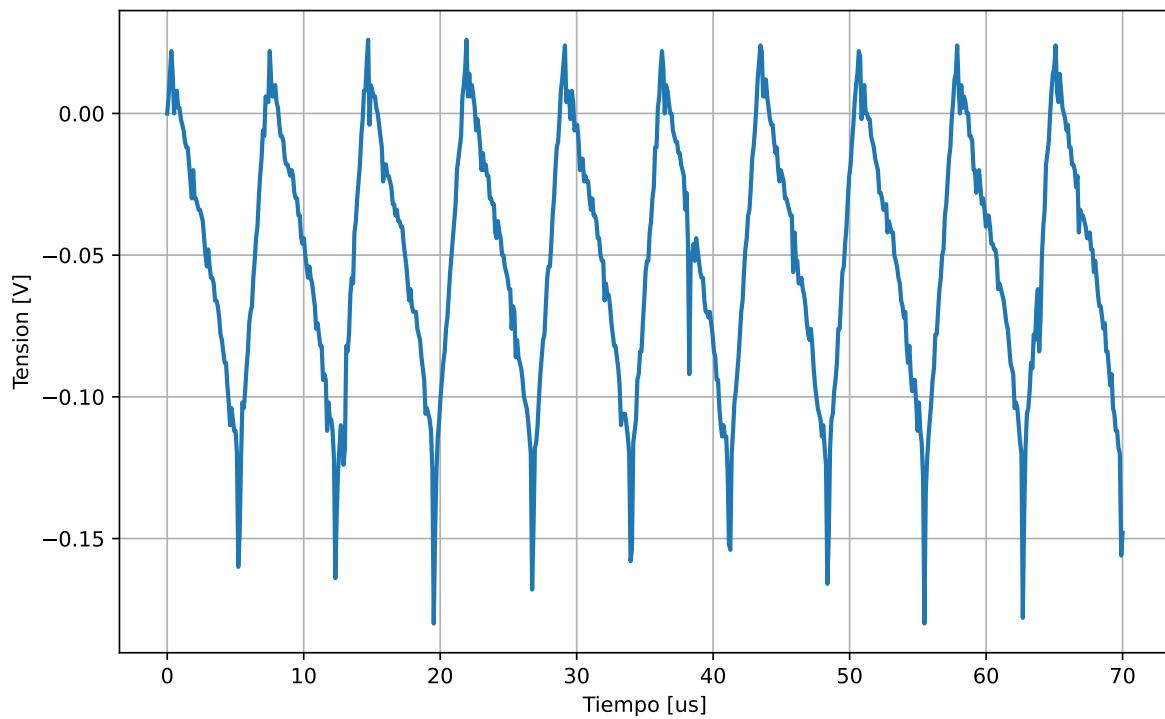


Figura 92: Ripple en la señal con  $V_{in} = 30V$  y  $R_L = 68\Omega$

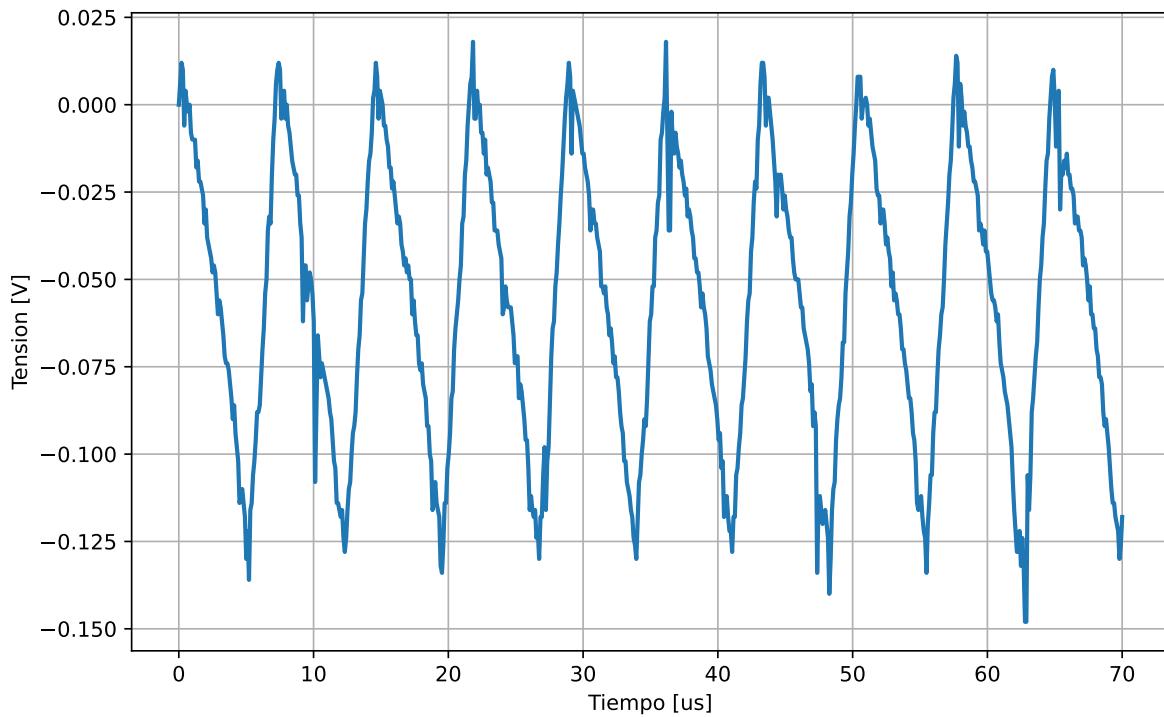


Figura 93: Ripple en la señal con  $V_{in} = 30V$  y  $R_L = 82\Omega$

Como se esperaba, se ve que la forma del ripple se ve afectada ante variaciones de la carga y tensión de entrada. El mayor valor que toma es 140 mV y el menor 15 mV. En general se mantiene la forma del mismo la forma y amplitud del mismo se ve afectado en mayor manera por la variación en la tensión de entrada que por la variación en la carga.

Es importante aclarar que las mediciones son ruidosas debido a limitaciones del osciloscopio ya que el valor de la tensión de ripple es muy pequeño para la sensibilidad del mismo.

### 5.7.3. Eficiencia

Al momento de medir la eficiencia se varió la carga y la tensión, y se calculo la relación entre la potencia de entrada y la de salida. Para realizar esta cuenta se debió considerar la perdida de potencia en la alimentación de los integrados, la cual tendrá un valor de 400 mW.

$I_{out}$ [A]	$V_{in}$ [V]	$\eta$
0.75	12.12	91.5
0.75	24.07	90.1
0.75	30.11	89.2
1.12	12.03	92.8
1.12	24.09	90.3
1.12	30.02	92.7
1.53	12.06	93.1
1.53	24.01	91.7
1.53	30.01	90.8

A mayor tensión de entrada la eficiencia disminuye, y ocurre lo mismo al disminuir la corriente de salida. Lo cual es razonable ya que al disminuir la corriente de salida la potencia de perdidas tiene un mayor peso y afecta de manera más significativa en el cálculo de la eficiencia. Además al aumentar la tensión de entrada la potencia en la entrada es mayor entonces la eficiencia disminuye.

## 5.8. Resultados

En la siguiente tabla se presenta un resumen de los parámetros medidos de la fuente.

Eficiencia	$\eta$	12 V < Vin < 30 V 750 mA < Iout < 1,5 A	91.3	
Frecuencia de conmutación	fsw		139	kHz
Tensión regulada del BUCK	VREG	12 V < Vin < 30 V 100 mA < Iout < 1,5 A fsw = 139 kHz	9.46	V
Mínimo ON time	ton(min)		1	ms
Mínimo OFF time	toff(min)		3	ms

## 5.9. Conclusiones

Durante el desarrollo de esta entrega se pudo armar el inductor del cual se había calculado previamente sus características, y luego corroborar sus parámetros principales. Luego se utilizó este inductor para el armado del regulador Buck a lazo cerrado. El lazo se cerro utilizando una compensación de tipo III, se comprobó su funcionamiento en simulación y posteriormente con mediciones.

Los resultados obtenidos se encontraron dentro de los impuestos por la cátedra en todos los casos, por lo que se considera que la implementación fue exitosa.

## 5.10. Apéndice

### 5.10.1. Amplitud de la señal triangular

$$V_{pp} = V_{max} \frac{R_{10}}{R_9}$$

Siendo  $V_{max} = 9V$

### 5.10.2. Cálculos de la compensación

Los cálculos realizados corresponden a los desarrollados en la sección *Compensación tipo 3* en el paper *Switch-mode power converter compensation made easy* de Texas Instruments.

Para realizar los calculos la resistencia de feedback  $R_{FBT}$  se fijo en un valor de 10 kΩ como se dijo previamente.

En primer lugar se debe definir la frecuencia de los polos complejos conjugados.

$$\omega_o = \frac{1}{\sqrt{LCout}} = 8421 \text{ rad}$$

Luego los valores de  $\omega_{ZEA}$  y  $\omega_{FZ}$  son igual a  $\omega_o$ .

El valor del ancho de banda al que se quiere llegar es  $\omega_c$  esta dado por:

$$\omega_c = \frac{2\pi f_{sw}}{10} = 81,68 \text{ krad}$$

Con este valor se busca el valor de la ganancia necesario

$$A_{VM} = \frac{\omega_c}{\omega_o A_{VC}}$$

Si se considera que  $A_{VC} = \frac{V_{in}}{V_{ramp}} = \frac{12V}{2V} = 2V$ , se obtienen  $A_{VM} = 1,61$ .

Luego, se calculan los valores de  $\omega_{HF}$  y  $\omega_{fp}$

$$\omega_{HF} = \frac{2\pi f_{sw}}{2} = 408,4 \text{ krad}$$

$$\omega_{fp} = \frac{1}{R_{ESR}C_{OUT}} = 21,276 \text{ rad}$$

Usando estos datos se pueden calcular los valores de los componentes necesarios para la compensación.

$$R_{comp} = A_{VM} R_{FBT} = 15,356 \Omega$$

$$C_{comp} = \frac{1}{\omega_o R_{comp}} = 7,73 \text{ nF}$$

$$C_{ff} = \frac{1}{\omega_{FZ} R_{FBT}} = 11,9 \text{ nF}$$

$$R_{ff} = \frac{1}{\omega_{fp} C_{ff}} = 1980 \Omega$$

$$C_{HF} = \frac{1}{\omega_{HF} R_{comp}} = 160 \text{ pF}$$