

**Laporan Penugasan  
Ujian Akhir Semester Elektronika Daya**

**TKE215204**

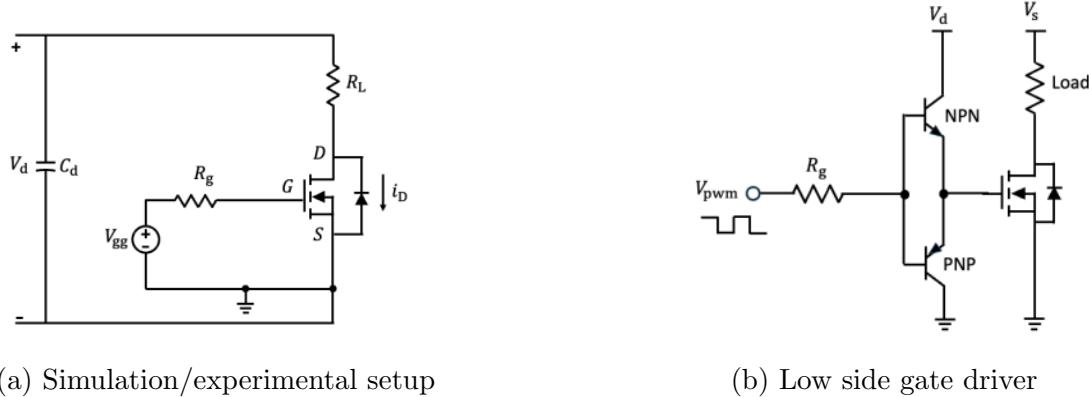


**Muhammad Faiz Faadhil Pratama**

**22/500355/TK/54845**

**Departemen Teknik Elektro dan Teknologi Informasi  
Fakultas Teknik Universitas Gadjah Mada  
Yogyakarta  
2025**

# 1 Observasi reaksi switching MOSFET terhadap beban resistif



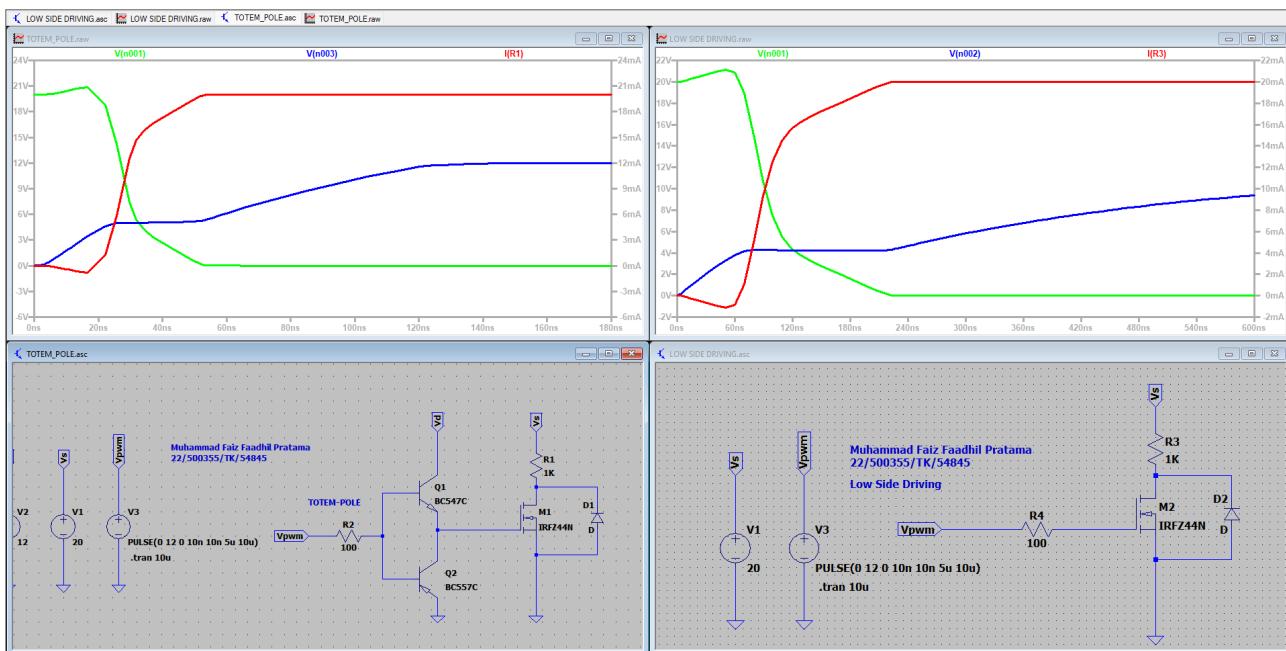
Gambar 1: Dua rangkaian yang digunakan pada pengujian

Dalam penugasan ini, kami diminta untuk melakukan perancangan dan juga pengujian low-side totum-pole gate driver untuk mencari tahu bagaimana karakteristik gate-driver mempengaruhi performa switching MOSFET.

## 1.1 Hasil Simulasi

Dilakukan simulasi untuk menggunakan software LTspice dan juga eksperimen dengan hardware prototype yang sudah dirancang. Parameter yang akan diamati dalam pengujian kali ini adalah performa dari switching termasuk dengan:

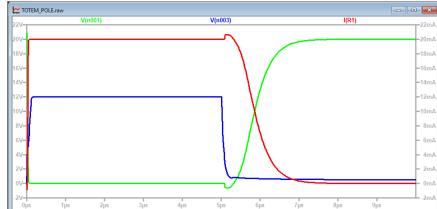
1. Gate-source voltage  $v_{GS}(t)$
2. Drain current  $i_D(t)$
3. Drain-source voltage  $v_{DS}(t)$



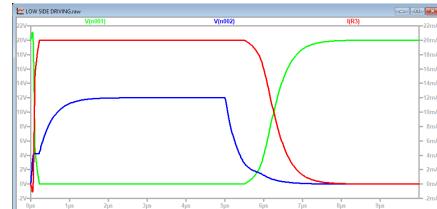
Gambar 2: Hasil simulasi Totem- dan Low-side gate driver

## 1.2 Pengaruh dari totem-pole driver terhadap performa switching MOSFET dibanding low-side driving

Sebuah totem-pole driver meningkatkan switching MOSFET dengan secara aktif menaikkan dan menurunkan tegangan gate tinggi, melakukan charge dan discharge kapasitansi gate dengan cepat, serta meminimalkan waktu Miller Plateau, sehingga mengurangi switching loss dan meningkatkan efisiensi, dibandingkan dengan penggunaan gerbang pasif resistor dan sumber tegangan.



(a) Hasil simulasi totem pole gate driver



(b) Hasil simulasi Low side gate driver

Gambar 3: Hasil simulasi gate driver dari tiap topologi

Dapat diamati dari grafik peningkatan tegangan, dimana skema totem-pole memberikan respons yang lebih cepat dalam melakukan switching on-off dari MOSFET. Kecepatan ini juga diatur oleh dua transistor yang secara independen mengatur proses tersebut.

Pada rangkaian totem-pole, tegangan gate  $v_{GS}(t)$  (Biru) naik dan turun lebih cepat dibanding rangkaian low-side biasa, terlihat dari slope  $v_{GS}(t)$  yang lebih curam dan waktu mencapai level steady-state yang lebih pendek.

Akibatnya, drain current  $i_D(t)$  (Merah) juga naik/turun lebih cepat dan tegangan drain  $v_{DS}(t)$  (Hijau) turun/naik lebih tajam, sehingga interval ketika  $v_{DS}(t)$  masih tinggi sementara  $i_D(t)$  sudah besar menjadi lebih pendek, ini berarti energi dan rugi switching lebih kecil dibanding driver dengan hanya  $R_g$  dan sumber tegangan tetap.

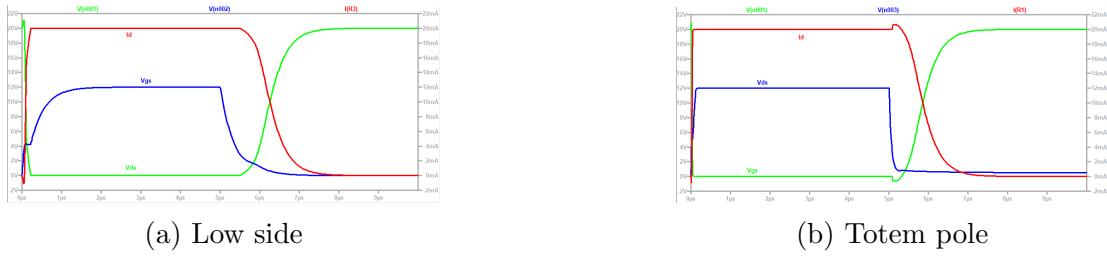
## 1.3 Pengaruh arus sinking dan sourcing BJTs terhadap kecepatan switching

Arus sourcing BJT menentukan seberapa cepat MOSFET menyala (gate terisi), arus sinking BJT menentukan seberapa cepat MOSFET mati (gate dikosongkan), dan semakin besar kedua arus ini, semakin cepat switching MOSFET.

Saat turn-on, BJT bagian atas (NPN) mensource arus besar ke gate sehingga kapasitas gate terisi cepat; terlihat gate-voltage biru pada totem-pole naik lebih cepat dibanding low-side biasa, sehingga  $i_D(t)$  segera mencapai nilai akhirnya dan  $v_{DS}(t)$  segera turun ke nilai rendah.

Saat turn-off, BJT bagian bawah (PNP) mensink arus dari gate (mengosongkan muatan) jauh lebih cepat daripada hanya mengandalkan resistor; ini membuat penurunan  $v_{GS}(t)$  lebih curam, sehingga  $i_D(t)$  turun lebih cepat dan  $v_{DS}(t)$  naik lebih cepat, kembali memperpendek waktu transisi dan meningkatkan kecepatan switching secara keseluruhan.

## 1.4 Pengaruh $R_g$



Gambar 4: Respons rangkaian gate driver pada  $R_g$  100  $\Omega$



Gambar 5: Respons rangkaian gate driver pada  $R_g$  220  $\Omega$



Gambar 6: Respons rangkaian gate driver pada  $R_g$  470  $\Omega$

Pada bagian ini akan dianalisis pengaruh nilai resistor gate  $R_g$  terhadap karakteristik pensalkaran MOSFET, meliputi:

- Kecepatan switching.

$R_g$ ( $\Omega$ )	Switching time (ns)
100	163.72093
220	189.31395
470	223.95349

Tabel 1: Pengaruh nilai  $R_g$  terhadap switching time (Totem pole)

- Saat  $R_g$  lebih kecil, perubahan  $v_G$  menjadi lebih cepat (waktu naik/turun lebih pendek), sehingga  $i_D$  dan  $v_D$  juga bertransisi lebih cepat. Pada simulasi dengan driver yang lebih kuat (nilai efektif  $R_g$  lebih kecil), terlihat waktu switching yang lebih singkat.
- Saat  $R_g$  lebih besar, slope  $v_G$  melandai sehingga turn-on dan turn-off MOSFET melambat.

2. Laju perubahan tegangan dan arus ( $dv/dt$  dan  $di/dt$ ).

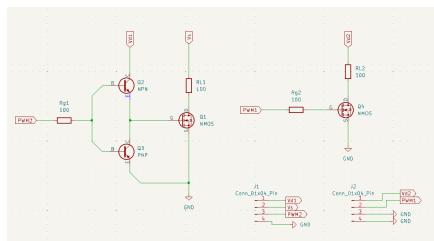
- $R_g$  kecil menjadikan gate charging/discharging lebih cepat, sehingga  $dv_D/dt$  dan  $di_D/dt$  jadi lebih tinggi.
- $R_g$  besar menjadikan transisi gate charging/discharging lebih lambat, sehingga  $dv_D/dt$  dan  $di_D/dt$  jadi lebih rendah, namun mengurangi overshoot dan juga memperpanjang waktu transisi.

3. Energi dan rugi-rugi switching.

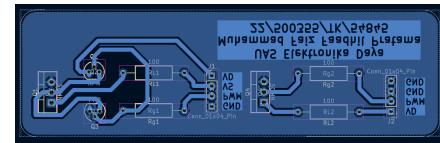
- Dengan  $R_g$  kecil dan driver kuat (seperti totem-pole), tumpang tindih  $v_D S$  tinggi dan  $i_D$  besar terjadi dalam interval waktu yang pendek, sehingga energi switching per transisi lebih kecil dan rugi daya turun.
- Dengan  $R_g$  besar, kurva tegangan dan arus saling overlap selama durasi yang lebih lama saat turn-on/turn-off, sehingga energi switching meningkat, meskipun hal ini dapat mengurangi stress EMI dan osilasi.

## 1.5 Perancangan rangkaian eksperimen

Setelah dilakukan simulasi menggunakan software LTspices, dilanjutkan dengan merancang rangkaian untuk eksperimen hardware dengan menggunakan topologi yang sama lalu diimplementasikan kedalam rangkaian skematik KiCad sebagai berikut:



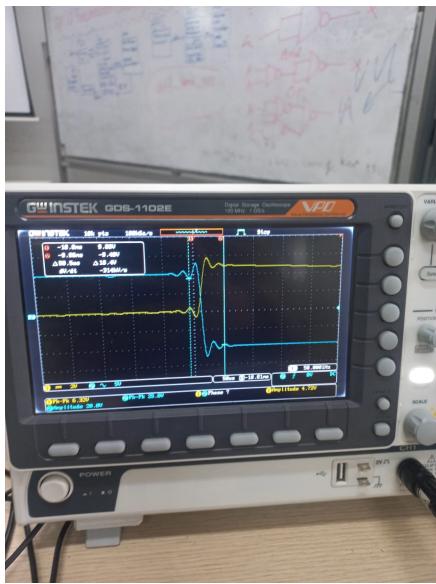
(a) Skematik KiCad



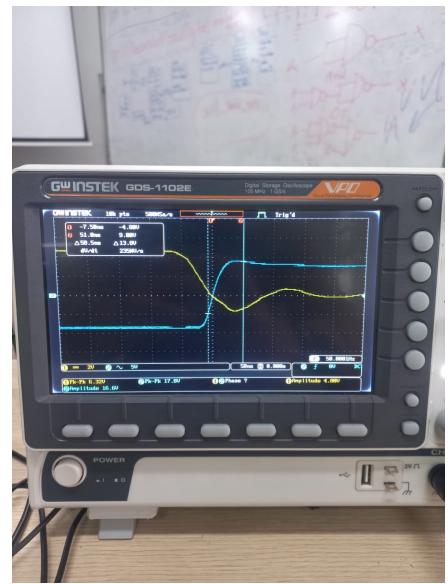
(b) Layout PCB KiCad

Gambar 7: Rancangan skematik dan layout PCB

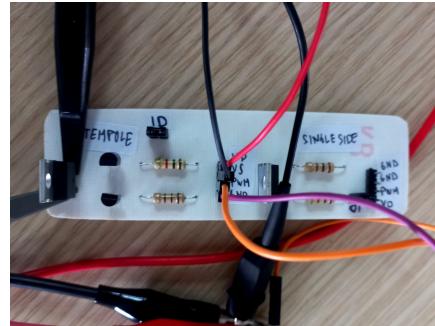
Setelah dilakukan fabrikasi, rangkaian kemudian diuji dengan hasil sebagai berikut:



(a) Single-sided gate driver



(b) Totem-pole gate driver



(c) Hasil fabrikasi PCB

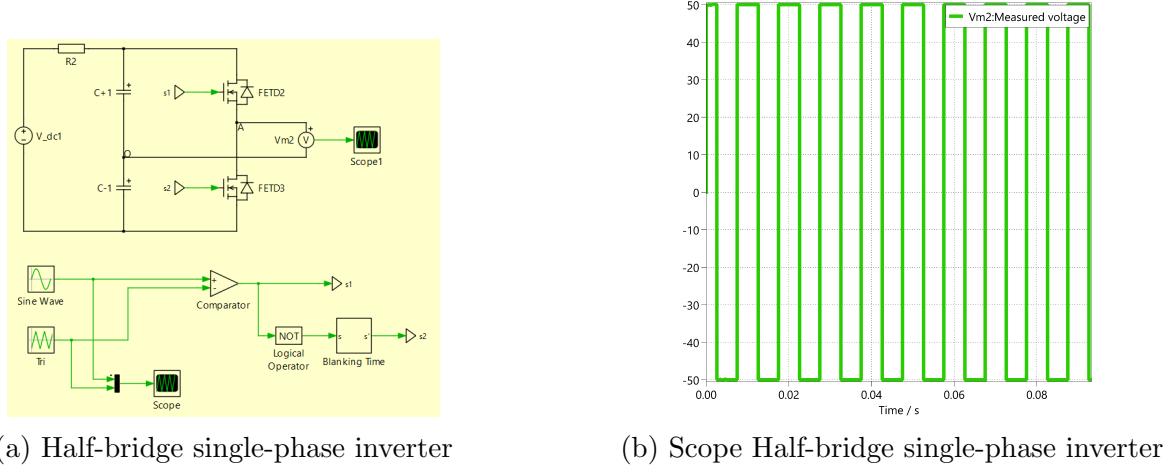
Gambar 8: Fabrikasi rangkaian PCB dan Hasil pengujian

## 2 Analisis topologi converter

Dalam tugas kali ini, akan dilakukan analisis dari tiga buah converter yang umum dipakai dalam ranah power electronics, diantaranya adalah:

- Half-bridge single-phase inverter
- Full-bridge single-phase inverter
- Three phase inverter

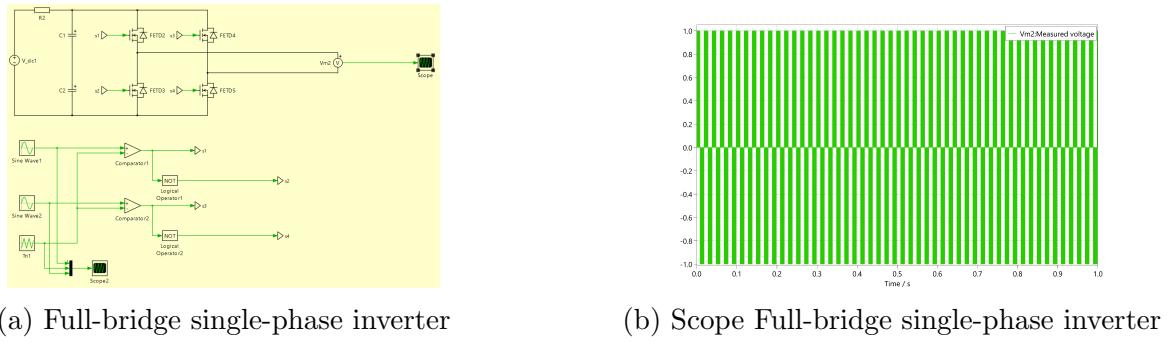
## 2.1 Analisis bentuk gelombang $v_o(t)$



(a) Half-bridge single-phase inverter

(b) Scope Half-bridge single-phase inverter

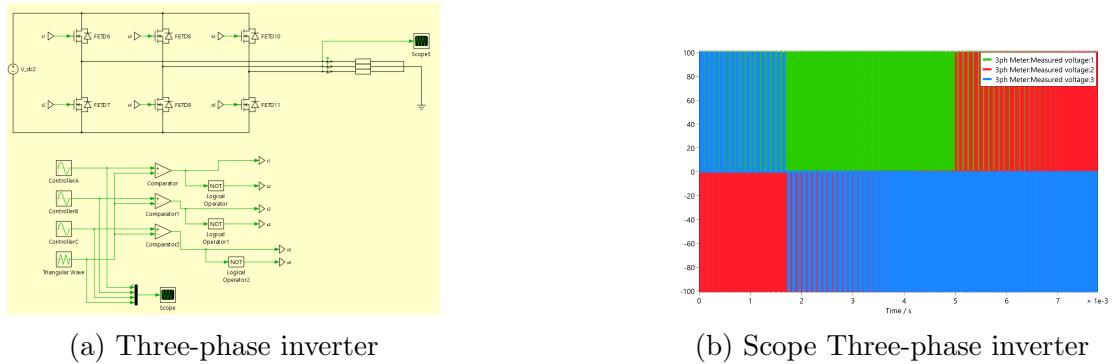
Gambar 9: Switching waveform  $v_o(t)$  Half-bridge single-phase inverter



(a) Full-bridge single-phase inverter

(b) Scope Full-bridge single-phase inverter

Gambar 10: Switching waveform  $v_o(t)$  Full-bridge single-phase inverter



(a) Three-phase inverter

(b) Scope Three-phase inverter

Gambar 11: Switching waveform  $v_o(t)$  Three-phase inverter

### 2.1.1 Half-bridge inverter

Pada topologi half-bridge, bentuk gelombang  $v_o(t)$  berupa pulsa dua tingkat dengan amplitudo sekitar  $\pm V_{dc}/2$ , yaitu sekitar ±50 V pada hasil simulasi. Pergantian polaritas terjadi setiap setengah periode sinyal referensi sehingga  $v_o(t)$  membentuk gelombang kotak bipolar yang disinkronkan dengan frekuensi fundamental.

### 2.1.2 Full-bridge inverter

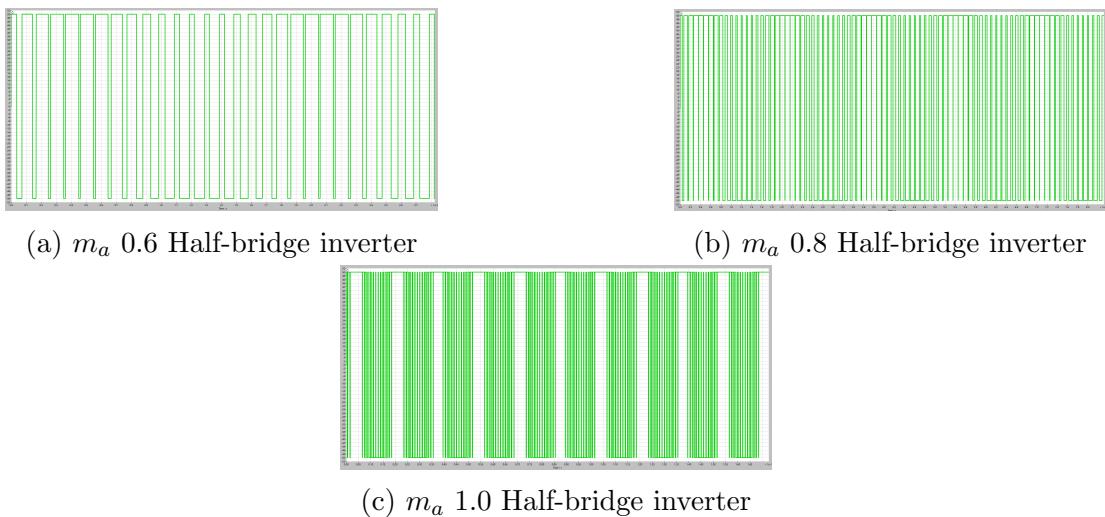
Pada topologi full-bridge, kedua kaki beban dihubungkan ke dua lengan jembatan sehingga  $v_o(t)$  dapat berayun antara  $+V_{dc}$  dan  $-V_{dc}$ . Dari hasil simulasi terlihat bahwa level tegangan keluaran menjadi  $\pm 100$  V (dua kali half-bridge) dengan duty cycle yang diatur oleh pembandingan sinyal sinus dan segitiga, sehingga  $v_o(t)$  merupakan gelombang PWM bipolar berlevel penuh.

### 2.1.3 Three-phase inverter

Pada inverter tiga fasa, tiap lengan menghasilkan gelombang PWM bipolar yang saling terkopel dengan pergeseran fase  $120^\circ$ . Bentuk gelombang tiga fasa yang terukur menunjukkan bahwa setiap fasa bergantian berada pada level  $+V_{dc}$  dan  $-V_{dc}$ , sehingga beda tegangan antar fasa membentuk sistem tegangan tiga fasa seimbang yang termodulasi PWM.

## 2.2 Pengaruh indeks modulasi $m_a$ terhadap bentuk gelombang $v_o(t)$

### 2.2.1 Half-bridge inverter



Gambar 12: Indeks modulasi  $m_a$  terhadap bentuk gelombang  $v_o(t)$  Half-bridge inverter

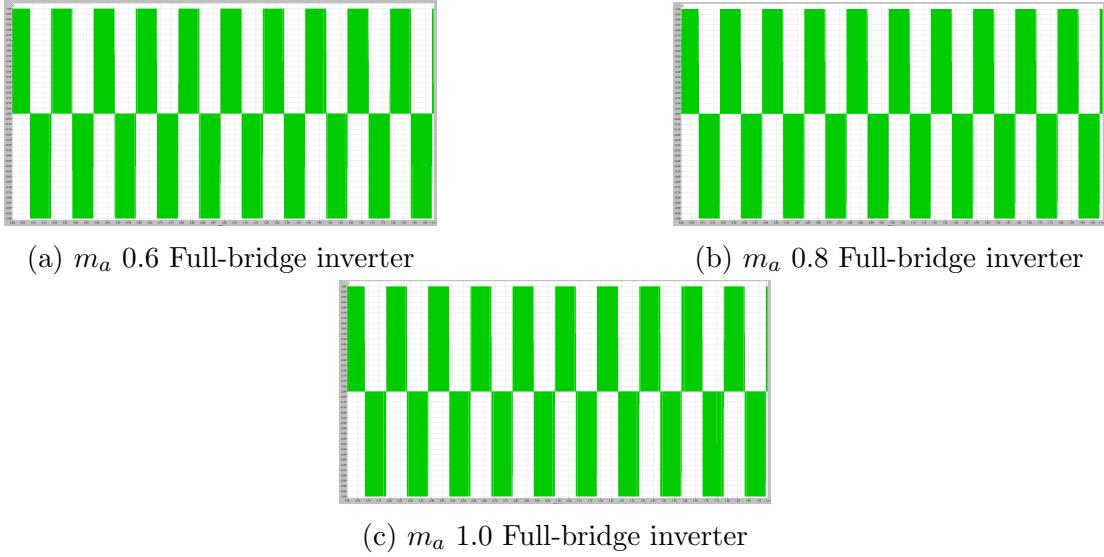
Pada topologi half-bridge, tegangan keluaran dasar dapat ditulis sebagai

$$v_o(t) = \frac{V_{dc}}{2}m_a \sin(\omega t),$$

dengan  $m_a = V_{sin}/V_{tri}$  sebagai indeks modulasi amplitudo pada SPWM. Untuk  $m_a = 0,6$ , hasil simulasi menunjukkan pulsa bipolar dengan lebar yang relatif sempit sehingga rata-rata tegangan per setengah periode masih jauh di bawah  $\pm V_{dc}/2$ ; komponen fundamental beramplitudo sekitar  $0,6 V_{dc}/2$  dan harmonisa switching masih dominan pada bentuk gelombang.

Ketika  $m_a$  dinaikkan menjadi 0,8 dan kemudian 1,0, lebar pulsa positif dan negatif bertambah dan interval mendekati level puncak  $\pm V_{dc}/2$  semakin panjang. Secara teoritis, selama modulasi linier ( $m_a \leq 1$ ), amplitudo fundamental naik proporsional terhadap  $m_a$ , sedangkan spektrum harmonisa tetap terkonsentrasi di frekuensi switching dan kelipatannya sehingga kualitas gelombang fundamental membaik.

### 2.2.2 Full-bridge inverter



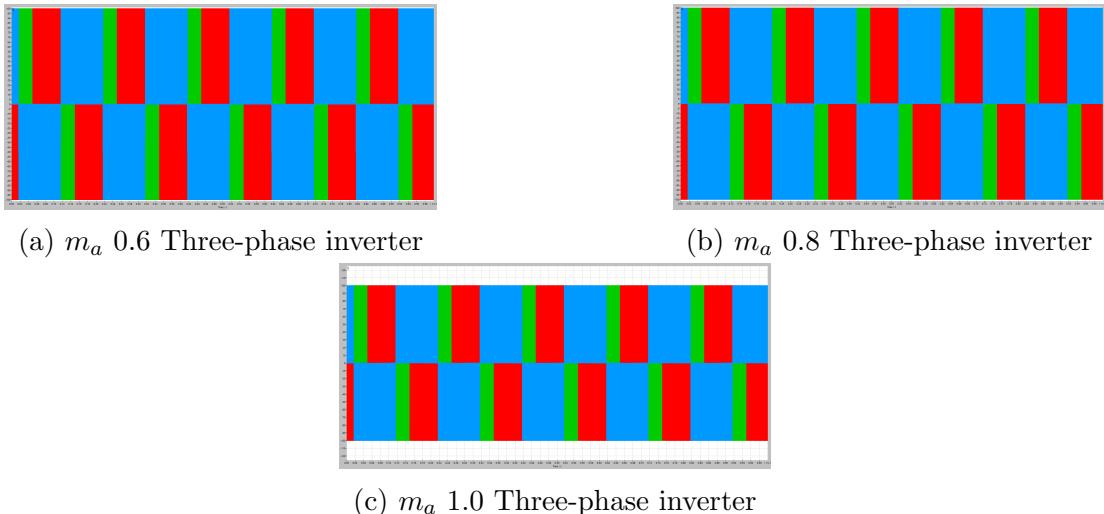
Gambar 13: Indeks modulasi  $m_a$  terhadap bentuk gelombang  $v_o(t)$  Full-bridge inverter

Pada full-bridge, dua lengan jembatan dihubungkan langsung ke beban sehingga tegangan line-to-line langsung berayun antara  $\pm V_{dc}$ . Komponen fundamental  $v_{LL}(t)$  dalam daerah linier dapat dituliskan sebagai

$$v_{LL}(t) = V_{dc}m_a \sin(\omega t),$$

sehingga amplitudo fundamental ideal adalah  $\hat{V}_{LL,1} = V_{dc}m_a$ . Untuk  $m_a = 0,6$  terlihat bahwa pulsa PWM masih memiliki duty cycle sedang sehingga rata-rata tegangan per setengah periode  $\approx 0,6 V_{dc}$ . Ketika  $m_a$  menjadi 0,8 dan 1,0, porsi waktu  $v_{LL}(t)$  pada level  $\pm V_{dc}$  semakin besar, dan amplitudo fundamental meningkat sebanding dengan  $m_a$  sampai mencapai maksimum pada  $m_a = 1$ , dengan tetap mempertahankan spektrum harmonis terkonsentrasi di sekitar frekuensi switching.

### 2.2.3 Three-phase bridge inverter



Gambar 14: Indeks modulasi  $m_a$  terhadap bentuk gelombang  $v_o(t)$  Three-phase inverter

Pada inverter tiga fasa, tegangan fasa-ke-netral dinyatakan sebagai

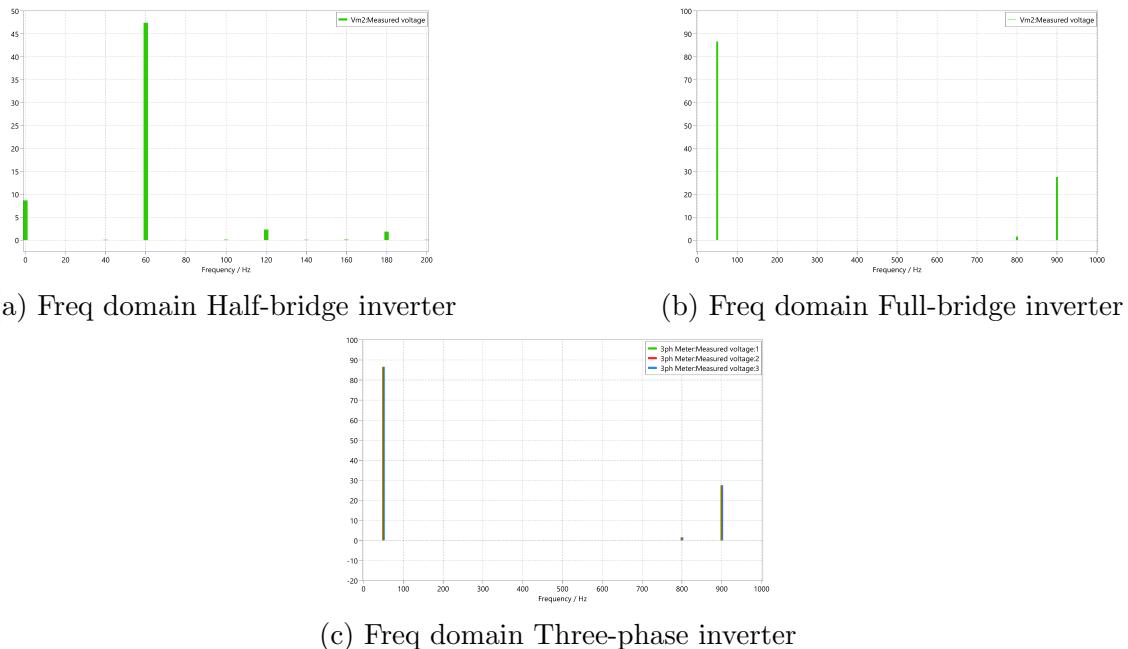
$$v_{a0}(t) = \frac{V_{dc}}{2} m_a \sin(\omega t), \quad v_{b0}(t) = \frac{V_{dc}}{2} m_a \sin\left(\omega t - \frac{2\pi}{3}\right), \quad v_{c0}(t) = \frac{V_{dc}}{2} m_a \sin\left(\omega t - \frac{4\pi}{3}\right).$$

Tegangan line-to-line, misalnya  $v_{ab}(t) = v_{a0}(t) - v_{b0}(t)$ , memiliki amplitudo fundamental

$$\hat{V}_{LL,1} = \sqrt{3} \frac{V_{dc}}{2} m_a.$$

Pada  $m_a = 0,6$  hasil simulasi menunjukkan bahwa setiap fasa menghasilkan pulsa bipolar dengan pergeseran fase  $120^\circ$ , dan tegangan line-to-line  $v_{LL}(t)$  sudah membentuk sistem tiga fasa seimbang dengan amplitudo sekitar  $0,6\sqrt{3}V_{dc}/2$ . Ketika  $m_a$  dinaikkan menjadi 0,8 dan 1,0, lebar pulsa tiap fasa meningkat sehingga interval  $v_{LL}(t)$  pada level mendekati  $\pm V_{dc}$  semakin panjang; secara teoritis amplitudo fundamental tiga fasa line-to-line bertambah linier terhadap  $m_a$  sampai batas  $m_a = 1$ , sementara bentuk gelombang tetap simetris dan seimbang karena sinyal referensi tetap terpisah  $120^\circ$ .

## 2.3 Analisis spektrum frekuensi $V_{LL}(j\omega)$ dengan FFT



Gambar 15: Freq domain masing-masing topologi inverter

### 2.3.1 Komponen fundamental

Dari hasil FFT untuk ketiga topologi, komponen dengan amplitudo terbesar muncul pada sekitar  $f_1 \approx 50\text{--}60$  Hz, yang merepresentasikan komponen fundamental dari tegangan line-to-line  $V_{LL}(t)$ . Pada spektrum half-bridge, puncak di sekitar 60 Hz mempunyai amplitudo sekitar 47 V, sesuai dengan nilai rms fundamental yang diinginkan untuk indeks modulasi yang digunakan. Spektrum full-bridge dan three-phase juga menunjukkan puncak dominan pada frekuensi yang sama, tetapi dengan amplitudo fundamental yang lebih besar karena struktur rangkaian memungkinkan ayunan tegangan  $\pm V_{dc}$  penuh.

### 2.3.2 Harmonisa switching dominan

Di luar fundamental, spektrum menunjukkan puncak besar pada frekuensi mendekati frekuensi switching  $f_s$  dan kelipatannya. Untuk half-bridge dan full-bridge, tampak komponen signifikan di sekitar 800 Hz dan 900 Hz, yang dapat diidentifikasi sebagai komponen di sekitar  $f_s$  dan  $(f_s \pm f_1)$  dari sinyal PWM. Besarnya amplitudo puncak-puncak ini jauh lebih kecil dibanding fundamental, menunjukkan bahwa SPWM efektif menekan harmonisa orde rendah dan menggeser energi harmonisa ke sekitar frekuensi switching.

### 2.3.3 Perbandingan spektrum antar topologi

Secara umum, bentuk spektrum ketiga topologi konsisten dengan teori inverter ber-PWM:

- Half-bridge menghasilkan amplitudo fundamental paling kecil dan puncak harmonisa switching yang relatif menonjol, karena tegangan line-to-line efektif hanya sekitar  $\pm V_{dc}/2$ .
- Full-bridge memiliki fundamental lebih besar (mendekati dua kali half-bridge) sementara amplitudo relatif harmonisa di sekitar  $f_s$  sedikit lebih kecil, sehingga kualitas tegangan line-to-line lebih baik untuk  $V_{dc}$  yang sama.
- Three-phase bridge menunjukkan tiga spektrum yang hampir identik per fasa, dengan fundamental kuat pada  $f_1$  dan harmonisa terkonsentrasi di sekitar  $f_s$ ; pada sisi line-to-line banyak komponen harmonisa tertentu saling menghilangkan karena simetri tiga fasa ( $120^\circ$ ), sehingga spektrum tegangan line-to-line menjadi lebih bersih dibanding inverter satu fasa.

Secara teoritis, untuk SPWM dengan frekuensi switching  $f_s$  yang jauh lebih tinggi dari  $f_1$ , komponen spektrum utama berada pada  $f_1$  (fundamental) serta pada  $k f_s \pm n f_1$  dengan  $k \in \mathbb{Z}^+$  dan  $n$  bilangan bulat kecil. Indeks modulasi  $m_a$  mengatur amplitudo fundamental secara hampir linier pada daerah modulasi linier, sedangkan bentuk dan kedudukan puncak harmonisa di sekitar  $f_s$  terutama ditentukan oleh rasio  $f_s/f_1$  dan pola PWM; topologi tiga fasa mendapat keuntungan tambahan karena pembatalan harmonisa tertentu pada tegangan line-to-line akibat superposisi tiga fasa yang bergeser  $120^\circ$ .

## 2.4 Perancangan Filter Keluaran LC

### 2.4.1 Konfigurasi Inverter

Inverter yang digunakan adalah inverter satu fasa tipe *half-bridge* dengan tegangan DC-link sebesar:

$$V_{dc} = 100 \text{ V.}$$

Metode modulasi yang digunakan adalah *Sinusoidal Pulse Width Modulation* (SPWM) dengan parameter sebagai berikut:

- Frekuensi sinyal referensi sinus:  $f_{sin} = 50 \text{ Hz}$
- Indeks modulasi:  $m = 0.6$
- Frekuensi sinyal pembawa (segitiga):  $f_{tri} = 100 \text{ Hz}$
- Duty cycle:  $D = 0.5$

Rangkaian DC-link menggunakan kapasitor  $C^+ = C^- = 1 \times 10^{-3} \text{ F}$  dengan resistansi seri  $R_1 = 1 \times 10^{-3} \Omega$ . Beban yang digunakan berupa beban resistif dengan nilai  $R_{load} = 20 \Omega$ .

#### 2.4.2 Pemilihan Topologi Filter

Untuk meredam harmonisa akibat proses switching dan meningkatkan kualitas gelombang tegangan keluaran inverter, digunakan filter keluaran LC orde dua bertipe *low-pass*. Filter ini terdiri dari induktor seri  $L_f$  yang dihubungkan pada keluaran inverter dan kapasitor shunt  $C_f$  yang dihubungkan ke titik tengah DC-link. Topologi ini dipilih karena memiliki struktur sederhana dan umum digunakan pada inverter satu fasa tipe *half-bridge*.

#### 2.4.3 Penentuan Frekuensi Cut-off

Frekuensi cut-off filter LC ditentukan sebesar:

$$f_c = 150 \text{ Hz}.$$

Nilai frekuensi ini dipilih agar komponen fundamental pada frekuensi 50 Hz dapat dilewatkan tanpa peredaman yang signifikan, sementara komponen harmonisa switching pada frekuensi yang lebih tinggi dapat direduksi secara efektif.

#### 2.4.4 Penentuan Nilai Komponen Filter

Frekuensi cut-off filter LC orde dua dinyatakan oleh persamaan:

$$f_c = \frac{1}{2\pi\sqrt{L_f C_f}}.$$

Nilai kapasitor filter dipilih sebesar:

$$C_f = 10 \mu\text{F} = 1 \times 10^{-5} \text{ F},$$

dengan pertimbangan untuk membatasi arus reaktif dan menjaga agar nilai kapasitor filter tetap lebih kecil dibandingkan kapasitor DC-link.

Dengan mensubstitusikan nilai  $f_c = 150$  Hz dan  $C_f = 10 \mu\text{F}$  ke dalam persamaan di atas, diperoleh nilai induktor filter sebagai berikut:

$$L_f = \frac{1}{(2\pi f_c)^2 C_f}$$

$$L_f \approx 0.11 \text{ H}.$$

#### 2.4.5 Analisis Kinerja Filter dengan Beban

Pada frekuensi fundamental 50 Hz, rasio antara frekuensi sinyal dan frekuensi cut-off adalah:

$$\frac{f}{f_c} = \frac{50}{150} \approx 0.33.$$

Pada kondisi ini, peredaman yang dihasilkan oleh filter relatif kecil sehingga amplitudo komponen fundamental tetap terjaga.

Untuk frekuensi di sekitar dan di atas frekuensi switching, filter LC orde dua memiliki karakteristik peredaman sebesar  $-40 \text{ dB/decade}$ . Hal ini menyebabkan harmonisa akibat PWM dapat dikurangi secara signifikan, sehingga bentuk gelombang tegangan keluaran menjadi lebih mendekati sinusoidal.

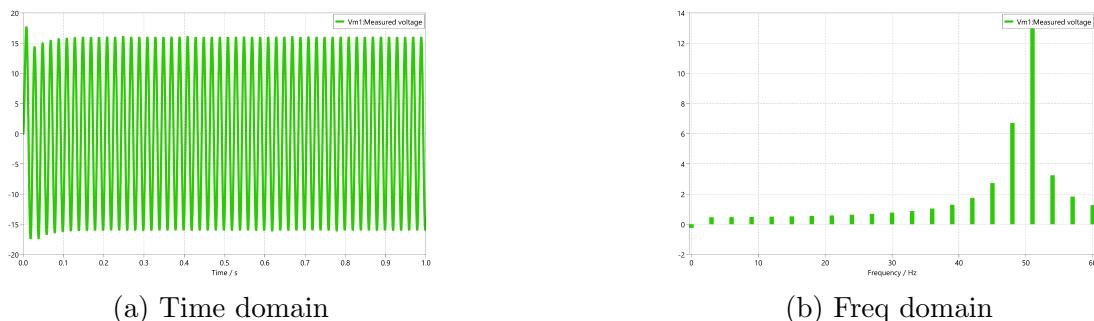
Keberadaan beban resistif sebesar  $R_{load} = 20 \Omega$  memberikan redaman alami terhadap resonansi LC. Beban ini menurunkan faktor kualitas sistem, sehingga osilasi resonansi dapat diminimalkan tanpa penambahan resistor peredam tambahan.

#### 2.4.6 Pertimbangan Desain

Berdasarkan hasil perancangan, beberapa pertimbangan yang dapat disimpulkan adalah sebagai berikut:

- Frekuensi cut-off sebesar 150 Hz menghasilkan nilai induktor yang lebih kecil dan lebih mudah direalisasikan
- Komponen fundamental 50 Hz tetap dilewatkan dengan baik
- Harmonisa switching dapat diredam secara efektif
- Beban resistif  $20 \Omega$  memberikan redaman alami sehingga sistem lebih stabil

#### 2.4.7 Hasil Simulasi



Gambar 16: Hasil simulasi dalam time dan frequency domain

#### 2.4.8 Analisis Hasil Simulasi terhadap Perhitungan

Berdasarkan hasil simulasi domain waktu pada Gambar ??, tegangan keluaran setelah filter LC terlihat berbentuk sinusoidal dengan amplitudo puncak sekitar 16–17 V, sehingga nilai RMS fundamentalnya berada di kisaran 11–12 V. Nilai ini lebih kecil dibanding hasil perhitungan teoretis  $V_{out,rms} \approx 21,2$  V, yang menunjukkan bahwa filter LC dan beban memberikan pelemahan (attenuation) tambahan terhadap komponen dasar.

Pada domain frekuensi (Gambar ??), komponen fundamental di sekitar 50 Hz masih menjadi puncak terbesar, namun amplitudonya turun dibanding perhitungan ideal. Sebaliknya, komponen harmonisa di bawah 50 Hz dan kelipatan fundamental tampak jauh lebih kecil, yang menandakan bahwa filter LC berhasil meredam ripple PWM dan harmonisa switching secara signifikan, sehingga bentuk gelombang keluaran menjadi jauh lebih halus.

Perhitungan redaman resonansi memberikan nilai resistor peredam teoretis sebesar  $R_d \approx 105 \Omega$ , sedangkan beban yang digunakan adalah  $R_{load} = 20 \Omega$ . Nilai beban yang relatif kecil ini menyebabkan faktor redaman sistem menjadi cukup besar, sehingga puncak resonansi pada frekuensi LC tidak terlalu tajam. Hal ini konsisten dengan hasil simulasi: tidak terlihat osilasi berlebihan atau lonjakan tegangan yang mengindikasikan resonansi yang kuat, sehingga penambahan resistor peredam eksternal memang tidak diperlukan untuk kondisi operasi dengan beban resistif ini.