**TG-2040**

DISEÑO DE CIRCUITO EN VLSI PARA EL CONTROL DE UN ACTUADOR PARA LOCOMOCIÓN EN MICROROBOTS Y MEMS

PONTIFICIA UNIVERSIDAD JAVERIANA

FACULTAD DE INGENIERÍA

DEPARTAMENTO DE ELECTRÓNICA

BOGOTÁ, D.C.

2021

DISEÑO DE CIRCUITO EN VLSI PARA EL CONTROL DE UN ACTUADOR PARA LOCOMOCIÓN EN MICROROBOTS Y MEMS

**Autores:**

Daniel Alejandro Cristancho Pérez

Daniel Santiago Rincón Poveda

MEMORIA DE TRABAJO DE GRADO PARA OPTAR POR EL TÍTULO DE INGENIERO ELECTRÓNICO

**Director:**

Ing. Germán Yamhure Kattah

**Codirector:**

Camilo Vélez Cuervo

PONTIFICIA UNIVERSIDAD JAVERIANA

FACULTAD DE INGENIERÍA

DEPARTAMENTO DE ELECTRÓNICA

BOGOTÁ, D.C.

2021

**PONTIFICIA UNIVERSIDAD JAVERIANA**

**FACULTAD DE INGENIERÍA**

**DEPARTAMENTO DE ELECTRÓNICA**

**Rector de la Pontificia Universidad Javeriana**

Jorge Humberto Peláez Piedrahita, S.J.

**Decano de la Facultad de Ingeniería**

Ing. Lope Hugo Barrero Solano Ph.D

**Director de la Carrera de Ingeniería Electrónica**

Julián David Colorado Montaño Ph.D

**Director del Departamento de Electrónica**

Ing. Diego Alejandro Patiño Guevara Ph.D

**Artículo 23 de la Resolución No. 1 de junio de 1946**

*“La Universidad no se hace responsable de los conceptos emitidos por sus alumnos en sus proyectos de grado. Sólo velará porque no se publique nada contrario al dogma y la moral católica y porque no contengan ataques o polémicas puramente personales. Antes bien, que se vean en ellos el anhelo de buscar la verdad y la Justicia”*

**AGRADECIMIENTOS**

En el presente trabajo de grado están mezclados años de aprendizaje, así que me parece apropiado darle las gracias a todos aquellos que me llevaron a lo que soy ahora, a todos mis profesores quienes me transmitieron todo su conocimiento, a mis directores de trabajo de grado, con quienes aprendí que todo en esta carrera está relacionado y que las habilidades de comunicación tanto escrita como verbal son de vital importancia para un ingeniero, a diferencia de lo que yo creía, a los amigos que he hecho a lo largo de mi carrera y quienes me acompañaron en las largas noches de trabajo, y por ultimo a mis padres quienes siempre me brindaron una apoyo incondicional en todo lo que me proponía, este trabajo fue posible gracias a todos ustedes.

*Daniel Alejandro Cristancho Pérez*

A lo largo de nuestras vidas, hay personas y eventos que nos cambian, en mi caso ese momento es cuando entré a la universidad, porque gracias a ello pude conocer a todas las personas que me apoyaron a lo largo de la carrera y en gran parte durante el desarrollo de este trabajo de grado, porque fueron ellas las que me ayudaron a prevalecer y así poder culminar mi trabajo de grado, así que, a todas ellas, gracias.

*Daniel Santiago Rincón Poveda*

**TABLA DE CONTENIDO**

[**1.** **INTRODUCCIÓN** 1](#_Toc88697412)

[**2.** **JUSTIFICACIÓN** 2](#_Toc88697413)

[**3.** **MARCO TEÓRICO** 2](#_Toc88697414)

[**3.1** **Ley de Biot-Savart** 2](#_Toc88697415)

[**3.2** **Bobinas** 3](#_Toc88697416)

[**3.3** **Efecto Pelicular** 4](#_Toc88697417)

[**3.4** **Efecto Hall** 5](#_Toc88697418)

[**3.5** **Calor y Disipación de la Energía** 6](#_Toc88697419)

[**4.** **OBJETIVOS GENERAL Y ESPECÍFICO** 8](#_Toc88697420)

[**4.1** **Objetivos General** 8](#_Toc88697421)

[**4.2** **Objetivo Específico** 8](#_Toc88697422)

[**5.** **DESCRIPCIÓN TRABAJO DE GRADO** 9](#_Toc88697423)

[**6.** **BOBINAS** 12](#_Toc88697424)

[**6.1** **Metodología** 12](#_Toc88697425)

[**6.2** **Resultados y Análisis** 16](#_Toc88697426)

[**7.** **DISEÑO ANALÓGICO** 23](#_Toc88697427)

[**7.1** **RLC** 23](#_Toc88697428)

[**7.1.1** **Contexto** 23](#_Toc88697429)

[**7.1.2** **Metodología** 24](#_Toc88697430)

[**7.1.3** **Resultados y Análisis** 25](#_Toc88697431)

[**7.2** **Bomba de Carga** 29](#_Toc88697432)

[**7.2.1** **Contexto** 29](#_Toc88697433)

[**7.2.2** **Metodología** 31](#_Toc88697434)

[**7.2.3** **Resultados y Análisis** 33](#_Toc88697435)

[**7.3** **Alimentación** 38](#_Toc88697436)

[**8.** **DISEÑO DIGITAL** 39](#_Toc88697437)

[**8.1** **Contexto** 39](#_Toc88697438)

[**8.1.1** **Compuertas Lógicas** 39](#_Toc88697439)

[**8.1.2** ***Flip Flop*** 41](#_Toc88697440)

[**8.1.3** **MEF** 42](#_Toc88697441)

[**8.1.4** **Reloj** 43](#_Toc88697442)

[**8.2** **Metodología** 43](#_Toc88697443)

[**8.2.1** **Compuertas Lógicas** 43](#_Toc88697444)

[**8.2.2** ***Flip* *Flop*** 47](#_Toc88697445)

[**8.2.3** **MEF** 47](#_Toc88697446)

[**8.2.4** **Reloj** 57](#_Toc88697447)

[**8.3**  **Resultados y Análisis** 59](#_Toc88697448)

[**8.3.1** **Compuertas Lógicas** 59](#_Toc88697449)

[**8.3.2** ***Flip Flop*** 64](#_Toc88697450)

[**8.3.3** **MEF** 66](#_Toc88697451)

[**8.3.4** **Reloj** 72](#_Toc88697452)

[**9** **COMPROBACIÓN CIRCUITO ESCALA MESO** 77](#_Toc88697453)

[**10** **CONCLUSIONES Y TRABAJO A FUTURO** 78](#_Toc88697454)

[**11** **BIBLIOGRAFÍA** 79](#_Toc88697455)

[**12** **ANEXOS** 80](#_Toc88697456)

**TABLA DE FIGURAS**

[Figura 1. Espira de Corriente [9] Figura 2. Bobina Planar [10] Figura 3. Solenoide Delgado [9] 3](#_Toc88697458)

[Figura 4. Efecto Pelicular [14] 4](#_Toc88697459)

[Figura 5. Referencia Efecto Hall 6](#_Toc88697460)

[Figura 6. Representación Gráfica Propagación del Calor 7](#_Toc88697461)

[Figura 7. Comparación Entre Sistema Térmico y Circuito Eléctrico [18] 8](#_Toc88697462)

[Figura 8. Descripción Gráfica de Trabajo de Grado 9](#_Toc88697463)

[Figura 9. Descripción Trabajo del Circuito en Diagrama de Flujo 10](#_Toc88697464)

[Figura 10. Diagrama de Bloques 11](#_Toc88697465)

[Figura 11. Bobina Planar Diseñada 13](#_Toc88697466)

[Figura 12. Bobina FlexAR [22] 13](#_Toc88697467)

[Figura 13. Bobina Gruesa Diseñada 14](#_Toc88697468)

[Figura 14. Modelo Equivalente Inductor [23] 15](#_Toc88697469)

[Figura 15. Resultados Medición Inductancia 16](#_Toc88697470)

[Figura 16. Resultados Medición Resistencia 17](#_Toc88697471)

[Figura 17. Comparación Calentamiento de la Bobina PCB 18](#_Toc88697472)

[Figura 18. Comparación Calentamiento de la Bobina FlexAR 18](#_Toc88697473)

[Figura 19. Comparación Calentamiento de la Bobina Gruesa 18](#_Toc88697474)

[Figura 20. Comparativa Campo Entre Resultado Teórico y Medido en Bobina en PCB 20](#_Toc88697475)

[Figura 21. Comparativa Campo Entre Resultado Teórico y Medido en FlexAR 20](#_Toc88697476)

[Figura 22. Comparativa Campo Entre Resultado Teórico y Medido en Bobina Gruesa 20](#_Toc88697477)

[Figura 23. Montaje Bobinas Apiladas 21](#_Toc88697478)

[Figura 24. Campo B Contra Corriente en Bobinas Apiladas 22](#_Toc88697479)

[Figura 25. Relación Campo Contra Posición en Eje Z 22](#_Toc88697480)

[Figura 26. Circuito RLC 23](#_Toc88697481)

[Figura 27. Respuesta Paso Sistema 24](#_Toc88697482)

[Figura 28. Resistencia Contra Capacitancia 26](#_Toc88697483)

[Figura 29. Relación Pulso Y Temperatura Contra Tiempo 27](#_Toc88697484)

[Figura 30. Esquemático Puente H 28](#_Toc88697485)

[Figura 31. Simulación Pulso Corriente 28](#_Toc88697486)

[Figura 32. Pulso de Corriente en Bobina 29](#_Toc88697487)

[Figura 33. Topología Boost [25] 30](#_Toc88697488)

[Figura 34. Topología FCP 1 Etapa [30] 31](#_Toc88697489)

[Figura 35. Bomba De Carga FCP 1 Etapa 32](#_Toc88697490)

[Figura 36. Simulación FCP 1 Etapa Voltaje Capacitor Salida 32](#_Toc88697491)

[Figura 37. Bomba De Carga FCP 4 Etapas Capacitor Salida 33](#_Toc88697492)

[Figura 38. Simulación FCP Simulado Varias Etapas 33](#_Toc88697493)

[Figura 39. Simulación 5 Etapas 34](#_Toc88697494)

[Figura 40. Topología Diodo 35](#_Toc88697495)

[Figura 41. Bomba De Carga Dibujada en *Microwind* 36](#_Toc88697496)

[Figura 42. Simulación Circuito VLSI 37](#_Toc88697497)

[Figura 43. Elevación de Voltaje Simulada y Medida en Laboratorio 38](#_Toc88697498)

[Figura 44. *Fully CMOS Not Gate* [31] 39](#_Toc88697499)

[Figura 45.Fully CMOS NAND y NOR [31] 40](#_Toc88697500)

[Figura 46. Flip Flop Tipo D con Set y Reset Asíncrono 42](#_Toc88697501)

[Figura 47. Anillo de Oscilación 43](#_Toc88697502)

[Figura 48. Compuerta NOT en VLSI 44](#_Toc88697503)

[Figura 49. Compuerta NAND en VLSI 45](#_Toc88697504)

[Figura 50. Flip Flop Tipo D en VLSI 47](#_Toc88697505)

[Figura 51. Diagrama *MEF* 52](#_Toc88697506)

[Figura 52. Esquemático en Quartus 52](#_Toc88697507)

[Figura 53. Estado Espera 53](#_Toc88697508)

[Figura 54. Estado de Carga 53](#_Toc88697509)

[Figura 55. Estados de Descarga 54](#_Toc88697510)

[Figura 56. Diseño *MEF* en VLSI 55](#_Toc88697511)

[Figura 57. Circuito de Power On 56](#_Toc88697512)

[Figura 58. Esquemático Lógica de Salida 57](#_Toc88697513)

[Figura 59. Compuerta Negadora del Anillo de Oscilación 58](#_Toc88697514)

[Figura 60. Anillo de Oscilación en VLSI 59](#_Toc88697515)

[Figura 61. Esquemático de la Simulación de la Compuerta NOT 59](#_Toc88697516)

[Figura 62. Resultado de Simulación del DC Sweep 60](#_Toc88697517)

[Figura 63. Resultado Simulación en Tiempo 60](#_Toc88697518)

[Figura 64. Esquemático Simulación del Cálculo de la Capacitancia de Entrada 61](#_Toc88697519)

[Figura 65. Esquemático de la Simulación de la Compuerta NAND 62](#_Toc88697520)

[Figura 66. Resultado de Simulación del DC Sweep 62](#_Toc88697521)

[Figura 67. Resultado Simulación en Tiempo 63](#_Toc88697522)

[Figura 68. Esquemático Simulación del Cálculo de la Capacitancia de Entrada 63](#_Toc88697523)

[Figura 69. Resultado Simulación Comportamiento NAND 64](#_Toc88697524)

[Figura 70. Esquemático de la Simulación de la Compuerta Flip Flop 65](#_Toc88697525)

[Figura 71. Resultado Simulación Comportamiento Flip Flop 65](#_Toc88697526)

[Figura 72. Resultado Simulación Comportamiento *MEF* 66](#_Toc88697527)

[Figura 73. Simulación Circuito Power On 67](#_Toc88697528)

[Figura 74. Esquemático MEF Componentes Comerciales 67](#_Toc88697529)

[Figura 75. Circuito de Entrada con Anti-Rebote 68](#_Toc88697530)

[Figura 76. Comportamiento del Estado 0 a la Entrada Descargasentido1 68](#_Toc88697531)

[Figura 77. Comportamiento del Estado 0 a la Entrada Descargasentido2 69](#_Toc88697532)

[Figura 78. Comportamiento del Estado 0 a la Entrada Chargefin 69](#_Toc88697533)

[Figura 79. Comportamiento del Estado 1 a la Entrada Descargasentido1 70](#_Toc88697534)

[Figura 80. Comportamiento del Estado 1 a la Entrada Descargasentido2 70](#_Toc88697535)

[Figura 81. Comportamiento del Estado 1 a la Entrada Chargefin 71](#_Toc88697536)

[Figura 82. Comportamiento del Sistema con Descarga en Sentido 1 71](#_Toc88697537)

[Figura 83. Comportamiento del Sistema con Descarga en Sentido 2 72](#_Toc88697538)

[Figura 84. Esquemático Simulación Compuerta Negadora del Anillo de Oscilación 73](#_Toc88697539)

[Figura 85. Resultado Simulación Compuerta Negadora del Anillo de Oscilación 73](#_Toc88697540)

[Figura 86. Esquemático Simulación Anillo de Oscilación 74](#_Toc88697541)

[Figura 87. Resultado Simulación Anillo de Oscilación 74](#_Toc88697542)

[Figura 88. Esquemático Simulación Salida Anillo de Oscilación 75](#_Toc88697543)

[Figura 89. Resultado Simulación Salida Anillo de Oscilación 75](#_Toc88697544)

[Figura 90. Esquemático con Componentes Comerciales 76](#_Toc88697545)

[Figura 91. Medición Reloj con Componentes Comerciales 76](#_Toc88697546)

[Figura 92. Referencia Tamaño Imán Modificado 77](#_Toc88697547)

**TABLA DE TABLAS**

[Tabla 1. Comparación Términos Térmicos y Eléctricos 8](#_Toc88697548)

[Tabla 2. Valores de Señales de Diagrama de Bloques 12](#_Toc88697549)

[Tabla 3. Valores Requeridos 25](#_Toc88697550)

[Tabla 4. Referencias Dispositivos Simulación 32](#_Toc88697551)

[Tabla 5. Tabla de Verdad Compuerta NOT 39](#_Toc88697552)

[Tabla 6. Tabla de Verdad Compuerta NAND 41](#_Toc88697553)

[Tabla 7. Tabla de Verdad Compuerta NOR 41](#_Toc88697554)

[Tabla 8. Comportamiento Flip Flop Estados 47](#_Toc88697555)

[Tabla 9. Tabla Estado 0 48](#_Toc88697556)

[Tabla 10. Tabla Estado 1 49](#_Toc88697557)

[Tabla 11. Tabla Estado 2 50](#_Toc88697558)

[Tabla 12. Tabla Estado 3 51](#_Toc88697559)

[Tabla 13. Lógica de Salida 56](#_Toc88697560)

[Tabla 14. Resultado Modificación Imán 78](#_Toc88697561)

ABSTRACT

This paper focuses on the design, implementation and verification of a system that can change the polarity of a permanent magnet. To achieve this, it is necessary to generate a large magnetic field with the future objective to be applied in MEMS and locomotion systems for microbots. This task was achieved by dividing the design into two parts, one analog and the other digital, in which each of these parts contains a design in VLSI. The analog part begins with the study of the best coil topology to create a large current pulse with the least amount of voltage possible, from this a topology is selected with which you can raise voltage considering that this design is done at VLSI level, and then a way to transmit this high voltage to the coil. The digital part consists of a synchronous finite state machine, FSM, which monitors the internal stages of the analog part and also consists of a clock, which has an oscillation ring topology, that intervenes in the change of states of the WSF.

RESUMEN

El presente trabajo se centra en el diseño, implementación y verificación de un sistema que pueda cambiar la polaridad de un imán permanente. Para lograr esto se requiere generar un campo magnético de gran magnitud con el fin de que esto pueda ser aplicado en MEMS y sistemas de locomoción para microbots. Este cometido se logró dividiendo el diseño en dos partes, una analógica y otra digital, en donde cada una de estas partes contiene un diseño en VLSI. La parte análoga comienza con el estudio de la mejor topología de bobina para crear un gran pulso de corriente con la menor cantidad de voltaje posible, a partir de ello se selecciona una topología con la cual se pueda elevar voltaje teniendo en cuenta que este diseño se realiza a nivel VLSI, y luego una forma de transmitir este voltaje elevado a la bobina. La parte digital consta de una máquina de estados finitos síncrona, MEF, que contralora las etapas internas de la parte analógica y también consta de un reloj, el cual posee una topología de anillo de oscilación, este interviene en el cambio de estados de la MEF.

# **INTRODUCCIÓN**

El documento que leerán a continuación es la síntesis y condensación de lo consultado acerca de campos magnéticos y bobinas, y con esta información el diseño de un circuito que permite modificar el campo interno de un imán permanente.

Este informe se encuentra organizado en capítulos que tratan diferentes aspectos del diseño, el primer aspecto que se encuentra es el marco teórico, en el cual se realiza una breve descripción de algunos de los temas que se requirieron para la elección de los valores del circuito, además, del funcionamiento de algunos elementos utilizados.

Posterior al marco teórico se encontrará el capítulo más importante del documento, este es el capítulo de bobinas; en este se explican los modelamientos de las bobinas usadas como referencias y con esta información el planteamiento de los experimentos para corroborar los modelos realizados, para posteriormente hacer la elección de la mejor topología para este trabajo de grado.

A partir de la bobina, el desarrollo de este trabajo se divide en dos partes, una analógica y una parte digital, en la parte analógica se encuentra el cálculo de los componentes del circuito RLC que será usado como fuente de corriente para generar el campo necesario y el dimensionamiento y comprobación de la bomba de carga, que es la sección que se encarga de elevar el voltaje de entrada al nivel necesario para generar el campo requerido.

A la par de este desarrollo, se llevó a cabo la parte digital, que se plasma en el siguiente capitulo, donde se encuentra el diseño de una Máquina de Estados Finitos (MEF) el cual controlará la activación de cada una de las etapas de la parte analógica, esta misma será un sistema síncrono por lo cual se requerirá un circuito de reloj.

Con los resultados obtenidos, se diseña un circuito a escala meso con el cual es posible verificar el funcionamiento de las etapas realizadas en VLSI, estos resultados obtenidos se plasman en el capítulo referente a los resultados.

Finalmente, con todo el trabajo realizado se construye el capítulo conclusiones, en el cual se escriben las conjeturas a las que los autores llegar a lo largo del desarrollo del trabajo de grado.

# **JUSTIFICACIÓN**

Desde la fabricación del primer transistor, en el año 1947, la humanidad ha buscado tener soluciones que literalmente, quepan en la palma de la mano, debido a esta búsqueda por la miniaturización de las soluciones, el ingeniero y cofundador de Intel Gordon Moore en el año 1965, en el artículo Cramming more components onto integrated circuits realizó una importante predicción, en un artículo expresó que la cantidad de transistores en un microprocesador se duplicará cada dos años aproximadamente [1], y a esta afirmación que aún hoy, en la actualidad, tiene vigencia, se le denomina ley de Moore. Pero en este artículo, el ingeniero Gordon Moore, no mencionaba únicamente esto, también predecía que en un futuro los Circuitos Integrados (ICs, siglas en inglés) se utilizarían en dispositivos como computadores del hogar o dispositivos que podrían estar equipados en vehículos automotores o dispositivos personales [1]; cumpliendo con este pronóstico los dispositivos electrónicos han sido miniaturizados de tal forma que existen computadores que caben en la palma de la mano. Aunque si bien, los celulares o computadores portátiles son un buen ejemplo de las predicciones de Moore, este no es el único campo en el cual los ICs son utilizados, los Sistemas Electromecánicos (MEMS, siglas en inglés) son elementos que disponen de electricidad para realizar algún trabajo mecánico [2].

Los MEMS son elementos diseñados con el fin de dar soluciones en varios campos, como en la biomédica [3] o en la medición de cambios de aceleración para vehículos o dispositivos celulares [4], para realizar el control de estos elementos, como fue mencionado, se requiere del uso de electricidad, donde los elementos pueden ser controlados mediante corriente, voltaje o ambas variables, para el manejo se recurre al método SWaP (Tamaño, Peso y Potencia, siglas en inglés), el cual refiere a diseñar soluciones reducidas en tamaño, peso y potencia [5], y a la par se hace uso de las técnicas de integración de componentes electrónicos, como por ejemplo la Integración a Muy Gran Escala (VLSI, siglas en inglés), estas técnicas son formas de implementar a nivel micrométrico la solución del problema planteado, desarrollando de esta forma Circuitos Integrados de Aplicaciones Fijas (ASIC, siglas en inglés) [6].

Gracias a que los MEMS no tienen que ser desarrollados usando una única tecnología, muchas formas de realizar los MEMS pueden ser aprovechadas, un ejemplo de esto es el uso de imanes con bobinas, los imanes pueden ser usados para la locomoción de microbots (abreviación para micro-robots) o para la atracción o repulsión de elementos a nivel micrométrico, y con la ayuda de las bobinas, se puede realizar un cambio de orientación en el imán, con ayuda del circuito electrónico correspondiente, se puede hacer control de la bobina y por consiguiente del imán, de esta forma, los elementos que conformen el control en este circuito pueden ser utilizados en su totalidad o por partes para el manejo de MEMS que recurran al uso de imanes y/o bobinas.

# **MARCO TEÓRICO**

## **3.1 Ley de Biot-Savart**

Cuando se hacer circular una corriente por un alambre conductor, este genera un campo magnético, este campo magnético depende de la geometría de la bobina misma. En 1820, los Físicos Jean-Baptiste Biot y Félix Savart enunciaron la ley de Biot-Savart luego de observar que al hacer circular una corriente por un conductor se genera un campo magnético [7]. La ecuación (1) [8] es la expresión que se conoce como ley de Biot-Savart, en esta se puede observar la relación entre la corriente y el campo magnético producido, pero también es posible deducir, como se mencionó, que el campo magnético también depende de la geometría del elemento, ya que, al integrar sobre la curva, el resultado varía entre una topología u otra.

|  |  |
| --- | --- |
|  | (1) |

Donde en la ecuación (1), es la permeabilidad del material en el que se encuentra el elemento, es la corriente que circula por el conductor, es el diferencial de longitud, que depende de la geometría del elemento que produce el campo y es la distancia entre el generador del campo y el punto de observación del campo.

## **3.2 Bobinas**

Las bobinas estos son elementos eléctricos, que al hacer circular una corriente por las espiras generadas por un material conductor, producen un campo magnético, que se verá afectado por las componentes aportadas por las distintas espiras. Estas tienen varias topologías, algunas de estas son: una espira de corriente, las cuales consisten en una sola espira, los solenoides delgados, que consisten en varias espiras con el mismo radio apiladas, la bobina planar, que tienen varias espiras concéntricas que van aumentando su radio, ordenadas sobre un único plano.

Diagrama

Descripción generada automáticamente Gráfico

Descripción generada automáticamente Patrón de fondo

Descripción generada automáticamente

Figura . Espira de Corriente [9] Figura . Bobina Planar [10] Figura . Solenoide Delgado [9]

Dentro de este trabajo se realizará una comparativa constante entre dos tipos de bobinas, las bobinas planares y las bobinas gruesas, con el fin de conocer cuál de estas topologías funciona mejor para estas aplicaciones, pues, debido a su geometría, las características entre una y otra topología pueden variar, permitiendo así modificaciones en las mismas que confieren mejorías a los diseños a futuro.

Para calcular el campo magnético de las bobinas, se utiliza la ley de Biot-Savart, que como se mencionó, es la relación entre el campo magnético de una bobina y sus distintas variables. En el caso de la bobina planar, el campo total de esta puede ser aproximado a la suma de los campos de cada espira concéntrica, este método es explicado en *Mathematical Modeling Of An Electromagnetic Forming System With Flat Spiral Coils As Actuator*. Mediante la ecuación (2) [11] es posible realizar el cálculo de la magnitud del campo en función de la posición del eje z, el cual es el eje perpendicular a la bobina.

|  |  |
| --- | --- |
|  | (2) |

En el caso de la bobina gruesa, en el capítulo 4 de *Characterization and Measurement of Magnetic Materials* se explica cómo se modela esta bobina y se deduce una expresión para su campo, la ecuación (3) [12] relaciona el campo magnético () de la bobina gruesa respecto a sus características, donde la magnitud de este campo se obtiene en el origen. En esta expresión se halla el campo , con la expresión es posible relacionar con .

|  |  |
| --- | --- |
|  | (3) |

## **3.3 Efecto Pelicular**

El efecto pelicular o efecto *skin* es un fenómeno presente en los conductores descrito inicialmente por Horace Lamb en 1883 para conductores con simetría esférica y en 1885 fue generalizado por Oliver Heaviside [13].

Cuando se hace fluir una corriente continua por un conductor, los electrones se desplazarán por toda el área transversal del conductor, al hacer que la corriente no sea continua sino sea alterna, la corriente tendrá a fluir por el borde exterior del conductor, haciendo que por el centro no circule la corriente [13]. En la *Figura 4* se aprecia la distribución de electrones en el interior de un conductor en función de la frecuencia.

Forma, Círculo

Descripción generada automáticamente

Figura . Efecto Pelicular [14]

Este fenómeno descrito es un problema cuando se trabaja con líneas de transmisión y altas frecuencias, ya que este efecto hace que la resistencia del conductor aumente, lo que se traduce en pérdidas, ya que esto significa un aumento en la potencia requerida para realizar las tareas de transmisión de información. Otras áreas en las que este fenómeno puede ser un problema en potencia, ya que cuando se usan bobinas o transformadores en alta frecuencia, la magnitud y ángulo de la impedancia, lo que modifica la frecuencia de oscilación de un posible circuito oscilante [15].

Otro término que debe ser mencionado con el efecto pelicular, es la profundidad de penetración, esta refiere a la distancia que hay entre el borde del conductor y diámetro interno mínimo por el cual recorrerá la corriente. La expresión del valor de la profundidad de penetración es la ecuación (4). De esta expresión es posible deducir que la profundidad de penetración además de depender de la frecuencia de la fuente con la que se trabaja, también depende del conductor que se use, ya que la expresión tiene como variables la permeabilidad magnética del material y la resistencia o permitividad del material [15].

|  |  |
| --- | --- |
|  | () |

## **3.4 Efecto Hall**

El efecto Hall, que recibe su nombre de Edwin Hall, que descubrió y describió el fenómeno en 1819, este fenómeno se produce al acercar un elemento en perpendicular a un campo magnético. Al igual que con la fuerza de Lorentz, la respuesta de este fenómeno genera una fuerza en contraposición a campo presente, que puede ser medida en forma de voltaje [16]. Este fenómeno es aprovechado en varias aplicaciones, una de estas es la medición de campos magnéticos, por ello, se usan materiales como silicio o arseniuro de galio para fabricar los sensores, y también se utilizan distintas configuraciones geométricas, pues dependiendo de estas, el valor del voltaje puede variar entre 0.7 y 0.9 [16].

El efecto Hall puede ser conseguido con distintos materiales, ya sean conductores o semiconductores, donde, dependiendo del tipo de material, se puede obtener más o menos voltaje y la polaridad del voltaje obtenido puede ser positiva o negativa [17]. La expresión (5) [16] permite calcular el voltaje producido en respuesta a algún campo.

|  |  |
| --- | --- |
|  | (5) |

Usando como referencia la *Figura 5*, hace referencia al voltaje generado, es el ancho del material, es el voltaje con el que se polariza el material y es la magnitud del campo sobre el que se acerca el material.

Diagrama

Descripción generada automáticamente

Figura . Referencia Efecto Hall

## **3.5 Calor y Disipación de la Energía**

En física se considera como una de las leyes de la naturaleza a la ley de la conservación de la energía la cual enuncia que “La energía no se crea ni se destruye, solo se transforma”. A partir de esta afirmación, se sabe que, al agregar energía a un sistema eléctrico, parte de esta será utilizada por el circuito como energía eléctrica, y otra parte de esta se convertirá en energía térmica debido al efecto Joule. Esto no se cumple únicamente con la energía eléctrica, otras formas de energía, mientras están disipándose, se manifiestan en forma térmica, por ejemplo, un sistema elástico disipará parte de su energía de forma térmica debido a la fricción interna de las moléculas [18].

Como se había planteado, el efecto Joule es el motivo por el cual, al agregar energía a un sistema, parte de esta se ve disipada como energía térmica. El efecto Joule, que también suele llamarse calentamiento óhmico, es un calentamiento que suele producirse debido a la resistencia intrínseca de los conductores, por ello, elementos ideales como los condensadores o inductores no disipan energía [19]. Este efecto, descrito por James Prescott Joule, enuncia que la potencia disipada por un conductor es proporcional al producto del cuadrado de la corriente al cuadrado que circula por el conductor y la resistencia intrínseca del conductor, este enunciado se plasma en la ecuación (6).

|  |  |
| --- | --- |
|  | () |

En cualquier sistema eléctrico es importante conocer la respuesta en temperatura de este al momento de diseñarlo, esto es debido a que muchos componentes pueden ver afectado tanto su condición como funcionamiento debido a la temperatura de operación, al realizar un modelo preciso de la respuesta de temperatura, es posible conocer los parámetros máximo con los cuales operar el sistema o de ser necesario, agregar un disipador que permita disminuir la temperatura.

El calor, como fue mencionado, es una forma en la que se manifiesta la energía, y la energía se transfiere entre cuerpos de tres formas distintas[20]:

Conducción: Se produce cuando dos cuerpos están en contacto, el calor se transmitirá de un sistema con más energía a uno de menor para que ambos alcancen el equilibrio térmico, como explica la ley cero de la termodinámica.

Convección: La transmisión de energía por convección se genera cuando se aplica calor en un punto específico y esta energía se propaga al resto del cuerpo. Un ejemplo de ello es hervir agua, el calor será inyectado por uno de los laterales y este mismo se irá propagando por el resto del fluido.

Radiación: La propagación por radiación se produce cuando el calor es propagado debido a la emisión de radiación de un cuerpo. Por ejemplo, el calor que se siente al estar bajo el sol, pues el sol emite calor en forma de radiación generada por la colisión de los elementos químicos en su núcleo.

La *Figura 6* presenta gráficamente los procesos de transmisión explicados anteriormente.

Imagen que contiene objeto, reloj, computadora

Descripción generada automáticamente

Figura . Representación Gráfica Propagación del Calor

Para conocer la respuesta de temperatura de un sistema, este puede ser modelado como un circuito eléctrico, esto con el objetivo de reducir el problema a una forma más sencilla de resolver para quien está familiarizado con estos. La respuesta en temperatura puede ser reducida a un circuito RC, donde en el calentamiento el valor del producto entre R y C tiene un valor y en enfriamiento tiene otro. La *Figura 7* es una representación gráfica de la analogía entre un sistema térmico y un circuito eléctrico.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Comparación Entre Sistema Térmico y Circuito Eléctrico [18]

Habiendo planteado la similitud entre los sistemas, en la *Tabla 1* se observan algunas de las analogías que existen en el planteamiento presentado.

|  |  |  |
| --- | --- | --- |
| Término | Calor | Electricidad |
| Flujo de Calor | Q [J/s] [W] | I [A] |
| Temperatura | T [°C] [K] | V [V] |

Tabla . Comparación Términos Térmicos y Eléctricos

# **OBJETIVOS GENERAL Y ESPECÍFICO**

## **4.1 Objetivos General**

Diseñar un circuito a microescala que permita el cambio de polaridad de un imán permanente mediante el uso de técnicas VLSI.

## **4.2 Objetivo Específico**

* Fabricar una bobina con una topología que genere el campo requerido para cambiar la polarización del imán.
* Seleccionar topologías de circuito cuyas soluciones puedan ser implementadas con técnicas de VLSI.
* Diseñar un circuito para cada bloque a partir de las especificaciones dadas.
* Establecer un protocolo de pruebas que permita confirmar el funcionamiento del IC a nivel simulación.
* Implementar un circuito a escala meso que permita la comprobación a nivel funcional del circuito en VLSI.
* Establecer un protocolo de pruebas que permita verificar el funcionamiento de circuito a escala meso.

# **DESCRIPCIÓN TRABAJO DE GRADO**

Como propuesta de trabajo de grado se propone el diseño de un circuito que permita modificar el sentido de la polaridad de un imán permanente, algunas de las etapas del circuito mencionado serán diseñadas con técnicas de VLSI con miras a una posible fabricación en el futuro. Para la comprobación de estas y funcionamiento de este circuito, se recurrirá tanto a la simulación de las etapas como a la construcción de un circuito a escala meso que permita la verificación en laboratorio del comportamiento y funcionamiento del circuito.

El circuito mencionado debe inyectar una determinada cantidad de corriente a una bobina para generar un campo de una magnitud aproximada de 500 mT, esta magnitud de campo necesaria es tomada del trabajo de grado “SISTEMA ELECTRÓNICO CONTROLADO A DISTANCIA PARA LA MAGNETIZACIÓN Y DEMAGNETIZACIÓN DE MATERIALES MAGNÉTICOS GENERANDO PULSOS DE CORRIENTE DE GRAN MAGNITUD Y CORTA DURACIÓN”, donde el ingeniero Camilo Vélez indicaba el requerimiento de esta magnitud mencionada [21]; dicha corriente modificará la dirección de magnetización de un imán permanente. Esta modificación de magnetización debe poder ser generada en dos sentidos, de esta forma, un usuario podrá modificar el campo del imán permanente usando como referencias “norte” y “sur”. Para ilustrar el resultado del circuito se realiza una representación gráfica presentada en la *Figura 8*.

Diagrama

Descripción generada automáticamente

Figura . Descripción Gráfica de Trabajo de Grado

Para llevar a cabo la tarea descrita, se planea un flujo de trabajo, el cual es:

1. El usuario da una orden al sistema, la cual indica en qué sentido se deberá generar el campo para polarizar el imán, a esa se les denominará “Sentido Positivo” y “Sentido Negativo”.
2. Una vez el usuario ha dado la orden, esta indicación pasará a un bloque de control, este deberá dar la orden a un circuito que eleva el voltaje, de elevar el voltaje de la alimentación a un voltaje en específico y cargar un elemento, una vez el voltaje llega al valor necesario, el circuito se desconecta de la alimentación, de tal forma que la batería no se esté descargando de forma constante y posea un ahorro.
3. Cuando el elemento está cargado al valor necesario, se desconecta el elevador de voltaje y se conecta la bobina, al conectarse la bobina, el voltaje almacenado se descargará hacia este elemento en un tiempo del orden de las centenas de microsegundos, generando una corriente, esta corriente deberá generar la magnitud de densidad de campo magnético necesaria de tal forma que cambie el sentido del campo del imán.
4. Después del cambio de polaridad, el circuito vuelve a un estado inicial, donde ni el elevador de voltaje ni la bobina se encuentran conectadas, el circuito permanece en este estado hasta la llegada de una nueva orden de un usuario.

El flujograma presente en la *Figura 9*, presenta de forma gráfica el proceso descrito anteriormente.

Interfaz de usuario gráfica, Aplicación, Teams

Descripción generada automáticamente

Figura . Descripción Trabajo del Circuito en Diagrama de Flujo

Como especificación adicional, se planea que el dispositivo no utilice una alimentación constante sino sea alimentado por medio de baterías, estas de un tamaño reducido en caso de ser necesario su uso fuera de un ambiente de laboratorio o de pruebas, por lo cual, en caso de que algún usuario desee hacer uso del dispositivo en repetidas ocasiones, las baterías deberán tener una capacidad acorde a varios usos, por lo cual se implementará un modo ahorro en el circuito, en el cual, se desconecte la alimentación del circuito elevador de voltaje.

El diagrama de bloques que explica inicialmente cómo se desarrollará la solución, se presenta en la *Figura 10*. En este se observan tres bloques de distintos colores, y cinco señales principales, tres de entrada y dos bidireccionales; y tres señales auxiliares.

Imagen que contiene Gráfico de cajas y bigotes

Descripción generada automáticamente

Figura . Diagrama de Bloques

**Bloques**

* Control: Este bloque se encarga de leer las señales de entrada “UsrSentido1” e “UsrSentido2” y con base a estas habilitar el bloque de “Elevación de Voltaje” e indicar al bloque de “Acople de Salida” la dirección de polarización del campo magnético.
* Elevación de Voltaje: Este bloque tiene por función aumentar el voltaje de alimentación del circuito a un valor tal que permita producir una corriente lo suficientemente alta para que la bobina de salida produzca la magnitud de campo magnético deseada.
* Acople de salida: Este bloque toma el voltaje que ha sido elevado en el bloque “Elevación de Voltaje” y las señales “CtrlSentido1” y “CtrlSentido2”, las cuales son las señales de control de este bloque, y hace circular un corriente en un sentido u otro dependiendo de los valores de las señales de control para generar dos polaridades distintas de campo usando una única bobina.

**Señales**

* UsrSentido1,2: Son las señales de entrada que controla el usuario para dar sentido a la polaridad del imán.
* Alimentación: Esta señal indica el voltaje con el cual se alimenta el sistema.
* Habilitación: Como se mencionó, el sistema posee un modo de bajo consumo, para lograr esta función, se usará una señal de tipo *enable*, la cual, indica al sistema de elevación de voltaje cuando encenderse y por cuanto tiempo, de esta forma, el sistema no está consumiendo constantemente energía de las baterías para elevar el voltaje, reduciendo el consumo y alargando la vida útil de las mismas.
* CtrlSentido1,2: Estas son las señales que van del bloque “Control” a “Acople de Salida”, con estas el bloque “Control” puede indicar en que, sentido el bloque de acople debe hacer fluir el campo magnético.
* LIn: Esta señal transporta la corriente que fluirá por la bobina para generar el campo magnético para polarizar el imán permanente.

En la *Tabla 2* se presenta una breve descripción del comportamiento de las señales mencionadas anteriormente.

|  |  |  |
| --- | --- | --- |
| Señal | Tipo | Valores |
| UsrSentido1,2 | Digital | 1-0/VDD-GND |
| Alimentación | DC | VB |
| Habilitación | Digital | 1-0/VDD-GND |
| CtrlSentido1,2 | Digital | 1-0/VDD-GND |
| LIn | DC |  |

Tabla . Valores de Señales de Diagrama de Bloques

* VDD: Valor de polarización positiva.
* GND: Tierra.
* VB: Valor de la batería.
* : Valor de la corriente para generar una densidad de campo magnético de magnitud 465 mT.

# **BOBINAS**

## **6.1 Metodología**

En el marco de este trabajo de grado, se realiza la comparación de dos topologías de bobinas, las bobinas planares y las bobinas gruesas. Dentro de las bobinas planares se utilizan dos bobinas distintas, la primera es la bobina *FlexAR* [22], esta es diseñada por el ingeniero Carl Bugeja, la segunda bobina planar es diseñada por los autores del trabajo para ser impresa en PCB, algunas de las características de esta son: la bobina tiene 18 vueltas por lado, 0.5 oz de cobre de altura, espaciamiento y ancho de la pista de 8/8 mil, un radio interno de 4 mm y externo de 12 mm y en el interior, sobre el centro de la bobina, existe un hueco para colocar un imán de 2.2 mm de diámetro.

La *Figura 11* presenta un par de fotografías de las bobinas en PCB, a la izquierda, el frente de esta y a la derecha, la parte trasera y la *Figura 12* es una gráfica de la bobina *FlexAR*.

Un altavoz de color blanco

Descripción generada automáticamente con confianza baja

Figura . Bobina Planar Diseñada

Diagrama

Descripción generada automáticamente

Figura . Bobina FlexAR [22]

Como ejemplar de la bobina gruesa se diseñó una bobina gruesa de 12 vueltas y 12 capas utilizando como referencia el cable AWG 34, cuyas medidas son 8.7 mm de radio externo y una altura de 3.9 mm. Esta bobina se puede apreciar en la *Figura 13*.

Imagen que contiene pequeño, gato

Descripción generada automáticamenteImagen que contiene edificio, frente, firmar, tabla

Descripción generada automáticamente

Figura . Bobina Gruesa Diseñada

Dentro de los requerimientos del trabajo de grado, se explicó que son necesarios 500 mT para cambiar la polaridad del imán, por ello, se modela la ecuación (1) para las bobinas PCB y *FlexAR* y la ecuación (3) para la bobina gruesa mediante un código. De este código se obtiene la relación de la magnitud del campo contra la corriente. En este mismo código también se modela la respuesta en temperatura de las bobinas, para conocer los posibles valores máximos dentro de los cuales pueden operar estas.

Utilizando los resultados obtenidos con el código realizado, se diseñaron una serie de experimentos con los que se comprobaran los resultados, a continuación, se explican cada uno de ellos.

El primer experimento que se llevó a cabo fue la medición de las características eléctricas, más específicamente, conocer los valores predominantes de este elemento que son la inductancia y la resistencia DC, para ello se parte del modelo donde R y L están en serie y estos a su vez se encuentran en paralelo a un capacitor, el modelo explicado se presenta en la *Figura 14*. Para realizar la medición se dispone del medidor de impedancias GW Instek LCR-819, con este dispositivo se miden los valores de R, L y C a distintas frecuencias, estas fueron: 100 Hz, 1 kHz, 10 kHz, 20 kHz, 50 kHz y 100 kHz. Estas pruebas se realizaron utilizando 50 bobinas en PCB, 20 *FlexAR* y 10 bobinas gruesas*.*

Diagrama

Descripción generada automáticamente

Figura . Modelo Equivalente Inductor [23]

El segundo experimento llevado a cabo fue la medición de los parámetros térmicos, para hacer esta medición se recurrió a la cámara térmica CEM DT-9875, esta es una cámara que tiene un sensor infrarrojo (IR) con el cual se registra la temperatura, esta posee un rango de medición comprendido entre 0 °C y 400 °C y una precisión de ±2 °C o ±2% de la lectura, adicional, permite fijar el rango de lectura según lo requiera el usuario.

Para realizar las mediciones, la cámara se ubica en paralelo a la bobina usando un soporte, y buscando que en el rango del sensor IR se encuentren las espiras de la bobina.

El procedimiento llevado a cabo fue:

1. Se fija el rango de temperatura de la cámara.
2. Se inicia la grabación, dejando correr 5 s.
3. Al cabo de este tiempo, se enciende una fuente de corriente y se hacen circular 750 mA DC por la bobina, mientras es alimentada, esta se calentaría por efecto Joule.
4. Al cabo de un tiempo prolongado, se desconectó se apagó la fuente de corriente (sin cortar la grabación), esto hizo que se enfriase la bobina. Se mantuvo la bobina en este estado hasta que esta llegara al estado estable.
5. Al cabo del suceso se detuvo la grabación.

Para el análisis de los videos, se utilizó un código escrito por los autores, el cual, reproduce los videos y registra la temperatura de 8 puntos indicados por el usuario, este registro es integrado por el código y exportado en un archivo con extensión csv (valores separados por comas, siglas en inglés), el cual incluye los valores de temperatura de los puntos seleccionados, el valor promedio entre estos y la desviación estándar. Con estos valores se calculó el tiempo de calentamiento (τ) de la bobina.

El tercer y último experimento que se realizó fue la medición de la magnitud del campo producido por las bobinas, para medir la magnitud del campo se utilizó el sensor SS49E de *Honeywell*, el cual es un sensor de efecto Hall, este sensor arroja un voltaje que es proporcional a la magnitud de campo que este perciba; para medir el voltaje del sensor se empleó un multímetro de 4 ½ dígitos. Para generar el campo que se registró, se utilizó una fuente de corriente; esta se hizo variar entre 0.5 A y 3 A para la bobina en PCB, 50 mA y 300 mA para la bobina *FlexAR* y 100 mA y 1 A para la bobina gruesa.

Para medir el campo magnético se realizó el siguiente montaje:

Con ayuda de un soporte con pinzas, se fijó la bobina en una posición, encima de esta se colocó el sensor procurando que estuviesen lo más cerca posible entre los dos elementos y que el sensor se encuentre fijo en todo momento en el centro de la bobina. El voltaje que genera el sensor pasa por un circuito que elimina el valor DC generado internamente por un circuito dentro del sensor, esto con el fin de fijar la medida en 0 V, esto permite disponer de los 4 ½ dígitos del multímetro. Los datos se tomaron en 20 bobinas *FlexAR*, 20 bobinas en PCB y 10 bobinas gruesas.

## **6.2 Resultados y Análisis**

Los resultados de lo obtenido tanto por los códigos como durante los experimentos se presentan a continuación:

Del primer experimento se obtuvieron dos conjuntos de datos, estos fueron plasmados dentro de la *Figura 15* y la *Figura 16*, en la primera se plasmaron los valores obtenidos para la inductancia, en esta se puede apreciar que el valor de las bobinas planares se encuentra en el orden de los 20 µH, mientras que la bobina gruesa tiene un valor aproximado de 60 µH. Dentro de los mismos resultados también es posible apreciar que el valor de la bobina en PCB tiene más variaciones en función de la frecuencia en comparación de la bobina *FlexAR* y la bobina gruesa; además, la dispersión respecto al valor promedio es menor en las bobinas *FlexAR* y gruesa que en la bobina en PCB.

Imagen que contiene Escala de tiempo

Descripción generada automáticamente

Figura . Resultados Medición Inductancia

En la *Figura 16* se encuentran los resultados de la medición de la resistencia, la diferencia más notable que se aprecia es la diferencia de la magnitud de la resistencia entre las bobinas, mientras que el valor promedio de la bobina en PCB es 5 Ω y en la bobina gruesa es 2 Ω, en la bobina *FlexAR* es 22 Ω, adicional, se tiene una similitud en la desviación entre las gráficas, en este caso, la desviación es menor en la bobina *FlexAR* y bobina gruesa que en la bobina en PCB.

Escala de tiempo

Descripción generada automáticamente con confianza baja

Figura . Resultados Medición Resistencia

Una posible explicación a la diferencia de desviación entre las bobinas planares es que, durante el momento de fabricación, pueden quedar algunas imperfecciones dentro de los caminos en el proceso de corte, afectando a su vez los parámetros del elemento. Este resultado inesperado de una desviación de un valor alto con relación al valor promedio puede ser problemático cuando se realicen diseños, ya que puede generar menos flexibilidad con los criterios necesarios.

El valor de la capacitancia también fue medido, al revisarlos se observó que, a lo largo de la frecuencia, el valor es negativo, lo que da a entender que la inductancia es el parámetro más sobresaliente, pero también se apreció que a medida que la frecuencia se aumentaba, este valor empieza a tender a cero, dando a entender que, en algún punto de la frecuencia, las bobinas pasarán de ser inductivo a capacitivo.

Gráfico

Descripción generada automáticamente

Figura . Comparación Calentamiento de la Bobina PCB

Gráfico

Descripción generada automáticamente

Figura . Comparación Calentamiento de la Bobina FlexAR

Gráfico

Descripción generada automáticamente

Figura . Comparación Calentamiento de la Bobina Gruesa

En la *Figura 17*, *Figura 18* y *Figura 19* se refleja la respuesta de temperatura con una entrada constante de corriente. La forma descrita por el sistema es una respuesta de primer orden que es modelada por una función exponencial, de la cual pueden ser extraídos la constante de carga τ de las bobinas y la temperatura máxima. Además, es posible también corroborar la veracidad del modelo realizado para realizar cálculos posteriores.

Analizando la primera de estas gráficas que corresponde a la respuesta de la bobina en PCB, la constante τ medida en el modelo es , realizar el procesamiento del video extraer los puntos, la constante τ medida es . Cuando se analiza la segunda, que es la respuesta de la bobina *FlexAR*, la constante τ del modelo es mientras que la obtenida en el laboratorio es .

En ambos casos se aprecia una diferencia entre los valores, un posible motivo para esta diferencia reside en las consideraciones hechas, cuando las bobinas empiezan a calentarse, la temperatura local también empieza a aumentar, este cambio de la temperatura ambiente no fue agregado dentro del modelo.

Otro posible motivo es que la única resistencia por conducción que fue tenida en cuenta, fue la que existe entre el FR4 y el cobre, dentro de este, también está el pegante que se usa para acoplar mecánicamente el cobre al FR4, aunque si bien estos elementos no hacen mucha diferencia dentro del resultado final, generan un modelo más preciso.

La última de las bobinas analizadas es la bobina gruesa, en el modelo se obtiene un , el valor obtenido en la medición es comparando este resultado, la bobina gruesa, al igual que la bobina en PCB tiene un valor de τ alto, aunque menor, esto significa que tiene las mismas ventajas que esta bobina, aunque una ventaja de la geometría de la bobina gruesa respecto a la bobina en PCB es que la bobina gruesa posee menor área que la bobina en PCB, aunque tienen τ comparable.

Un aspecto importante para resaltar es la diferencia existente entre las constantes τ de las bobinas, el motivo de la diferencia es la geometría de las bobinas, mientras que en la bobina *FlexAR* los caminos están más juntos y el espacio entre las caras de la bobina es menor a 0.1 mm, en la bobina en PCB los caminos están más separados y entre las caras hay 1.6 mm de FR4, ambas diferencias hacen que la bobina demore más tiempo en calentarse y también alcance mayores temperaturas.

Si bien los aspectos mencionados en la bobina *FlexAR* pueden sonar como aspectos negativos, la geometría aporta una facilidad para la disipación del calor, haciendo que la ventilación forzada sea aprovechada, como se observa en la parte superior de la curva de la respuesta medida en la Figura 18, las fluctuaciones se deben a brisas que ocurrían.

Gráfico

Descripción generada automáticamente

Figura . Comparativa Campo Entre Resultado Teórico y Medido en Bobina en PCB

Gráfico, Gráfico de líneas

Descripción generada automáticamente

Figura . Comparativa Campo Entre Resultado Teórico y Medido en FlexAR

Gráfico, Gráfico de líneas

Descripción generada automáticamente

Figura . Comparativa Campo Entre Resultado Teórico y Medido en Bobina Gruesa

En las *Figura 20*, *Figura 21* y *Figura 22* se observa la comparación de la relación de la magnitud del campo con la corriente, en los tres casos se aprecia como esta relación es lineal, comprobando así la ecuación (3). Además de la relación, también se observa que, en los casos de las bobinas planares, el modelo programado es similar, pero a medida que la corriente aumenta, este se distancia más y tiene menor valor, estas diferencias pueden deberse además de la construcción y valores considerados, a la geometría de la bobina, porque al momento de programar, se consideró las espiras son círculos concéntricos y no una espira continua.

Con la parametrización hecha, a pesar de que la bobina *FlexAR* genera mayor magnitud del campo con menor corriente, se decide que entre las bobinas planares, la mejor bobina para desarrollar el trabajo es la bobina en PCB, esto se debe a que la resistencia eléctrica es menor en comparación al de la otra bobina, además, la constante térmica de calentamiento τ de esta bobina es mayor, permitiendo agregar mayor cantidad de energía en forma de calor a la bobina en cortos intervalos sin que esta se aumente demasiado su temperatura, además, por la geometría de esta, puede alcanzar mayores temperaturas en caso de ser necesario.

Por último, en favor de su diseño, este fue realizado pensando en introducir el imán en el interior de esta, facilitando el cambio de dirección de dirección del campo del imán.

A partir de la conclusión anterior, es posible conocer la cantidad de corriente necesaria para producir el campo de 500 mT en la bobina en PCB, la magnitud de la corriente necesaria son 114 A. Este valor de corriente puede ser alto para un IC, por lo cual, una forma de disminuir la magnitud de la corriente es apilando las bobinas de tal forma que los campos de cada una de las bobinas se sumen por principio de superposición. Para ello, se comprobará inicialmente el principio de superposición en las bobinas para posteriormente calcular la cantidad óptima de bobinas a apilar.

Para comprobar el principio de superposición se modificó el código de tal forma que el campo resultante fuese la suma en un punto en el eje z del campo producido por una cantidad de bobinas. Esta misma lógica fue plasmada en el experimento del laboratorio, para representar la forma en la que fueron acomodadas las bobinas y medido el campo se presenta en la *Figura 23*. Los resultados de esta comparación se presentan en la *Figura 24*.

Gráfico

Descripción generada automáticamente

Figura . Montaje Bobinas Apiladas

Gráfico

Descripción generada automáticamente

Figura . Campo B Contra Corriente en Bobinas Apiladas

De esta figura es posible verificar el aumento del campo, aunque este aumento no es un producto lineal, es decir que si utilizo 10 bobina, el campo resultante no será 10 veces el campo de una única, el campo depende en todo momento de la posición respecto al observador, por ello, hay un gran aumento entre utilizar 1 y apilar 3, pero el aumento es menor cuando se apilan 5, esto es importante porque indica que existe una cantidad máxima de bobinas con las cuales el aumento del campo no será significativo, para ello, y utilizando como referencia de nuevo la *Figura 24*, se modela la variación del campo respecto a la posición del observador en z, con el fin de calcular la cantidad óptima de bobinas.

*Gráfico, Histograma

Descripción generada automáticamente*

Figura . Relación Campo Contra Posición en Eje Z

Observando la *Figura 25* se puede confirmar la aseveración realizada anteriormente, es decir, que existe una cantidad máxima de bobinas debido a que existe un punto en el que se satura el campo, para este caso, sobre 9 bobinas, el campo inicia a saturarse y a medida que se acumulan más bobinas, los cambios en el campo no son significativos. Con estos resultados, la cantidad ideal de bobinas se encuentra en 9 y 12 bobinas para maximizar el campo con un número óptimo de bobinas.

# **DISEÑO ANALÓGICO**

## **7.1 RLC**

### **7.1.1 Contexto**

Con el fin de modificar el campo magnético del imán permanente, es necesarios generar un 500 mT, como se ha mencionado a lo largo de este documento. Este campo generado debe tener una duración relativamente corta para forzar el cambio en el imán, además de ayudar a un calentamiento mínimo en la bobina, evitando así un daño permanente en la misma.

Para generar la magnitud del campo mencionada, se requiere de una fuente de corriente, esta será modelada como un circuito RLC, la topología seleccionada se presenta en la *Figura 26*. Con el objeto de que el circuito funcione como la fuente de corriente que se espera, se necesita que el capacitor se cargue hasta el valor de voltaje necesario para generar la magnitud de corriente que genera el campo ; se aclara que, durante el tiempo de cargar del capacitor, este se encuentra desconectado de la resistencia y bobina, posterior a la carga, se acopla la resistencia y bobina y se deja descargar el capacitor contra estos elementos, generando que circule una corriente por la bobina y generando el campo mencionado.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Circuito RLC

Debe ser tomado en cuenta, que los sistemas de segundo orden tienen una respuesta particular que depende de las constantes ζ y ω, las cuales son el factor de amortiguamiento y la frecuencia natura de oscilación respectivamente, la función de transferencia en función de las constantes mencionados es la ecuación (7).

|  |  |
| --- | --- |
|  | () |

Donde, para el circuito de la *Figura 26*, los valores de ζ y ω son los siguientes:

|  |  |
| --- | --- |
|  | () |
|  | () |

El circuito mencionado, dependiendo de la magnitud de sus elementos, puede generar una de las tres respuestas con solución no compleja de un sistema de segundo orden, estas son: bajo amortiguamiento (), amortiguamiento crítico () y sobre amortiguado () [24]. La *Figura 27* presenta la respuesta a un paso con varios valores de ζ.

Gráfico

Descripción generada automáticamente

Figura . Respuesta Paso Sistema

Para esta solución es requerida una respuesta lo más cerca de un amortiguamiento crítico, esto debido a que, con un bajo amortiguamiento, la respuesta puede empezar a oscilar, causando que el imán se pueda polarizar en estados no deseados, y si la respuesta es sobre amortiguada, se requerirá mayor voltaje para obtener la corriente necesaria.

### **7.1.2 Metodología**

Para calcular los elementos, se debe comprender cómo funciona el circuito, para ello, mediante la técnica de solución de circuitos por mallas, se halla la ecuación que modela el comportamiento, esta es la ecuación (10).

|  |  |
| --- | --- |
|  | (10) |

Reescribiendo como y como se obtiene la ecuación (11) para un . En esta expresión ya se han hallado las constantes que se generan en la solución, para hallar sus valores, se debe recurrir a las condiciones iniciales, de esta forma se encuentra el máximo de la expresión, el cual corresponde a la ecuación (12).

|  |  |
| --- | --- |
|  | () |

A partir de la ecuación(11), se deriva dos veces, hallando así el máximo de la expresión anterior, cuyo valor es la ecuación (12).

|  |  |
| --- | --- |
|  | () |

Adjunto a este valor, también se obtiene la duración de la corriente pico, expresada en la ecuación (13).

|  |  |
| --- | --- |
|  | () |

Con la deducción del modelo de la *Figura 26* se puede hacer la elección del valor de voltaje inicial del capacitor y el valor del capacitor. Para hacer esta elección se debe tener en cuenta las siguientes condiciones:

* Se debe generar un campo de 500 mT.
* La resistencia del sistema se compone de la suma de: la resistencia parásita de las bobinas, la Resistencia Equivalente Serie (ESR, siglas en inglés) del capacitor y del puente H.
* ζ es igual o cercano a 1, para generar una respuesta críticamente amortiguada.

### **7.1.3 Resultados y Análisis**

Habiendo deducido las expresiones necesarias y teniendo las condiciones necesarias, se procede a realizar el cálculo del voltaje inicial y el valor del capacitor para las bobinas que aún se comparan, estas son la bobinas en PCB y la bobina gruesa. Estos resultados serán resumidos en la *Tabla 3*.

|  |  |  |  |
| --- | --- | --- | --- |
| Bobina | Capacitancia [µF] | Voltaje Inicial [V] | Corriente Necesaria [A] |
| PCB | 27.21 | 359 | 494 |
| Gruesa | 100.59 | 53 | 25 |

Tabla . Valores Requeridos

Los valores de la tabla fueron deducidos por medio de el modelo construido para las bobinas para la cantidad de corriente necesaria, la ecuación (9) para el valor del capacitor y la ecuación (12) para el voltaje inicial. Para el cálculo del valor del capacitor supuso que , y .

Para la deducción de los valores de la bobina en PCB se supuso el uso de 12 bobinas apiladas, ya que, usando como referencia la *Figura 25* con 12 bobinas, donde el campo no se ha saturado en su límite y la diferencia entre 9 y 12 es apreciable. Adicional, con el fin de requerir la menor cantidad de voltaje posible, estas bobinas se disponen en paralelo, de tal forma que la resistencia se reduzca, a partir de esta disposición también se debe saber que la inductancia de las bobinas también se ve reducida.

La diferencia entre las bobinas es apreciable, ya que con la bobina gruesa se requieren menos corrientes y menos voltajes a pesar de requerir un capacitor 5 veces más grande. Esto es importante porque independiente de la configuración que se realice, los valores de voltaje o corriente serán mayores. Esto es comprobable por medio del cálculo de energía, ya que la energía es constante en el sistema, utilizando las ecuaciones (9) y (14) realiza la gráfica de la *Figura 28*, en esta se aprecia que ζ en todo momento es menor a 1, incumpliendo uno de los criterios, y como se mencionó anteriormente, es necesario que ζ sea igual o mayor a 1 para evitar oscilaciones que modifiquen el estado.

|  |  |
| --- | --- |
|  | (14) |

Gráfico

Descripción generada automáticamente

Figura . Resistencia Contra Capacitancia

A partir del análisis anterior, se decide hacer uso de la bobina gruesa, ya que las ventajas que ofrece por encima de la bobina planar son superiores, y con la misma información es posible hacer la selección de los componentes de esta sección.

Suponiendo estos valores, se modela la respuesta del circuito de la *Figura 26*, en la *Figura 29* se grafica la corriente sobre el capacitor de color violeta y de color verde, el cambio de temperatura de la bobina durante la aplicación de este pulso.

Gráfico

Descripción generada automáticamente

Figura . Relación Pulso Y Temperatura Contra Tiempo

Para la construcción del circuito a escala meso del circuito RLC se deben seleccionar algunos componentes, el primer componente que se elige es el capacitor, se busca uno con un valor comercial cercano y que tenga un *ESR* similar al mencionado. Con esta información se selecciona la referencia 107KXM063M, este capacitor es de aluminio electrolítico de 100 µF, con un ESR de 130 mΩ a 100 kHz y un voltaje máximo de 63 V.

El segundo elemento que se elige es el puente H con su respectivo *Driver*. La referencia seleccionada para el puente H es el SQJ952EP, esta referencia son dos transistores tipo N en el mismo IC, por lo cual, para ser utilizado como puente H son necesarios dos de estos; estos son seleccionados debido a que soportan hasta 60 V entre *Drain* y *Source* de cada uno de los transistores, además, tienen una resistencia de encendido menor a la utilizada para calcular, el valor de esta es de 16 mΩ cuando , y por último, la corriente pulsada máxima es de 93 A, lo que permite que estos transistores tengan un desempeño óptimo dentro de la aplicación. Para encender los transistores flotantes y manejar las corrientes necesarias se elige el *Driver* LM5113, el cual puede soportar hasta 100 V flotantes para encender el transistor flotante utilizando un circuito de *Bootstrap*, además entrega hasta 1.2 A de encendido al MOSFET.

Los modelos *Pspice* de los componentes seleccionados son simulados con la distribución de la *Figura 30*, en la *Figura 31* se observa el resultado de esta simulación, de color violeta se observa la curva de descarga del capacitor, mientras que de verde se observa el pulso de corriente. De esta es posible deducir que la forma de la curva de la corriente de descarga se mantiene, además, el valor pico de esta señal es aproximadamente 25 A, lo que produciría aproximadamente 500 mT.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Esquemático Puente H

Gráfico, Histograma

Descripción generada automáticamente

Figura . Simulación Pulso Corriente

El resultado presente en la Figura 31 tiene una peculiaridad porque para lograr un resultado satisfactorio en la descarga y el comportamiento del circuito RLC, fue necesario cargar los capacitores antes de hacer la descarga, esto significa que es necesario implementar en la parte de la máquina de estados, un circuito que indique al sistema que se deben cargar los capacitores antes de realizar la descarga del capacitor de salida de la bomba de carga.

Una vez comprobado el comportamiento del circuito con componentes comerciales, este circuito se procede a ensamblar y a comprobar en el laboratorio, obteniendo como resultado la *Figura 32*. De esta es posible apreciar que la forma de la corriente corresponde a la esperada, además, la descarga del capacitor también se genera de la forma esperada. Algunas cosas para resaltar son que el voltaje es el esperado después de analizar la bomba de carga, es decir, 47.5 V, esto es congruente con la magnitud máxima del pulso, es decir, que esta es de menor tamaño debido a que el voltaje no son los 50 V iniciales sino menos, dando como resultado un valor máximo de 21.3 A.

Gráfico

Descripción generada automáticamente

Figura . Pulso de Corriente en Bobina

## **7.2 Bomba de Carga**

### **7.2.1 Contexto**

En el capítulo 6, se determinó que para el pulso de corriente requerida se utilizará un circuito RLC, descrito en el capítulo 7.1 donde la energía almacenada en un capacitor se transfiere a una inductancia para generar dicho pulso de corriente requerido, para lo cual el condensador ha de cargarse a cerca de 53V a partir de una fuente de del orden de unos pocos voltios.

Para esta aplicación existen distintas topologías de circuitos que logran este cometido, como es el caso de una fuente de conmutación tipo *Boost*, que por medio de la conmutación de un interruptor y de elementos que almacenan energía (capacitor e inductor), se eleva un voltaje de entrada al nivel de tensión necesario para la aplicación. Una topología de una fuente de conmutación tipo *Boost* se presenta en la Figura *33*.

Gráfico, Diagrama, Esquemático

Descripción generada automáticamente

Figura . Topología Boost [25]

Debido a que el objetivo de este proyecto es realizar diseños que puedan implementarse a nivel de microelectrónica, se descarta la fuente *Boost*, ya que requiere de una inductancia, por ello se elige la topología conocida como bomba de carga, la cual es un circuito que mediante el principio de transferencia de carga, que se realiza entre capacitores, eleva un voltaje DC a la salida del circuito; la patente original de esta topología pertenece al ingeniero Jhon Dickson [26] y suele ser referenciada como DCP.

En la actualidad varios grupos de investigación han propuesto mejoras al diseño original del Jhon Dickson, por ejemplo, los ingenieros Carlos A. M. Cruz, Carlos A. R. Filho y Vilson R. Mognon, diseñaron una bomba de carga que evita la sobrecarga en la terminal *Gate* de los MOSFET, aumentando el tiempo de vida de los transistores y mejorando la eficiencia de elevación de voltaje con respecto a la bomba de carga de Dickson (DCP) [27].

Otro ejemplo de mejoría del diseño de la DCP fue desarrollado por Zong Han Hsieh, Nan Xiong Huang, Miin Shyue Shiau, Hong Chong Wu, Shui-Yuan Yang y Don Gey Liu, esta topología implementa DCP pero cambiando los diodos por MOSFETs y cambiando la etapa de salida, al realizar estos dos cambios, la bomba de carga aumenta considerablemente la eficiencia de elevación del voltaje, adicional, permitiendo una construcción más sencilla a nivel IC de la DCP [28].

Dentro de las topologías consultadas, se escoge una que tiene una relación con la sucesión de Fibonacci, esta topología (la cual será referida como FCP), así como las que ya fueron mencionadas, mejora la eficiencia de elevación de voltaje respecto a la DCP, pero adicional, debido a la forma en la que se distribuyen los elementos del circuito, este sigue la sucesión de Fibonacci, logrando alcanzar mayores voltajes con menos etapas [29].

A pesar de las bondades que tiene esta topología, también tiene algunas desventajas, por ejemplo, esta topología solo puede ser usada con relojes de baja frecuencia (máximo 1 MHz) ya que tiene una alta sensibilidad a las capacitancias parásitas, adicional, tiene una menor ganancia de voltaje por etapa en comparación a otras topologías de bombas de carga [30]. Sin embargo, aunque posee estas desventajas para este trabajo dado que el reloj que se planea utilizar está cerca de los 2 kHz.

### **7.2.2 Metodología**

La topología de la FCP es presentada en la *Figura 34*, como se observa, esta se compone de dos compuertas negadoras Mxa y Mxb, un diodo Schottky, elegido debido a su bajo , y un capacitor Cx, sobre el cual se almacena la carga en forma de voltaje cada vez que el diodo conmuta.

Cuando este circuito es conectado en cascada, donde Vin se conecta en la primera terminal de salida, CLK en la segunda y GND en la tercera, el capacitor que se ha cargado fijará la nueva referencia de voltaje que es superior a la inicial, de esta forma, el voltaje va aumentando entre etapas, de tal forma que, en la etapa final, el voltaje será el descrito por la ecuación (23).

|  |  |
| --- | --- |
|  | (15) |

Donde es el voltaje con el que se alimenta el circuito, es el número de Fibonacci correspondiente a la bomba de carga descontando los dos primeros de la sucesión y es el voltaje del diodo que se use.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Topología FCP 1 Etapa [30]

El circuito de la *Figura 34* es simulado para verificar el funcionamiento y comportamiento, esta simulación se realiza en dos partes, la primera, donde se simula una única etapa de este circuito, y la segunda, donde se simulan 4 etapas del circuito. Por recomendación de los autores del artículo, las referencias de los componentes para simular el circuito, se presentan en la *Tabla 4*, adicional, y el reloj tiene una amplitud de 3 V y una frecuencia de 33 kHz [30].

|  |  |
| --- | --- |
| Dispositivo | Referencia |
| Diodo | PMEG4010BEA |
| MOSFET N | 2N7002 |
| MOSFET P | BSS84 |
| Capacitor | 2.2 µF |

Tabla . Referencias Dispositivos Simulación

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Bomba De Carga FCP 1 Etapa

Gráfico

Descripción generada automáticamente con confianza baja

Figura . Simulación FCP 1 Etapa Voltaje Capacitor Salida

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Bomba De Carga FCP 4 Etapas Capacitor Salida

Gráfico

Descripción generada automáticamente con confianza baja

Figura . Simulación FCP Simulado Varias Etapas

En la *Figura 36* se observa como el voltaje a la salida es casi el doble del voltaje de entrada, como se prevé con una única etapa de la bomba de carga; la falta de voltaje es esperado debido a la caída de voltaje en los diodos, ya que mientras este se encuentra encendido, va restando su voltaje al voltaje de salida, que, en este caso, corresponde a aproximadamente 150 mV. En el caso de la *Figura 38*, se observa que la elevación del voltaje es mayor, esta corresponde a elevar 4 etapas, lo que corresponde en la sucesión de Fibonacci al número 8, este multiplicado por el voltaje de la entrada, resulta en 24 V, pero como se mencionó, el voltaje resultante es menor al esperado debido a la caída de voltaje sobre los diodos; también se puede apreciar en ambas respuestas que el circuito no llega al voltaje final desde el principio, a este le toma un tiempo llegar hasta el voltaje final, que es proporcional a la cantidad de voltaje que se desea llegar y al tamaño del capacitor de salida.

### **7.2.3 Resultados y Análisis**

Inicialmente, es necesario saber qué cantidad de etapas son requeridas para lograr el voltaje inicial en el capacitor, con el número de etapas definido es posible conocer la cantidad de voltaje y corriente en cada uno de elementos de este circuito y así dimensionarlos.

El valor de la polarización que se utiliza son 5 V, relacionando este valor con el voltaje necesario en el capacitor, se obtiene que se requieren aproximadamente 5 etapas, lo que corresponde al número 13 de la sucesión, con esta cantidad se obtendría un voltaje de 65 V menos el voltaje de algunos componentes.

Con esta información, se simula la bomba de carga con un reloj de 1.6 kHz, el capacitor de salida con las características mencionadas en el capítulo **RLC**, mientras que los capacitores internos son ideales, el diodo es un 1N4148 y los mismos transistores de las simulaciones pasadas.

El resultado de esta simulación se presenta la *Figura 39*. Donde es posible comprobar que la bomba de carga eleva a un valor cercano a los 60 V, pero este valor es mucho menor al esperado, ya que el posible valor que se debería obtener es aproximadamente 61 V, pero este valor se encuentra en 54.2 V. Esta diferencia se debe a que a medida que el voltaje aumenta, el voltaje de umbral de los transistores se hace más evidente, haciendo que el voltaje resultante sea menor.

Gráfico, Diagrama

Descripción generada automáticamente

Figura . Simulación 5 Etapas

Con ayuda de esta misma simulación, es posible conocer también la cantidad de corriente que fluye por cada uno de los elementos, y adicional conocer la potencia que estos disipan, ya que con esta información es posible dimensionar los transistores y seleccionar los componentes para el circuito meso.

Usando el asistente de creación de transistores de *Microwind*, se selecciona el L y W mínimo de los transistores N de cada etapa, debido a que, en cada una de las etapas de la bomba, la cantidad de corriente que fluye por los transistores es distinta.

Para calcular el tamaño de los transistores P, que hacen la correspondencia de la compuerta NOT, se iguala la ecuación (16), la cual es la expresión de la corriente de saturación de un MOSFET, esta expresión se iguala entre los dos transistores hasta encontrar que la ecuación (17), de esta es posible conocer que el transistor P debe ser 3 veces más grande que el transistor N, esto se obtiene extrayendo los valores del modelo del transistor.

|  |  |
| --- | --- |
|  | (16) |
|  | (17) |

Para seleccionar la topología del diodo se revisaron distintas topologías, algunas de las observadas fueron la compuerta entre *Gate-Source* para un transistor N, el diodo existente entre *Source-Drain* para un transistor N, ubicar en paralelo los diodos que existen entre *Drain-Bulk* y *Source-Bulk* para los transistores N y P. Dentro de todas las topologías consultadas, la mejor respuesta fue obtenida con la topología de conectar en paralelo los diodos de *Drain-Bulk* y *Source-Bulk* para el transistor P, el *layout* de este diodo se presenta en la *Figura 40*.

Imagen que contiene Patrón de fondo

Descripción generada automáticamente

Figura . Topología Diodo

Al simular esta topología en tiempo se observó que el diodo funciona como se esperaría de este, es decir que durante medio ciclo en el cátodo se observa la entrada menos 0.6 V que corresponde al del mismo, esto no sucedía con otras de las topologías mencionadas, ya que durante medio ciclo la señal es la misma de la entrada y durante el otro medio ciclo, la señal tenía la misma forma pero su amplitud se veía disminuida en 0.6 V, dando a entender que durante ambos ciclos el diodo diseñado conducía pero el diodo que se encontraba encendido es distinto.

Para el caso de los capacitores, aunque es posible construir capacitores a nivel VLSI, estos ocupan demasiado espacio dentro del área de diseño y sus valores bajos dependen del tamaño de la tecnología, siendo mejor para esta opción el uso de transistores externos al IC.

El valor del capacitor de salida ya fue elegido, como se mencionó anteriormente. El valor elegido para los capacitores de cada una de las etapas se toma como una décima parte del capacitor de salida, es decir 10 µF, de esta forma, la carga es más rápida en comparación a si el valor es menor, además, para estos capacitores, el ESR asociado no es relevante, ya que no afectará el tiempo de carga con el reloj seleccionado.

Partiendo de la información, se realiza el *layout* de la bomba de carga y se extrae el modelo *PSpice* para ser simulado en OrCAD. El esquemático del circuito de la bomba de carga simplificado dibujado en *Microwind* se presenta en la *Figura 41*, mientras que el resultado de esta simulación se presenta en la *Figura 42*.

Del resultado de simulación es posible observar que, aunque la bomba de carga eleva el voltaje de entrada, este voltaje es menor en 1 V en relación con la simulación realizada para las 5 etapas, además se observa que el tiempo de carga de la bomba es similar. y en esta es posible observar que el voltaje obtenido es menor simulación inicial generado por un 1 V, con esto se comprueba que la cantidad de etapas es la correcta y el comportamiento en VLSI es similar al comportamiento del circuito en escala meso.

Imagen de la pantalla de un video juego

Descripción generada automáticamente con confianza media

Figura . Bomba De Carga Dibujada en *Microwind*

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Simulación Circuito VLSI

Para realizar la verificación del funcionamiento del circuito a escala meso, se mantienen los diodos 1N4148 ya que el diodo diseñado en *Microwind* tiene el mismo valor de caída que este componente. Los capacitores seleccionados son la referencia EEE-HAE100WAR y EEE-FC1H100P, los cuales son capacitores de montaje superficial de 10 µF con un ESR de 70 Ω a 120 Hz, donde la diferencia es que el primero soporta hasta 25 V y el segundo soporta hasta 50 V. Los transistores seleccionados para la formación de la compuerta NOT son los transistores 2N7002 y BSS84, los cuales son transistores N y P respectivamente que son complementarios entre ellos, así como el diseño de la compuerta NOT realizada en VLSI.

Una vez seleccionados los componentes, se realiza la simulación del circuito con estos y se compara con su medición a escala meso. Estos resultados son condensados en la *Figura 43*, la gráfica de color violeta es la señal simulada y al compararla con la *Figura 39*, los tiempos de subida son similares pero el voltaje final resulta ser aproximadamente 5 V. Comparando con los resultados medidos en el laboratorio se observa que el tiempo de elevación también es similar, pero el voltaje menor a lo obtenido en la simulación, este voltaje obtenido en el laboratorio son 47.5 V, lo que representa aproximadamente 3 V menos respecto a la simulación.

Gráfico

Descripción generada automáticamente

Figura . Elevación de Voltaje Simulada y Medida en Laboratorio

Es importante resaltar que debido a que el voltaje del capacitor de salida es menor al requerido, el campo resultante será un poco menor al esperado, específicamente, la magnitud del campo que se obtendrá en el centro de la bobina será 471.88 mT.

## **7.3 Alimentación**

Pensando en un desarrollo a futuro, se planea que el sistema sea alimentado por medio de una fuente autónoma, en este caso baterías, esto debido a las fugas mínimas que presentan estos elementos; para que este pueda ser transportado, se elige que las baterías que alimenten el sistema sean baterías planas, ya que, debido a su tamaño, la portabilidad de un circuito como este, aumenta.

Dentro de las muchas referencias en el mercado de baterías planas, el voltaje de estas oscila entre 1.5 V y 5 V, pensando en la facilidad de poder obtener las baterías, se elige la referencia CR2032, las cuales son baterías de 3 V, por lo que serían necesarias 2 baterías.

Aunque las baterías tienen fugas mínimas, estas con el tiempo se descargan, cada referencia a su tiempo, en el caso de la referencia CR2032, esta tiene una capacidad de 235 mAh nominalmente, esto es importante porque a medida que se descarguen las baterías, el punto de polarización se modificará, lo cual se debe evitar. Para solucionar el problema del cambio de polarización, se utilizará un regulador de voltaje, el regulador que se escoja deberá tener un punto de polarización bajo para que las baterías mantengan su carga interna la mayor cantidad de tiempo posible, además, debe tener un *Dropout Voltage* bajo para asegurar que el regulador se encuentre siempre encendido mientras las baterías tengan carga completa.

La referencia seleccionada para esta aplicación es TLS850C2TEV50, esta referencia, como el mismo fabricante menciona, funciona para sistemas que se encuentran alimentados por baterías de forma constante, esto se debe a su corriente de polarización baja que es de 20 µA típicos y su *Dropout Voltage* que es de 100 mV.

# **DISEÑO DIGITAL**

## **8.1 Contexto**

### **8.1.1 Compuertas Lógicas**

Las compuertas lógicas son circuitos electrónicos que con base a la entrada binaria (que solo tiene dos valores de voltaje, voltaje alto y voltaje bajo) tendrá una salida también binaria y el valor esta última dependerá del tipo de compuerta y de las entradas, estos elementos son los componentes más básicos que se encuentran en un circuito digital, las compuertas lógicas fundamentales son la NOT, la AND y la OR.

Diagrama

Descripción generada automáticamente

Figura 44. *Fully CMOS Not Gate* [31]

En la *Figura 44* se puede observar una compuerta NOT, a la derecha se encuentra el símbolo de esta y a la izquierda está el circuito de la NOT creada con transistores en tecnología MOS.

Cuando la entrada A esta en un valor 1 el transistor M1 (NMOS) permitirá el paso de la corriente y por tanto se comportará como un corto entre el nodo de salida y la tierra, mientras el transistor M2 (PMOS) detendrá el paso de la corriente comportándose como un abierto, debido a que la única conexión con el nodo Ā es el corto con tierra la salida tendrá un valor de 0.

Cuando la entrada A toma un valor de 0 el transistor M2 permitirá el paso de la corriente desde VDD hasta Ā ya que se comporta como un corto, por el contrario, el transistor M1 al comportarse como un abierto no permitirá que la corriente circule hasta la tierra, con el comportamiento de los MOSFETs anteriormente descritos en el nodo Ā tendremos un valor de 1.

En la *Tabla 5* se puede observar la tabla de verdad de la compuerta NOT.

|  |  |
| --- | --- |
| A |  |
| 0 | 1 |
| 1 | 0 |

Tabla . Tabla de Verdad Compuerta NOT

Diagrama, Esquemático

Descripción generada automáticamente

Figura .Fully CMOS NAND y NOR [31]

En la *Figura 45* *(a)* se puede observar el esquemático y el símbolo de la compuerta NAND (compuerta AND con la salida negada).

Cuando las entradas A y B tienen un valor de 0 los transistores M3 y M4 (ambos PMOS) permitirán el paso de la corriente comportándose como cortos que conectan, en paralelo, VDD con la salida, mientras que los transistores M1 y M2 (ambos NMOS) detienen el paso de la corriente comportándose como abiertos con esto se tendrá a la salida un valor de 1.

En el caso que las entradas A y B tengan un valor de 1 los transistores M1 y M2 se comportaran como un corto entre tierra y salida mientras que los transistores M3 y M4 tendrán el comportamiento de un abierto evitando que la corriente fluya desde VDD hasta la salida, por tal motivo el valor que este nodo tendrá es de 0.

Cuando la entrada A tiene un valor de 0 y la entrada B tiene un valor de 1 o la entrada A tiene un valor de 1 y la B un valor de 0, que, para el caso de este análisis, se llamaran caso 1 y caso 2 respectivamente, los transistores que están encendidos, permitiendo el paso de la corriente, son los transistores M3 y M1 para el caso1 y M4 y M1 para el caso 2, mientras que los transistores que están apagados son los M2 y M4, y M3 y M1 para el caso 1 y el caso 2 respectivamente, debido a que los transistores NMOS están conectados en serie (M1 y M2) la única forma en que la corriente fluya desde la tierra hasta la salida es que ambos estén encendidos, lo cual no ocurre en ninguna de los dos casos, en el caso 1 al transistor M2 esta apagado mientras que en el caso 2 es el transistor M1 el que esta apagado , los transistores PMOS al estar conectados en paralelo solo se requiere que uno de estos este prendido para que la corriente pueda fluir desde VDD hasta la salida y en ambos casos siempre hay uno de estos transistores encendidos por tal motivo a la salida del circuito se tendrá un valor de 1.

En la *Tabla 6* se muestra la tabla de verdad de la compuerta NAND.

|  |  |  |
| --- | --- | --- |
| A | B |  |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tabla . Tabla de Verdad Compuerta NAND

En la *Figura 45* *(b)* se puede observar el símbolo además del esquemático de la compuerta NOR (una compuerta OR con la salida negada).

Para los casos en los que ambas entradas de la compuerta tienen el mismo valor el comportamiento de la NOR es igual al comportamiento de la compuerta NAND, las diferencias entre estas dos surgen cuando las entradas A y B tienen valores distintos, ya que en este caso los transistores que están en paralelo son los transistores M1 y M2 (los transistores NMOS) y los que están en serie son los M3 y M4 (los PMOS), debido a esto el valor que hay a la salida cuando las entradas tienen valores distintos es de 0.

En la *Tabla 7* se puede observar la table de verdad que representa el comportamiento de la compuerta NOR.

|  |  |  |
| --- | --- | --- |
| A | B |  |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Tabla . Tabla de Verdad Compuerta NOR

### **8.1.2 *Flip Flop***

Si bien las compuertas lógicas anteriormente descritas son perfectas para la creación de cualquier circuito lógico combinacional estos tienen el problema que no tienen memoria, tan pronto las entradas camban la salida cambia (esto último sin tomar en cuenta los retardos de las compuertas) y la salida anterior se pierde, para solucionar este problema existen los circuitos de memoria, estos se encargan de almacenar un valor de voltaje a lo largo del tiempo para posteriormente ser usado por otro circuito.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Flip Flop Tipo D con Set y Reset Asíncrono

En la *Figura 46* se puede observar el esquemático de un *Flip Flop* tipo D, el cual es un circuito que puede almacenar el valor de la entrada de forma síncrona (controlada por un reloj), y con *Set* y *Reset* asíncrono, el *Set* pone la salida en 1 y el *Reset* en 0, esto independiente de la entrada.

El circuito contiene cuatro compuertas NAND (N1, N2, N3, N4) y cuatro *pass-gate* (T1, T2, T3, T4), una *pass-gate* es un circuito que actúa como un interruptor, dependiendo del valor que se encontraba en los *Gate* tanto de los NMOS como de los PMOS, permitirán o cortaran el paso de la corriente, cuando las entradas *Clear* y *Set* tienen un valor de 1, las NAND se comportaran como una compuerta NOT y el comportamiento del circuito será el siguiente, cuando el reloj este en 0 la *pass-gate* T1 permitirá el paso de la corriente y la salida de la compuerta N1 tendrá el valor de D negado, cuando el valor del reloj pasa de 0 a 1, un flanco de subida, la *pass-gate* T1 se apaga, pero el valor de D negado a la salida de N1 se mantiene ya que este pasa por N2 obteniendo a la salida de este el valor de D y como T2 esta encendido a la entrada de N1 volveremos a tener una entrada de D, este estado se mantendrá hasta que T1 se vuelva a encender, aparte de esto T3 también estará encendido por lo tanto a la entrada de N3 tendremos D negado y en la salida Q tendremos el valor de D, cuando el reloj vuelve a tener un valor de 0, T4 comenzara a conducir y T3 dejara de hacerlo manteniendo el valor de Q hasta que vuelva a haber un flanco de subida

### **8.1.3 MEF**

En muchos circuitos se requiere que las etapas individuales activen su funcionamiento en momentos determinados y permanezcan inactivos el resto del tiempo, para esto se diseña un bloque de control el cual es el que decidirá que etapas se activan.

Un bloque de control puede ser diseñado fácilmente programando un microcontrolador el problema radica en que los microcontroladores, para muchos casos, se desperdicia la mayor capacidad que estos poseen, para estos casos se puede diseñar una MEF, este es un circuito digital síncrono el cual mantendrá en un estado hasta que ciertas señales lo fuercen a pasar al siguiente estado donde el proceso anterior se repetirá, usualmente los estados son cíclicos, esto quiere decir que cuando pase por el estado final volverá al estado inicial, al ser un circuito síncrono los cambios solamente pueden ocurrir cuando un reloj se encuentra en un flanco de subida.

Para el caso del presente trabajo de grado el bloque de control puede ser realizado usando una MEF, la cual internamente tendrá compuertas lógicas principalmente compuertas AND, OR y NOT y también circuitos de memorias como Flip Flop. Los cuales deben ser diseñados a la medida de las necesidades del circuito.

### **8.1.4 Reloj**

El reloj es una parte importante de los circuitos lógicos síncronos, este consiste en un circuito astable que, idealmente, solo se encuentra entre dos valores (1 y 0) alternando entre estos a una frecuencia fija, estos son utilizados para sincronizar las memorias y que estos solo puedan almacenar nuevos datos en momentos determinados evitando así problemas de meta estabilidad y de perdida de datos.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Anillo de Oscilación

En la *Figura 47* se puede observar un anillo de oscilación, este es un circuito que aprovechando el retardo presente en las compuertas NOT se genera un ciclo con un numero impar de estas, entre mayor sea el número de compuertas menor será el valor de la frecuencia, uno de los problemas de este circuito es que la frecuencia no es tan estable como son los con otros circuitos de reloj como los que usan un cristal de Cuarzo.

Para el presente trabajo de grado este circuito de reloj funciona ya que puede ser implementado completamente en VLSI y no requiere que la frecuencia sea muy estable.

## **8.2 Metodología**

### **8.2.1 Compuertas Lógicas**

Una vez seleccionadas las topologías de las compuertas lógicas estas pueden ser diseñadas en VLSI para esto hay que calcular el tamaño de los transistores presentes en cada compuerta teniendo en cuenta que para los circuitos digitales el valor del L siempre será igual al ,esto para reducir la capacitancia parasita, por esto el valor que se calculara en el diseño es el valor de los W.

Pantalla de juego de computadora

Descripción generada automáticamente con confianza media

Figura . Compuerta NOT en VLSI

La *Figura 48* muestra la compuerta NOT diseñada en *Microwind* para calcular los valores de W de los MOSFETs se utilizaron las siguientes ecuaciones:

|  |  |
| --- | --- |
|  | (18) |
|  | (19) |
|  | () |
|  | () |

Donde es el voltaje a la salida de la compuerta cuando la entrada tiene un valor de VDD/2, lo mas deseable es que este voltaje sea de VDD/2, y son los voltajes de umbral de los MOSFET N y de los MOSFET P respectivamente, usando las anteriores ecuaciones se despeja en función de .

|  |  |
| --- | --- |
|  | () |

Reemplazando los valores de , , , da como resultado , después se le asigna un valor a de 7λ y se tendría un de 21λ.

Pantalla de juego de computadora

Descripción generada automáticamente con confianza media

Figura . Compuerta NAND en VLSI

La *Figura 49* muestra el diseño final de la compuerta NAND , una forma para determinar el w de los MOSFET tipo p y los MOSFET tipo n es conectando las entradas de las compuertas entre sí para que su comportamiento sea el mismo que una compuerta NOT como se puede observar en la *Figura 45*, la principal diferencia con radica en que, para el caso de la NAND los transistores PMOS están conectados en paralelo y los NMOS están conectados en serie, en el caso de la NOR los NMOS están conectados en paralelo mientras que los PMOS están conectados en serie, al tener transistores conectados en serie el L equivalente esta dado por la siguiente expresión, donde n es el número de entradas de la compuerta.

|  |  |
| --- | --- |
|  | () |

Por otro lado, para MOSFET conectados en paralelo el W equivalente esta dado por la ecuación (24).

|  |  |
| --- | --- |
|  | () |

Al reemplazar las ecuaciones (23) y (24) en las ecuaciones (19) y (20), se obtienen los valores de β para MOSFET conectados en paralelo y en serie los cuales están escritas en las ecuaciones (25) y (26) respectivamente.

|  |  |
| --- | --- |
|  | () |
|  | () |

Con estas ecuaciones se puede obtener la relación de y para la compuerta NAND.

|  |  |
| --- | --- |
|  | () |

Reemplazando con 8λ se obtiene un valor de de 6λ, en la *Figura 49*, para una compuerta NOR la relación es la siguiente:

|  |  |
| --- | --- |
|  | () |

Cuando se reemplaza con 4λ el valor de es de 48λ, debido a los grandes tamaños de los MOSFET tipo p, los *glitchs* presentes en esta compuerta se magnifican, esto debido al aumento en la capacitancia parasita de los transistores tipo P, para solucionar la falta de la compuerta OR se puede usar la ley de DeMorgan con la compuerta NAND para recrear el funcionamiento de esta.

La ley de DeMorgan dicta que una compuerta OR equivale a una compuerta NAND con las entradas negadas, la tabla de verdad de ambas será igual.

### **8.2.2 *Flip* *Flop***

Imagen de la pantalla de un video juego

Descripción generada automáticamente con confianza media

Figura . Flip Flop Tipo D en VLSI

La *Figura 50* muestra el *Flip Flop* diseñado a nivel VLSI, de esta figura, el único elemento que no se ha diseñado previamente es la *pass-gate*, debido a que queremos que la corriente que pasa por el MOSFET tipo P, cuando este esté encendido, sea igual a la corriente que pasa por el MOSFET tipo N, cuando este esté encendido, se podrán usar los mismos valores de y que se usaron en la compuerta NOT.

### **8.2.3 MEF**

Para diseñar la MEF primero se deben definir los estados que describirán el comportamiento del circuito los cuales son:

1. Espera
2. Carga
3. Descarga sentido 1
4. Descarga sentido 2

En el estado 0 el circuito se encuentra en un estado de reposo esperando a que el usuario le indique en qué sentido quiere polarizar el imán, en este estado las etapas de elevación de voltaje y etapas de salida se encuentran apagadas para reducir el consumo de energía, cuando el usuario indica la dirección deseada esta decisión se almacena en un *Flip Flop*, y se pasa al siguiente estado, el estado 1, en el que se activa la etapa de elevación de voltaje para cargar un capacitor hasta el voltaje deseado, mientras esto no ocurra se mantendrá en este estado, cuando se llega al voltaje anteriormente mencionado se pasa al siguiente estado el cual puede ser el estado 2 o el estado 3 dependiendo de la elección del usuario, siempre priorizando el estado 3, el funcionamiento de los estados 2 y 3 son similares, se desconecta el bloque de elevación de voltaje y se enciende la etapa de salida con la corriente fluyendo en la dirección elegida por el usuario, tan pronto se descarga el capacitor la MEF pasa devuelta al estado 0 donde el ciclo se repite.

Con base en la descripción de los estados presentada en el párrafo anterior se crea una tabla de estados donde se detalla el funcionamiento esperado de la máquina de estados con sus respectivas salidas, entradas y variables internas, los estados se almacenan en una serie de 4 *Flip Flop* en configuración O*ne-Hot*, la *Tabla 8* muestra el comportamiento de los *Flip Flop* (Q0, Q1, Q2, Q3) con respecto a cada uno de los 4 estados, de la *Tabla 9* a la *Tabla 12* representan las tablas de estado para los estados 0 al 3 respectivamente, en ellas la variable in corresponde a un *Flip Flop*, las entradas son señales digitales que no se almacenan en un *Flip Flop*, las salidas son señales digitales controladas por los *Flip Flop* de los estados, adicional a esto no se agregó el reloj de la MEF (CLK) en las tablas, ya que esta al ser una maquina síncrona se sobre entiende que los *Flip Flop* mantendrán su valor hasta que el reloj tenga un flanco de subida.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Estado | Q0 | Q1 | Q2 | Q3 |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 1 |

Tabla . Comportamiento Flip Flop Estados

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Estado Presente | Valor Actual Variable | Entradas | | | Estado Siguiente | Salidas | | | | Siguiente Valor Variable |
| In | DescargaSentido1 | DescargaSentido2 | CargaFin | Espera | FCP\_CLK | Sentido 1 | Sentido 2 | In |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |

Tabla . Tabla Estado 0

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Estado Presente | Valor Actual Variable | Entradas | | | Estado Siguiente | Salidas | | | | Siguiente Valor Variable |
| in | DescargaSentido1 | DescargaSentido2 | CargaFin | Espera | FCP\_CLK | Sentido 1 | Sentido 2 | in |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | CLK | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 2 | 0 | CLK | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | CLK | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 2 | 0 | CLK | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | CLK | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 2 | 0 | CLK | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | CLK | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 2 | 0 | CLK | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | CLK | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 3 | 0 | CLK | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | CLK | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 3 | 0 | CLK | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | CLK | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 3 | 0 | CLK | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | CLK | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 3 | 0 | CLK | 0 | 0 | 1 |

Tabla . Tabla Estado 1

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Estado Presente | Valor Actual Variable | Entradas | | | Estado Siguiente | Salidas | | | | Siguiente Valor Variable |
| In | DescargaSentido1 | DescargaSentido2 | CargaFin | espera | FCP\_CLK | Sentido 1 | Sentido 2 | in |
| 2 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 2 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 2 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 2 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 2 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 2 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 2 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 2 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |

Tabla . Tabla Estado 2

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Estado Presente | Valor Actual variable | Entradas | | | Estado Siguiente | Salidas | | | | Siguiente Valor Variable |
| In | DescargaSentido1 | DescargaSentido2 | CargaFin | Tspera | FCP\_CLK | Sentido 1 | Sentido 2 | in |
| 3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 3 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 3 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 3 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 3 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 3 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 3 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 3 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |

Tabla . Tabla Estado 3

Una vez que se tiene el comportamiento de la MEF definido por las tablas de estados se procede a dibujar el diagrama, *Figura 51*, en el cual las entradas están nombradas DescargaSentido1 e DescargaSentido2 para los dos sentidos posibles de la polaridad del imán, In representa la dirección elegida por el usuario, FCP\_CLK representa la salida que va al bloque de elevación de voltaje, sentido 1 y sentido 2 indican el sentido en el que la corriente fluirá por la bobina.

Diagrama

Descripción generada automáticamente

Figura . Diagrama *MEF*

Las entradas de este sistema serian 3, las 2 entradas del usuario y la señal que indica que la bomba de carga ha terminado de cargar; por otro lado, las salidas también serian 3, una salida de reloj controlada por una señal de un *Flip Flop* que entra a la entrada de la primera negadora de la bomba de carga y las salidas de sentido 1 y sentido 2, estas salidas entran a los drivers del puente H.

Ya con el diagrama creado se puede diseñar la MEF en un circuito digital, para este fin se hará uso del programa *Quartus* 15.1 donde se escribirá un VHDL (un lenguaje de descripción de hardware) que describa el comportamiento de la MEF y posteriormente se observará su el circuito generado mediante la herramienta de RTL *Viewer* presente en *Quartus*, *Figura 52*.

Diagrama

Descripción generada automáticamente

Figura . Esquemático en Quartus

Con el esquemático generado en *Quartus* y, con las compuertas lógicas y el *Flip Flop* previamente diseñados, se puede recrear la MEF en un software de simulación, como lo es OrCad, usando el modelo PSpice extraído de los circuitos lógicos diseñados.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Estado Espera

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Estado de Carga

Diagrama

Descripción generada automáticamente

Figura . Estados de Descarga

Y, por último, se procede a crear la MEF a nivel VLSI como se puede observar en la Figura 56.

Imagen que contiene Gráfico de rectángulos

Descripción generada automáticamente

Figura . Diseño *MEF* en VLSI

Adicional a la MEF también se tiene que diseñar un circuito de *Power On* para que, al conectar a la fuente, el circuito la maquina inicie en el estado deseado, para este fin se diseña el circuito presente en la *Figura 57*, en este, cuando se enciende la fuente el capacitor C1 generara un pulso en el nodo RST con un valor de voltaje de igual al valor de la fuente.

Gráfico

Descripción generada automáticamente con confianza media

Figura . Circuito de Power On

La duración del pulso generada por el circuito vendrá dada por la relación entre C1 y R2 cuya constante de tiempo esta expresada en la siguiente ecuación.

|  |  |
| --- | --- |
|  | () |

Se seleccionaron unos valores de capacitancia y resistencia tal que la duración del pulso sea de 1/5 del periodo esperado del reloj y la resistencia R1 es la que permite que el capacitor C1 se descargue cuando la fuente no este conectada

Por último se diseña una lógica de salida, esta recibe como entrada las salidas de espera, sentido1 y sentido2 de la MEF para controlar la lógica del puente H, la razón por la que esta lógica se diseña por separado con respecto a la MEF es que dependiendo de cómo este conformado el puente H esta lógica puede cambiar, para el presente diseño se seleccionó un puente H compuesto únicamente por transistores NMOS y para que los transistores superiores se enciendan estos requieren capacitores de Bootstrap y se requiere cargar estos capacitores antes de hacer la descarga, para lograr esto se tienen que encender los transistores inferiores, esto causará que el circuito de Bootstrap cargue los capacitores, después apagan todos los transistores y por último se encienden los requeridos para que la corriente fluya en el sentido deseado, para lograr esta carga de los capacitores primero se encenderán la transistores inferiores mientras la MEF este en el estado de espera, cuando cambia del estado de espera al estado de carga se apagaran todos los transistores y se encenderán los que sean necesarios paraque la corriente fluya en el sentido deseado dependiendo del estado al que se pase, estado 2 o 3, la siguiente tabla muestra la lógica que se acaba de describir, en esta, las entradas son espera, sentido 1 y sentido 2, que corresponden a las salidas de las máquina de estados, mientras que li1, li2, hi1 y hi2 son las salidas que van a la etapa se salida, en donde li1 y li2 corresponden a los transistores inferiores por el otro lado hi1 y hi2 corresponden a los transistores superiores, y con base en la *Tabla 13* se crea el esquemático presente en la *Figura 58*.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Espera | Sentido1 | Sentido2 | Li1 | Li2 | Hi1 | Hi2 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 |

Tabla . Lógica de Salida

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Esquemático Lógica de Salida

Esta lógica de salida no se diseña a nivel VLSI ya que se quiere que la MEF funcione independiente de que tipo de puente H tenga la etapa de salida esta lógica es para el caso específico en el cual se requiere cargar capacitores de Bootstrap.

### **8.2.4 Reloj**

Para calcular la frecuencia de un oscilador de anillo se usa la siguiente formula:

|  |  |
| --- | --- |
|  | () |

Donde n es el número, impar, de negadoras y y son los tiempos de delay que tardan las compuertas en pasar de 1 a 0 y de 0 a 1 respectivamente, estos últimos valores se calculan con las siguientes ecuaciones.

|  |  |
| --- | --- |
|  | () |
|  | () |
|  | () |
|  | () |
|  | () |
|  | () |

Reemplazando las igualdades de las ecuaciones (32) a (36) en la ecuación (31) nos da la fórmula que describe los tiempos de subida y de bajada de una sola etapa.

|  |  |
| --- | --- |
|  | () |

Para dejar el en termino de, únicamente el se extraen los valores de y del modelo spice de Microwind.

|  |  |
| --- | --- |
|  | () |

Con la anterior ecuación se puede obtener una relación del número de etapas y L para que la frecuencia de un valor de 1.6 kHz, frecuencia usada en el capítulo de la bomba de carga, esto se consigue parametrizando los valores de L y de n, una vez parametrizado se selecciona uno de estos valores teniendo en cuenta dos parámetros, estos parámetros son que ocupe la menor área posible y que el L de los transistores no sea muy grande, con base en los criterios anteriores se toma y un .

Una vez definido el valor de L se procede a diseñar cada negadora independiente, para esto se toma una relación de y igual a la relación de las compuertas NOT anteriormente diseñadas, , se establece un valor de de 10λ y se diseña la compuerta, *Figura 59*.

Imagen de la pantalla de un computador

Descripción generada automáticamente con confianza baja

Figura . Compuerta Negadora del Anillo de Oscilación

Por último, se crea el anillo de oscilación en VLSI usando las negadoras anteriormente diseñadas como se puede observar en la *Figura 60*.

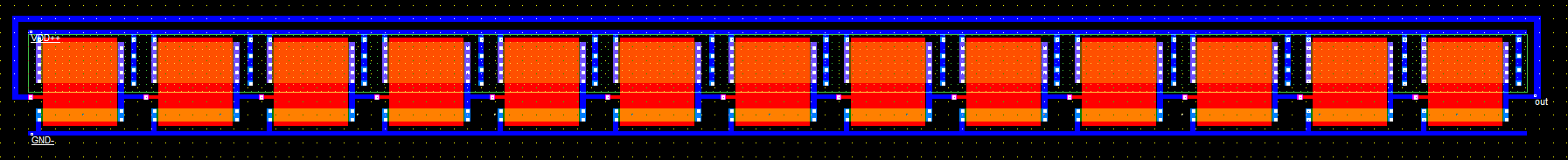


Figura . Anillo de Oscilación en VLSI

## **8.3 Resultados y Análisis**

### **8.3.1 Compuertas Lógicas**

Inicialmente se requiere comprobar el funcionamiento de las compuertas, para este fin se extrae el modelo PSpice de las compuertas anteriormente diseñadas y se simulan usando el programa LTspice.

Para la simulación de la compuerta NOT se monta un circuito como el que se puede observar en la *Figura 61*, donde la compuerta NOT es alimentada por una fuente de 5 voltios, a la entrada una señal cuadrada que oscila entre 0 y 5 voltios a una frecuencia de 1.6 kHz y una salida en abierto.

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Esquemático de la Simulación de la Compuerta NOT

La primera simulación realizada es un DC *Sweep*, en la cual se podrá observar la función de transferencia del voltaje de entrada contra el voltaje de salida de la compuerta, como se puede observar en la *Figura 62*, en esta grafica se aprecia que el punto de conmutación de la NOT está en los 2.621 V que si bien no son exactos a los 2.5 V calculados anteriormente, esto no es un factor decisivo ya que la diferencia de 0.121 V no afecta a la lógica y al momento de ser micro fabricado existen muchos factores que afectaran este valor.

Diagrama

Descripción generada automáticamente

Figura . Resultado de Simulación del DC Sweep

La segunda simulación realizada es en tiempo, *Figura 63* en la cual se puede observar la entrada, la gráfica azul, y la salida, la gráfica verde, de estas graficas se puede extraer la siguiente información, la compuerta tiene un tiempo de subida () sin carga de 9.05 ns y un tiempo de bajada () de 8.3 ns, con estos tiempos se obtiene la capacitancia de salida de la compuerta usando la siguiente ecuación.

|  |  |
| --- | --- |
|  | () |

Reemplazando los valores, y tomando en cuenta que tiene un valor de 0 ya que está en abierto, la capacitancia de salida es igual a .

Gráfico, Gráfico de cajas y bigotes

Descripción generada automáticamente

Figura . Resultado Simulación en Tiempo

Para hallar la capacitancia de entrada de la compuerta se agrega a la salida de la primera compuerta otra instancia de la misma, como se puede observar en la Figura 64, donde se realiza la simulación en tiempos y, a la salida de la primera compuerta, se extraen los tiempos de subida, , y de bajada, , este valor se reemplaza en la ecuación (39) y se despeja , este valor será la capacitancia de entrada () de la NOT cuyo valor es de 2.012 fF.

Diagrama

Descripción generada automáticamente

Figura . Esquemático Simulación del Cálculo de la Capacitancia de Entrada

Además de esta última medida también se calcula la capacitancia de carga máxima que se le puede conectar a la salida de la compuerta, para este fin se establece un tiempo de subida máximo igual a una década antes del periodo del reloj utilizado y, con la ecuación (39), se calcula la capacitancia de carga con la cual nos de este tiempo de subida, .

Las últimas mediciones realizadas son las corrientes máximas de salida para este fin se conecta entre la salida y la tierra una resistencia de 200 Ω y a la entrada se le conecta un 0 lógico y se mide la corriente de salida en bajo, nA y para la corriente de salida en alto la resistencia se conecta entre la salida y la fuente, y la entrada se conecta a un 1 lógico, y se mide la corriente a la salida lo cual da una corriente de uA.

Para la NAND primero se conecta la compuerta en configuración negadora como se puede observar en la *Figura 64*, los valores de las fuentes tienen valores iguales a los que se usaron en las pruebas de la compuerta NOT.

Diagrama

Descripción generada automáticamente

Figura . Esquemático de la Simulación de la Compuerta NAND

Primero se realiza la simulación con DC *Sweep*, *Figura 66* y se observa un punto de conmutación de 2.592 V y a pesar de la diferencia de 0.092 V esto no afectara significativamente la lógica.

Diagrama

Descripción generada automáticamente con confianza media

Figura . Resultado de Simulación del DC Sweep

Para hallar las capacitancias de salida y de entrada se sigue un proceso similar al de la compuerta NOT primero se conecta la compuerta en configuración inversora y se simula en tiempo, *Figura 67*, con la simulación se extraen los tiempos de subida, , y el tiempo de bajada, , con estos tiempos se puede obtener la capacitancia de salida despejando de la siguiente formula:

|  |  |
| --- | --- |
|  | () |

Donde es la resistencia de uno solo de los MOSFETs y N es el número de entradas de la compuerta, reemplazando los valores y despejando se obtiene .

Imagen que contiene Gráfico

Descripción generada automáticamente

Figura . Resultado Simulación en Tiempo

A diferencia de la NOT, esta compuerta tiene 2 entradas y por tanto 2 capacitancias de entradas, para hallar estas capacitancias primero se conecta la salida de la compuerta en configuración negadora a una entrada de otra NAND, la otra entrada de esta segunda NAND se conecta a fuente, como se puede observar en la *Figura 68* y despejando de la ecuación (40), después de hallar el tiempo de subida, se obtiene la capacitancia de entrada de la primera entrada, , por ultimo se invierten las entradas y se repite el proceso anterior para hallar la capacitancia de entrada de la entrada 2, .

Diagrama, Esquemático

Descripción generada automáticamente

Figura . Esquemático Simulación del Cálculo de la Capacitancia de Entrada

Para calcular la capacitancia máxima se realiza el mismo procedimiento que se realizó con la compuerta NOT, lo cual nos da una capacitancia de carga máxima de

Después se lleva a cabo la misma simulación que se realizó con la compuerta inversora para hallar las corrientes máximas que la compuerta puede suministrar, nA y nA

Y por último se realiza la simulación variando ambas entradas para comprobar que su funcionamiento se corresponda al de una compuerta NAND, la *Figura 69* es el esquemático del circuito simulado y la *Figura 69* es el resultado de la simulación, en este la gráfica roja representa la entrada 2, la verde es la entrada 1 y la azul es la salida de la compuerta, en esta figura se puede observar que la compuerta solo tiene una salida de un 0 lógico cuando ambas entradas están en un 1 lógico.

Gráfico

Descripción generada automáticamente

Figura . Resultado Simulación Comportamiento NAND

### **8.3.2 *Flip Flop***

Para simular el Flip Flop se agrega un reloj de 5 kHz de frecuencia de oscilación, una entrada que consiste en una señal palmatoria que oscila a una frecuencia de 2.5 kHz, una señal de Reset que inicia en 0 V y a los 300 µs cambia su valor a 5 V y una señal de set que inicia en 5 V y a los 1.5 ms cambia su valor a 0 V, en la Figura 70 se puede observar el esquemático de la simulación.

Diagrama

Descripción generada automáticamente

Figura . Esquemático de la Simulación de la Compuerta Flip Flop

La *Figura 71* es el resultado de la simulación, de estas graficas se puede obtener el tiempo de subida y de bajada con respecto al flanco de subida del reloj de y .

Gráfico

Descripción generada automáticamente

Figura . Resultado Simulación Comportamiento Flip Flop

Adicional a esto se sabe que, por la forma en la que internamente está conectado el flip flop, la capacitancia de salida está escrita en la ecuación 22

|  |  |
| --- | --- |
|  | () |

Donde es la capacitancia de salida de la compuerta NAND y es la capacitancia de entrada de la entrada 1 de la misma, por tal motivo toma un valor de 1.255 fF, para hallar la corriente máxima de salida se realiza una simulación similar a las realizadas con las compuertas lógicas, lo cual da las siguientes corrientes, nA y nA.

Otro dato que se puede obtener es el tiempo en que la entrada debe estar estable antes del flanco de subida el cual es de .

### **8.3.3 MEF**

Para simular la máquina de estados finitos se configura un reloj a 5 kHz, una señal de *Reset* que inicia en 0 V y a los 184 µs cambia su valor a 5 V, una señal de entrada de usuario en sentido 1 que inicia en 0 V y cuando pasan 1 ms el valor de este camba a 5 V, la entrada de usuario en sentido 2, a diferencia de la otra entrada de usuario esta inicia en 5 V y cambia a 0 V cuando han pasado 710 µs.

Tabla

Descripción generada automáticamente con confianza media

Figura . Resultado Simulación Comportamiento *MEF*

Como se puede observar en la *Figura* *72*, la MEF se comporta como estaba diseñada, mientras el Reset está en un 0 lógico solo el estado de espera se encuentra en un 1 lógico, y se mantiene en este estado hasta que alguna de las dos entradas de usuario se pone en un 1 lógico, y cuando la entrada de usuario 1 está en un 1 lógico, después del estado de carga, la maquina pasa a al estado de sentido 1, y pasa lo propio con la entrada de usuario 2.

Por último, se simula el circuito de Power On, para esto se alterna entre fuente conectada y fuente desconectada cada 15 ms, adicionalmente se conecta un Flip Flop para comprobar que el tamaño del pulso si este reiniciando estos mismos.

Gráfico

Descripción generada automáticamente

Figura . Simulación Circuito Power On

En la Figura 73 se puede observar que el Flip Flop si está reconociendo el pulso como un 1 lógico para el Reset asíncrono.

Para probar la máquina de estados a nivel de un circuito funcional primero se buscaron compuertas lógicas y Flip Flops comerciales que, preferiblemente, estén fabricados con tecnología CMOS, los componentes seleccionados fueron el CD4011B para las compuertas NAND, el CD74HC04 para las NOT, y por último el CD4013 para los Flip Flops.

Una vez seleccionados los componentes comerciales se recrea la MEF de la Figura 53 a la Figura 55 con estos, la muestra el esquemático de circuito.

Imagen que contiene texto, mucho, estacionamiento, llenado

Descripción generada automáticamente

Figura . Esquemático MEF Componentes Comerciales

Para las entradas DescargaSentido1 y DescargaSentido2 se usaron pulsadores con su correspondiente circuito de anti-rebote, en la *Figura 75* se puede observar el esquemático para esta entrada, el circuito anti-rebote consta de un filtro pasa bajos RC con sistema de descarga para el capacitor, este sistema evitara que el rebote presente en el pulsador llegue a la lógica de la MEF.

Imagen que contiene Escala de tiempo

Descripción generada automáticamente

Figura . Circuito de Entrada con Anti-Rebote

Por último, se monta el circuito para realizar las mediciones en el laboratorio (estas mediciones se toman con el reloj montado con componentes comerciales que se describirá en la sección 8.3.4).

Las primeras mediciones que se realizan son para comprobar que los estados solo cambien con las entradas correspondientes como se describen en la tabla de estados.

Imagen que contiene Escala de tiempo

Descripción generada automáticamente

Figura . Comportamiento del Estado 0 a la Entrada Descargasentido1

Una captura de pantalla de una computadora

Descripción generada automáticamente

Figura . Comportamiento del Estado 0 a la Entrada Descargasentido2

Interfaz de usuario gráfica

Descripción generada automáticamente con confianza media

Figura . Comportamiento del Estado 0 a la Entrada Chargefin

De la Figura 76 a la Figura 78 se puede observar que la maquina mantiene el estado 0, estado de espera, hasta que alguna de las entradas DescargaSentido1 o DescargaSentido2 se pone en un valor alto e ignora la entrada de Chargefin.

Interfaz de usuario gráfica

Descripción generada automáticamente

Figura . Comportamiento del Estado 1 a la Entrada Descargasentido1

Interfaz de usuario gráfica, Aplicación

Descripción generada automáticamente

Figura . Comportamiento del Estado 1 a la Entrada Descargasentido2

Una captura de pantalla de una computadora

Descripción generada automáticamente

Figura . Comportamiento del Estado 1 a la Entrada Chargefin

De la Figura 79 a la Figura 81 se puede observar que la maquina mantiene el estado 1, estado de carga, hasta que alguna de la entrada Chargefin se pone en un valor alto e ignora las entradas de DescargaSentido1 y DescargaSentido2.

Por último, se tiene que tomar el funcionamiento del circuito con los estados 2 y 3 pero debido a las velocidades del circuito no se pudo tomar las medidas como se tomaron para los estados 0 y 1 pero como se puede observar en la Figura 82 y la Figura 83 siempre que la MEF se encuentra en el estado 2 o 3 pasa inmediatamente al estado 0, como fue diseñado.

Interfaz de usuario gráfica

Descripción generada automáticamente con confianza media

Figura . Comportamiento del Sistema con Descarga en Sentido 1

Interfaz de usuario gráfica

Descripción generada automáticamente

Figura . Comportamiento del Sistema con Descarga en Sentido 2

Las siguientes medidas que se toman son del correcto funcionamiento de la máquina de estados finitos, en la Figura 82 se observa que la MEF pasa del estado 0 al estado 1 cuando la entrada DescargaSentido1 está en 1, posterior a esto cambia del estado 1 al estado 2 cuando Chargefin está en 1 como se tenía previsto, y en la Figura 83 ocurre algo similar a lo anteriormente descrito con la diferencia que esta vez es DescargaSentido2 la que está en 1 y por consiguiente el cambio del estado 1 es al estado 3.

Las últimas medidas que se toman son del funcionamiento de la lógica de salida.

### **8.3.4 Reloj**

Para realizar la simulación del reloj primero se simula una sola de las negadoras que conforman el anillo de oscilación, a este se le conecta a la entrada una señal cuadrada que oscila entre 0 y 5 voltios a una frecuencia de 5 kHz y a la salida se le conecta la entrada de otra estancia de la misma compuerta para que la capacitancia a la salida de la primera compuerta sea igual a la suma de la capacitancia de entrada y la capacitancia de salida, en la Figura 82 se puede observar el esquemático descrito.

Diagrama

Descripción generada automáticamente

Figura . Esquemático Simulación Compuerta Negadora del Anillo de Oscilación

La Figura 85 es el resultado de la simulación, de esta se puede extraer que el tiempo de subida es y el tiempo de bajada es , la suma de estos tiempos es , si este tiempo se multiplica por nos da un periodo de .

Gráfico

Descripción generada automáticamente

Figura . Resultado Simulación Compuerta Negadora del Anillo de Oscilación

La siguiente simulación realizada es el anillo de oscilación de 13 etapas, para esto se extrae el modelo PSpice del mismo y se alimenta con una fuente de 5 V como se puede observar en la *Figura 86*.

Calendario

Descripción generada automáticamente

Figura . Esquemático Simulación Anillo de Oscilación

El resultado de la simulación está representado en la *Figura 87*, en esta se puede observar que el periodo de oscilación es de 221.613 µs, si bien estos valores difieren del periodo calculado por un 10.8% como se explicó con anterioridad para este trabajo de grado no se requiere una exactitud en la frecuencia del reloj.

Diagrama

Descripción generada automáticamente

Figura . Resultado Simulación Anillo de Oscilación

Por último, para reducir los tiempos de subida y de bajada a la salida del reloj se agregan dos negadoras conectadas como un buffer, como se puede ver en la *Figura 88*, estas negadoras deben tener un tiempo de subida y de bajada relativamente menor con respecto a los tiempos de las negadoras usadas para el anillo, para este caso se usaron las negadoras anteriormente diseñadas en este capítulo.

Diagrama

Descripción generada automáticamente con confianza baja

Figura . Esquemático Simulación Salida Anillo de Oscilación

La *Figura 89* muestra la salida del anillo de oscilación, la gráfica verde, y la salida del reloj después de las negadoras en buffer, grafica azul, como se puede apreciar la gráfica azul tiene una pendiente entre los cambios de estado más pronunciada que la gráfica verde, el único inconveniente con esta salida recae en que el periodo de salida aumenta ligeramente hasta un valor de 229.232 µs.

Un dibujo de una persona

Descripción generada automáticamente con confianza baja

Figura . Resultado Simulación Salida Anillo de Oscilación

El problema presente a la hora de probar el reloj a nivel de un circuito funcional es que comercialmente no se consiguen compuertas NOT ni transistores con un L igual o similar al calculado, para solucionar este problema se seleccionan las mismas compuertas negadoras que se seleccionaron en el diseño de la MEF y, a la salida de cada compuerta, se agrega un capacitor entre esta y tierra, esto aumenta los tiempos de subida y de bajada de la compuerta comercial.

Para alcanzar la frecuencia deseada en el anillo de oscilación con los CD74HC4 se agregan capacitores de un valor de 470 nF y se conectan 11 compuertas como se puede observar en la Figura 90, en esta misma figura también se observan 3 negadoras que se identifican como U1D, U1E y U1F, estas NOT cumplen la función de reducir los tiempos de subida y bajada del reloj.

Diagrama

Descripción generada automáticamente con confianza media

Figura . Esquemático con Componentes Comerciales

La *Figura 91* muestra el funcionamiento del circuito, de esta se obtiene que el reloj tiene una frecuencia de oscilación de 1.59 KHz, y unos tiempos de subida y bajada de 20 ns y 19 ns respectivamente.

Gráfico, Histograma

Descripción generada automáticamente

Figura . Medición Reloj con Componentes Comerciales

# **COMPROBACIÓN CIRCUITO ESCALA MESO**

Luego de haber comprobado y analizado cada uno de los bloques, se procede a comprobar el funcionamiento del sistema en conjunto, es decir, conectando la MEF a cada una de sus respectivas terminales, y la bomba de carga unida al circuito RLC.

Para comprobar el funcionamiento del circuito en su totalidad se analizaron cada una de las etapas de las terminales revisadas con anterioridad, verificando que el comportamiento sea el mismo o similar a su contraparte en solitario. De este se pudo verificar que, en el caso de la MEF, esta no tenía retardos ni caídas de voltajes, como se esperaba gracias a los cálculos realizados. Adicional, el voltaje de carga sobre el capacitor y la forma de corriente en el circuito RLC se mantuvieron respecto a lo obtenido en las secciones anteriores.

Comprobando el funcionamiento del circuito respecto al cambio de polaridad de un imán, se planteó el siguiente experimento:

1. Se mide el voltaje del sensor sin ninguna carga.
2. Se mide el voltaje del sensor agregando la bobina sin aplicar ningún cambio.
3. Se aplican 5 pulsos por un lado para modificar el campo del imán y se mide el voltaje luego de esta operación.
4. Se aplican 5 pulsos por el otro lado para restaurar el campo inicial del imán y se mide el voltaje sobre el sensor.

El imán sobre el que se hizo la comprobación es un imán de tipo cinta magnética del tamaño del núcleo de aire de la bobina, el cual se observa en la Figura 92.

Imagen que contiene interior, tabla, reloj, pequeño

Descripción generada automáticamente

Figura . Referencia Tamaño Imán Modificado

A partir de este procedimiento se obtiene la siguiente la siguiente tabla en la que se resumen los voltaje y campos obtenidos:

|  |  |  |
| --- | --- | --- |
| Elemento | Voltaje Sensor [V] | Campo Magnético [mT] |
| No Objeto | 2.5000003 | 0.00002 |
| Imán Sin Modificar | 2.500015 | 0.001 |
| Imán Modificado Sentido 1 | 2.499923 | -0.005133333 |
| Imán Modificado Sentido 2 | 2.50007493 | 0.004995333 |

Tabla . Resultado Modificación Imán

Como se aprecia en la *Tabla 14*, el imán antes de inducirle un campo por medio del pulso posee un campo de baja magnitud, al generar la primera cantidad de pulsos, el imán se magnetiza hacía el lado contrario al que estaba con un valor 5 veces mayor. al hacer el proceso contrario, el imán se remagnetiza a su estado original, pero con una magnitud aproximadamente 5 veces mayor, confirmando el funcionamiento del circuito y del procedimiento realizado para remagnetizar imanes.

# **CONCLUSIONES Y TRABAJO A FUTURO**

Una de las cosas más importantes a resaltar es la comparación de las bobinas, gracias a esto, fue posible conocer la mejor bobina, dentro de las seleccionadas, para este tipo de aplicación. A partir de los resultados obtenidos se concluyó que características como la cantidad de vueltas, el tamaño de las pistas o la geometría de la bobina, afectan al desempeño de esta, ya que su campo se modifica en magnitud. Otro aspecto importante para resaltar de estas características es que la bobina gruesa es aquella con menor resistencia, esto permite obtener campos más altos con voltajes más bajos en comparación con las bobinas planares.

Algunas ventajas que ofrece la bobina planar sobre la bobina gruesa es que las bobinas planares pueden ser usadas en aplicaciones que no requieran de campos demasiado altos y tengas espacios reducidos, por ejemplo, en micro fabricación o VLSI.

A pesar de que la bomba de carga no elevó hasta los 50 V necesarios para generar la magnitud del pulso requerido, fue posible comprobar que esta topología funciona para hacer elevaciones de voltaje en algunas aplicaciones, como en el caso de VLSI, que como fue demostrado, este tipo de circuito puede ser implementado a este nivel para luego ser agregado a otros proyectos.

Si bien un microcontrolador como el Arduino sirve como control en este tipo de proyectos, si se quiere fabricar en VLSI, uno de estos es sobredimensionado ya que en silicio ocuparía una gran cantidad de espacio, por el contrario, una MEF requiere una menor cantidad de espacio puesto que estas se diseñan acorde a las necesidades del diseño, lo que conlleva menos elementos lógicos y cumple el mismo objetivo.

Los relojes son una parte vital para los circuitos lógicos síncronos, comúnmente estos se fabrican con un cristal de cuarzo debido a la precisión que estos brindan, el problema es que estos cristales ocupan un gran espacio, para solucionar este problema se puede usar un anillo de oscilación ya que esto se puede fabricar enteramente en micro fabricación.

Algunas opciones para la continuación de este trabajo de grado son la revisión de otros tipos de bobinas que se puedan utilizar en este tipo de aplicaciones. Además, el diseño de una nueva MEF que pueda controlar diseño de un puente H o alguna otra topología que pueda ser utilizada para inyectar la corriente sobre la bobina para generar el campo. Otra posible continuación es el diseño de un reloj que pueda ser implementado en VLSI el cual no consuma tanta corriente como lo hace el anillo de oscilación. Como última recomendación es el estudio de distintas topologías que sean más eficientes y que puedan ser utilizadas en VLSI para elevar voltajes, ya que esta parte suele ser recurrente para generar una alta corriente con el fin de generar altos campos magnéticos.

# **BIBLIOGRAFÍA**

[1] G. M. Moore, “Cramming more components onto integrated circuits With unit cost,” *Electronics*, vol. 38, no. 8, p. 114, 1965, [Online]. Available: https://newsroom.intel.com/wp-content/uploads/sites/11/2018/05/moores-law-electronics.pdf.

[2] B. Siciliano and O. Khatib, *Springer handbook of robotics*. 2016.

[3] K. Petersen, “Biomedical applications of MEMS,” 1996, doi: 10.1109/iedm.1996.553575.

[4] Y. Te Liao, W. J. Biederman, and B. P. Otis, “A fully integrated CMOS accelerometer using bondwire inertial sensing,” *IEEE Sens. J.*, 2011, doi: 10.1109/JSEN.2010.2052031.

[5] J. Keller, “DARPA asks industry for SWaP-optimized machine learning real-time ASICs able to learn from data,” *Mil. Aerosp. Electron.*, 2019, [Online]. Available: https://www.militaryaerospace.com/computers/article/16722067/darpa-asks-industry-for-swapoptimized-machine-learning-realtime-asics-able-to-learn-from-data.

[6] H. Kaeslin, *Digital Integrated Circuit Design From VLSI Architectures to CMOS Fabrication*. 2008.

[7] J. Fernández and G. Coronado, “Ley de Biot-Savart.” [Online]. Available: https://www.fisicalab.com/apartado/campo-magnetico-creado-corriente-electrica.

[8] H. Young, F. Sears, M. Zemansky, and R. Freedman, “Fisica Universitaria Vol.2,” in *Teoría electromagnética para estudiantes de ingeniería Notas de clase*, 2018.

[9] E. Purcell and D. Morin, *Electricity and Magnetism*, vol. 53, no. 9. 2013.

[10] F. A. Saad, “Air core flat spiral coil inductor.” [Online]. Available: https://www.shutterstock.com/es/image-vector/air-core-flat-spiral-coil-inductor-598372835.

[11] E. Paese, M. Geier, R. P. Homrich, and J. L. Pacheco, “Simplified mathematical modeling for an electromagnetic forming system with flat spiral coil as actuator,” *J. Brazilian Soc. Mech. Sci. Eng.*, 2011, doi: 10.1590/S1678-58782011000300008.

[12] F. Fiorillo, *Characterization and Measurement of Magnetic Materials*. 2004.

[13] E. González Vásquez, “Efecto skin,” 2017. https://cceea.mx/blog/ciencia/efecto-skin.

[14] EcuRed, “Efecto pelicular.” https://www.ecured.cu/Efecto\_pelicular (accessed Apr. 22, 2021).

[15] Georgia State University, “Efecto Pelicular en los Conductores de AC,” 2017. http://hyperphysics.phy-astr.gsu.edu/hbasees/electric/skineffect.html.

[16] S. Tumanski, *Handbook of magnetic measurements*. 2016.

[17] Melexis, “What is the Hall-effect?” [Online]. Available: https://www.melexis.com/en/articles/hall-effect.

[18] S. D. Senturia, *Microsystem Design*. 2002.

[19] COMSOL, “The Joule Heating Effect.” [Online]. Available: https://www.comsol.com/multiphysics/the-joule-heating-effect.

[20] H. D. Young and R. A. Freedman, *Física Universitaria con Física Moderna*. 2009.

[21] S. Martínez and S. Ramírez, “SISTEMA ELECTRÓNICO CONTROLADO A DISTANCIA PARA LA MAGNETIZACIÓN Y DEMAGNETIZACIÓN DE MATERIALES MAGNÉTICOS GENERANDO PULSOS DE CORRIENTE DE GRAN MAGNITUD Y CORTA DURACIÓN,” 2017.

[22] C. Bugeja, “FlexAR Datasheet.” https://static1.squarespace.com/static/5f3a7a94dffd8f3670121653/t/5f66c8a1902e0625b91eb0ea/1600571554342/FlexAR+Datasheet+v1.1.pdf (accessed Jan. 11, 2021).

[23] K. Naishadham, “Closed-form design formulas for the equivalent circuit characterization of ferrite inductors,” *IEEE Trans. Electromagn. Compat.*, vol. 53, no. 4, 2011, doi: 10.1109/TEMC.2011.2116795.

[24] B. Kuo, *Sistemas de Control Automático*, Prentice H. 1996.

[25] N. Mohan, *Power Electronics Converters, Applications and Design 3rd*. 2003.

[26] J. F. Dickson, “On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique,” *IEEE J. Solid-State Circuits*, 1976, doi: 10.1109/JSSC.1976.1050739.

[27] C. A. M. Cruz, C. A. R. Filho, and V. R. Mognon, “A charge pump circuit without gate-oxide overstress for standard CMOS technology and suitable for low-power applications,” 2008, doi: 10.1109/EEEI.2008.4736619.

[28] Z. H. Hsieh, N. X. Huang, M. S. Shiau, H. C. Wu, S. Y. Yang, and D. G. Liu, “A novel mixed-structure design for high-efficiency charge pump,” *Proc. 16th Int. Conf. - Mix. Des. Integr. Circuits Syst. Mix. 2009*, no. i, pp. 210–214, 2009.

[29] D. Matoušek and L. Beran, “Comparison of positive and negative Dickson charge pump and Fibonacci charge pump,” *Int. Conf. Appl. Electron.*, no. 3, pp. 8–11, 2017, doi: 10.23919/AE.2017.8053595.

[30] D. Matousek, B. Brtnik, and J. Jordan, “Streamlined fibonacci charge pump,” *Int. Conf. Appl. Electron.*, vol. 2020-Septe, 2020, doi: 10.23919/AE49394.2020.9232866.

[31] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation: Third Edition*. 2011.

[32] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, “Digital Integrated Circuits (2nd Edition),” *Book*, 2003.

# **ANEXOS**

## **Archivos Producidos y Mediciones Realizadas**

A continuación, se presentan los enlaces donde se anexan archivos generados durante la realización del trabajo de grado, aquí se encontrarán elementos como los códigos con los modelos analizados de las bobinas, esquemáticos y resultados de simulación de las distintas etapas realizadas.

Enlace al repositorio github con los elementos del trabajo de grado:

<https://github.com/falacod/codigos-trabajo-de-grado>