



## Program Studi Teknik Elektro ITB

Nama Kuliah (Kode) : Praktikum Arsitektur Sistem Komputer (EL3111)  
Tahun / Semester : 2023-2024 / Ganjil  
**Modul** : 1 RV32I INSTRUCTION SET,REGISTER,DAN MEMORY  
**Nama Asisten / NIM** :  
**Nama Praktikan / NIM** : Muhammad Falih Rosyidi / 13223095

---

### ABSTRAK

Praktikum ini bertujuan agar praktikan memahami arsitektur mikroprosesor RISC-V (RV32I) beserta alur eksekusinya (single-cycle) dan implementasi dasar dalam bahasa Verilog HDL. Praktikum dilakukan dengan mempersiapkan data pada register dan instruction code untuk imemory. Selain itu, diperlukan juga software yang digunakan mencakup *Venus (RV32I simulator)*, *Quartus® Prime*, *ModelSim*, dan *Notepad++*. Setelah semua kode dan software dipersiapkan maka masuklah ke mode pengujian.

Pada mode ini praktikan akan menguji functional dan timing dari kode yang sudah dibuat. Functional diuji dan dianalisis menggunakan software Quartus sedangkan timing diuji dan dianalisis menggunakan ModelSim. Pengujian dan analisis ini dilakukan dalam setiap tugas pada modul 1 ini.

Hasil yang diharapkan dari tiap simulasi adalah output yang sesuai atau sama. Pada tugas 1 dan tugas 2 itu hanya mengeluarkan instruction kode dari module imemory saja. Pembeda tugas 1 dan tugas 2 adalah penggunaan imemorynya, pada tugas 1 menggunakan memori sendiri sedangkan pada tugas 2 menggunakan ALTSYNCRAM. Setelah itu pada tugas 3 adalah mengimplementasikan data memory menggunakan ALTSYNCRAM, hal yang perlu diperhatikan di sini adalah data memory di-read saat posedge sedangkan di-write saat negedge. Terakhir tugas 4 hanyalah pengujian dari module register (32 buah register).

Dalam praktikum ini diharapkan praktikan dapat menulis program assembly sederhana untuk RISC-V dan mengimplementasikannya pada modul memory dan register pada file, memahami proses eksekusi instruksi (IF-ID-EX-MEM-WB), serta merealisasikan modul HDL yang dapat disintesis dan disimulasikan. Selain itu memahami kinerja fungsional dan timing dari module instruction memory, data memory dan register pada RISCV. Serta keuntungan dan trade-off penggunaan ALTSYNCRAM sebagai memori.

**TES AKHIR**