



Protocole de communication FPGA - Microcontrôleur

Responsable : Alain Lebègue

Etudiants : Yann SIONNEAU Jeremy CHEYNET

Objectifs : Décrire et implémenter un protocole de communication de type série sur un fil permettant à divers devices embarqués de communiquer. Les deux principaux devices ciblés sont une plaque de développement FPGA et une plaque de développement microcontrôleur (Arduino).

Solutions :

Nous avons décrit un protocole de type mixte asynchrone/synchrone avec l'originalité de se re-synchroniser à l'aide d'un timer sur chaque bit afin de palier aux défauts de déphasages possibles et de précision de la fréquence des oscillateurs internes des appareils embarqués.

Le protocole se décompose en 3 couches, la couche physique qui permet d'envoyer des bits et des octets avec un système de bit de parité, la couche mac qui permet de rassembler ces octets en paquets avec un système d'adresses ainsi qu'un checksum, une couche applicative qui permet à l'application tournant sur le device embarqué d'utiliser notre petite pile réseau en allant lire les données reçues dans un ring buffer de réception et en passant les données à envoyer à la couche mac pour émission.

Nous avons implémenté avec succès notre protocole sur la plaque de développement Arduino qui comporte un microcontrôleur de type AVR de chez Atmel : un AtMega328p

Nous n'avons cependant pas eu le temps d'implémenter le protocole sur FPGA, à cause de problèmes rencontrés lors de l'implémentation sur microcontrôleur.

Cependant une pile FIFO synchrone a été développée en Verilog et permet d'abstraire un block de SRAM afin d'en faire une FIFO sans avoir à gérer les adresses de lecture et d'écriture qui sont alors gérées en interne par notre pile FIFO. Cette pile FIFO Verilog a été testée en simulateur (en utilisant le logiciel libre Icarus Verilog) afin de produire des chronogrammes de fonctionnement via le logiciel libre GTKWave qui nous ont permis de valider le design de la pile FIFO.

Module "Projets Industriels, de Développement et de Recherche"

Projet de type Développement