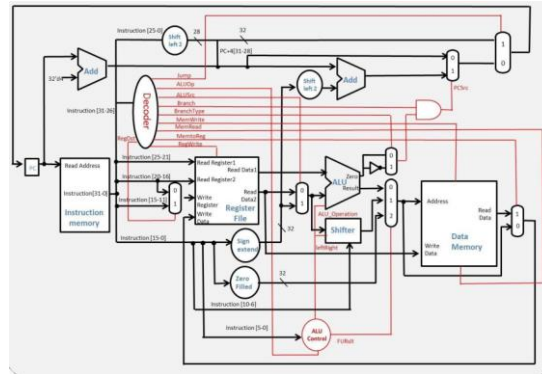


Computer Organization HW4

309832014 洪翊瑞

Architecture diagrams:



Hardware module analysis:

比起 Lab3，額外使用了 8 個元件，其中有 4 個 Mux2、1 個 DataMemory、1 個 adder、2 個 shifter，並且要透過這些元件來達成新增 lw, sw, beq, bne, jump 等等功能。

Finished part:

Simple_Single_CPU.v: 有一半與 HW3 是相同的，因此直接從 HW3 複製過來，並且添加這次的 8 個新 module 進來接線。需要注意的是，pc_in 與 Register_File 的 WriteData 等等要接的位置與 HW3 有些許不同，因此在貼上後需要再另外進行修改。pc_in 變成 jump_mux 的輸出，而 Register_File 的 WriteData 要接 MemtoReg_Mux 的輸出。其餘新增的部分則是照著 Architecture 進行線路連接即可。

Decoder.v: 比起 HW3，額外新增了許多 Control signal，需要針對不同的 instruction_i 來產生對應的 Control signal，在這個部分我參考講義 CH4. 的 page. 48 整理得十分清晰明瞭，可以幫助我們快速完成 Decoder 的設計。但令我不解的是 HW4 的 RegDst_o, MemtoReg_o 這兩項從原本 HW3 的 1bit 升級為 2bit，但因為在 architecture 上都僅為 1bit 的控制 signal，助教提供的 template 似乎不是那麼必要使用到 2bit？

ALU_Ctrl.v: 為 lw, sw, beq, bne, jump 提供控制 ALU 的訊號，lw 和 sw 就讓 ALU 做加法，beq 和 bne 做減法，而 jump 在 data path 上不會使用到 ALU，所以不用特別設計。

Problems you met and solutions:

最初連 PC 都有問題，根據波形圖，一步一步往回追溯到源頭，就會發現對同一個訊號 assign 了兩次，造成整個都變成 X，後來把多餘的 assign 刪掉就正常了。

Summary: 這次的 HW4，比起 HW3 更加複雜了！難度循序漸進的作業很棒，推推！