

计算机组成与体系结构试题

班级_____ 学号_____ 姓名_____ 成绩_____

考试说明

一、在每张答题纸上均要写明班级、学号和姓名。

二、所有答案请写在答题纸上，只写题号，手写对应题目的计算过程和答案。考试结束后 5 分钟内，对答题纸拍照、生成 PDF 文件，使用 i 北理---课程群的文件收集功能上传答卷。

三、保持答题纸整洁，因答题纸字迹不清楚造成误判，责任自负。

四、考试时间为 90 分钟。

一. (10 分) 某浮点数 x 按 IEEE 754 标准表示，其十六进制存储格式为 $(C1360000)_{16}$ ，则其十进制数值是多少？写出计算过程。

二. (10 分) 设某机为定长指令字结构，指令长度 12 位，每个地址码占 3 位，试提出一种分配方案，使该指令系统包含：4 条三地址指令，16 条二地址指令，64 条单地址指令和 16 条零地址指令。

三. (12 分) 假定部分主存单元中的内容见下表：

主存地址	内 容
1200H	120CH
120CH	38B8H
38B8H	88F9H

在以下各情况下，操作数的有效地址和操作数各是多少？

(1) 操作数采用变址寻址，变址寄存器中的值为 12，指令中给出的形式地址为 1200H。

(2) 操作数采用一次间接寻址，指令中给出的地址码为 120CH。

(3) 操作数采用寄存器间接寻址，指令中给出的寄存器编号为 8，8 号寄存器的内容为 1200H。

四. (12 分) 定点除法运算需要几个寄存器？它们各自的作用如何？设：

$$X = -\frac{9}{16}, Y = \frac{11}{16}, \text{求: } X \div Y.$$

要求采用补码加减交替法进行运算，写出运算的中间过程。

五. (12 分) 某机器中, 已知有一个地址空间为 0000~1FFFH 的 ROM 区域, 现再用 RAM 芯片 (8K×4) 形成一个 16K×8 的 RAM 区域, 起始地址为 2000H, 假设 RAM 芯片有 \overline{CS} 和 \overline{WE} 信号控制端, CPU 地址总线为 A15~A0, 数据总线为 D7~D0, 控制信号为 R/ \overline{W} (读/写), \overline{MREQ} (当存储器进行读或写时, 该信号为指示地址总线的地址是有效的)。要求画出主存的逻辑图。(假设 ROM 由一片 ROM 芯片组成)。

六. (12 分) CPU 执行一段程序时, Cache 完成存的次数为 5000 次, 主存完成存的次数为 200 次。已知 Cache 存取周期为 40ns, 主存存取周期为 160ns, 问:

- (1) Cache 的命中率是多少?
- (2) CPU 访存的平均访问时间是多少?
- (3) Cache-主存系统的效率是多少?

七. (12 分) 设有 8 条微指令, 每条微指令所含的微命令控制信号如下表所示:

微指令	微命令信号									
	a	b	c	d	e	f	g	h	i	j
I ₁	√					√	√		√	√
I ₂	√				√			√		
I ₃		√								
I ₄							√	√		
I ₅				√		√				√
I ₆	√		√		√					
I ₇				√			√	√		
I ₈	√			√					√	

a~j 分别代表 10 种不同性质的微命令信号, 假设一条微指令的操作控制字段为 8 位, 请安排微指令的操作控制字段的格式, 并分别将 8 条微指令代码化。

八. (10 分) 假设数据序列为 101010111000001, 试分别用不归零-1 制(NRZ-1)、调相制(PE)、调频制(FM)和改进的改进型调频制(M²FM)画出写电流波形。

九. (10 分) 某机的中断系统有 5 个中断源, 每个中断源对应一个屏蔽码, 中断响应的优先次序为 1→2→3→4→5, 现要使中断处理次序改为 1→4→2→5→3, 请写出其对应的中断屏蔽码。(“0”表示开放, “1”表示屏蔽)。