

考前复习重点章节为：

第2、3、4、5、6、9章

非重点章节为：

第1、7、8章



考试形式:

闭卷机考，百分制，从登入开始计时90分钟，时间耗尽自动提交。

考试范围:

教材、作业以及课件。



考试题型：单选（**1分1道，40道/40分**）

判断（**1分1道，10道/10分**）

多选（**2分1道，25道/50分**）

**共75道题，总分100分。**

每个题目会有标识：难题和基础题，**供大家规划时间。**

单选：基础 **30道**，难题**10道**

判断：基础**7道**，难题**3道**

多选：基础**18道**，难题**7道**



- 多选题正确答案大于等于**1**，只要有**错项**则扣全分。
- 一页一题，题目相同，题序不同，允许**回看**，从登入开始计时，时间耗完自动提交。请安排好时间。



## 考试注意：

- 1、请遵守学校以及考试系统考试要求。
- 2、考试时请带好证件和笔，不需要计算器，现场提供草稿纸。草稿纸**左上角**请写好**姓名-学号-机房编号-考试机位**，**草稿纸离场前上交**，没有上交计0分。
- 3、考前请查阅明确好机考考场，提前15分钟入场，确保登入考试系统无误。
- 4、出现机器故障或者其他不可意料情况，请及时联系监考老师，听从监考老师安排。

基础题型请注意看课件和教材的有关概念和应用。

难题请注意平时的作业。如：

- ❖ 定点、浮点数的表示范围
- ❖ 指令的寻址方式（有效地址的计算）
- ❖ 定点加、减、乘、除运算
- ❖ 字节编址存储器的数据存放方法
- ❖ 由若干存储芯片构成存储器
- ❖ 微指令操作控制字段的安排
- ❖ 常见磁记录方式
- ❖ 中断升级



# 第1章

存储程序概念

CPU

主机

总线

计算机系统



## 第2章

- 无符号数

- 带符号数

真值、机器数

- 原码、补码、反码表示

- 三种机器数对于真值0的表示方法

- 三种机器数的比较





- 定点小数表示范围（原码、补码）
- 定点整数表示范围（原码、补码）
- 浮点数表示范围
- 规格化的浮点数
- 阶码的移码表示



- ❏ ASCII码
- ❏ 汉字国标码
- ❏ 汉字区位码
- ❏ 汉字机内码
- ❏ 国标码、区位码与机内码之间的转换
- ❏ 汉字字形码



- 8421码、2421码、余3码
- 奇偶校验码
- 奇偶校验位
- 汉明码



真值与三种机器数间的对照

真值 X		[X] <sub>原</sub> [X] <sub>补</sub> [X] <sub>反</sub>	真值 X		[X] <sub>原</sub>	[X] <sub>补</sub>	[X] <sub>反</sub>
十进制	二进制		十进制	二进制			
+0	+000	0000	-0	-000	1000	0000	1111
+1	+001	0001	-1	-001	1001	1111	1110
+2	+010	0010	-2	-010	1010	1110	1101
+3	+011	0011	-3	-011	1011	1101	1100
+4	+100	0100	-4	-100	1100	1100	1011
+5	+101	0101	-5	-101	1101	1011	1010
+6	+110	0110	-6	-110	1110	1010	1001
+7	+111	0111	-7	-111	1111	1001	1000
+8	-	-	-8	-1000	-	1000	-

原码定点小数表示范围为： $-(1-2^{-n}) \sim (1-2^{-n})$

补码定点小数表示范围为： $-1 \sim (1-2^{-n})$   
若机器字长有8位，则：

原码定点小数表示范围为： $-(1-2^{-7}) \sim (1-2^{-7})$

补码定点小数表示范围为： $-1 \sim (1-2^{-7})$

原码定点整数的表示范围为： $-(2^n-1) \sim (2^n-1)$

补码定点整数的表示范围为： $-2^n \sim (2^n-1)$

若机器字长有8位，则：

原码定点整数表示范围为： $-127 \sim 127$

补码定点整数表示范围为： $-128 \sim 127$



浮点数设阶码和尾数均用补码表示，阶码共 $k+1$ 位（含一位阶符），尾数共 $n+1$ 位（含一位尾符）。

浮点数的典型值	浮点数代码		真值
	阶码	尾数	
最大正数	$01\cdots 1$	$0.11\cdots 11$	$(1-2^{-n})\times 2^{2^i-1}$
绝对值最大负数	$01\cdots 1$	$1.00\cdots 00$	$-1\times 2^{2^i-1}$
最小正数	$10\cdots 0$	$0.00\cdots 01$	$2^{-n}\times 2^{-2^i}$
规格化的最小正数	$10\cdots 0$	$0.10\cdots 00$	$2^{-1}\times 2^{-2^i}$

# 实用浮点数——IEEE754标准（单精度）

- 格式
- 偏置值
- 特点
- 转换





## 第3章

- 非规整型指令的操作码（扩展操作码）
- 编址方式
  - 字编址、字节编址
- 指令中地址码的位数
  - 主存容量、最小寻址单位
- 数据寻址和指令寻址



## 常见寻址方式

立即寻址、直接寻址、间接寻址、相对寻址、变址寻址、页面寻址

## 有效地址EA的计算

直接寻址、间接寻址、变址寻址、页面寻址



- 存储器堆栈操作

  - 进栈、出栈时栈指针的修改和数据的压入和弹出

- 程序控制类指令

  - 转移、转子、返回指令的区别

- 输入/输出类指令

  - 独立编址I/O、统一编址I/O

- CISC**:复杂指令系统计算机

- RISC**:精简指令系统计算机

## 指令中地址码的位数

指令格式中每个地址码的位数是与主存容量和最小寻址单位（即编址单位）有关联的。主存容量越大，所需的地址码位数就越长。对于相同容量来说，如果以字节为最小寻址单位，地址码的位数就需要长些；如果以字为最小寻址单位（假定字长为16位或更长），地址码的位数可以减少。

假设主存容量为32MB，机器字长64位。若最小寻址单位为字节（按字节编址），其地址码应为25位；若最小寻址单位为字（按字编址），其地址码只需22位。



数据寻址和指令寻址的区别。

数据寻址，指的是寻找操作数的地址，其最终目的是寻找所需要的操作数。

寻址方式是根据指令中给出的地址码字段寻找真实操作数地址的方式。

指令中的形式地址A<sup>寻址方式</sup>→有效地址EA



## 常见的数据寻址方式

- 立即寻址
- 寄存器寻址
- 直接寻址
- 寄存器间接寻址
- 间接寻址
- 变址寻址
- 相对寻址
- 页面寻址



自底向上生成的存储器堆栈的堆栈操作。

进栈时，SP的内容需要先自动减1，然后再将数据压入堆栈。

出栈时，需要先将堆栈中的数据弹出，然后SP的内容再自动加1。





## 第4章

- 补码加/减法运算

- 溢出检测方法

  - 一位符号位，进位位，双符号位补码

- 补码的移位运算



## ➤ 加法器

串行加法器与并行加法器

## ➤ 进位的产生和传递

## ➤ 并行加法器快速进位

## ➤ 补码一位乘法

## ➤ 补码加减交替除法

## ➤ 浮点加减乘除算法

## ➤ 逻辑运算



## 进位的产生和传递

影响并行加法器速度的关键因素是进位信号产生和传递的时间。

进位产生函数和进位传递函数

进位的传递方式有：

串行进位方式

并行进位方式

分组并行进位方式（单级先行进位方式和多级先行进位方式）

乘除法运算需要的3个寄存器，各寄存器的作用（初始内容和最终结果）。

定点补码一位乘法（Booth乘法）和定点补码不恢复余数除法的运算过程。

浮点加、减、乘、除算法。

逻辑运算是按位进行的，位与位之间没有进位/借位的关系。

## 第5章

- 主存储器的基本结构

- 主存储器的存储单元

位，存储字，存储单元，存储体

- 主存储器的主要技术指标

存取时间 $T_a$ ，存取周期 $T_m$

- 数据在主存中的存放

边界对齐存放



- RAM记忆单元电路

- 动态RAM的刷新

  - 集中、分散、异步刷新方式的区别

- 半导体只读存储器

  - ROM的类型



- 主存容量的扩展

字扩展，位扩展，同时扩展

- 存储芯片的地址分配和片选

- 主存储器和CPU的连接

硬连接，软连接

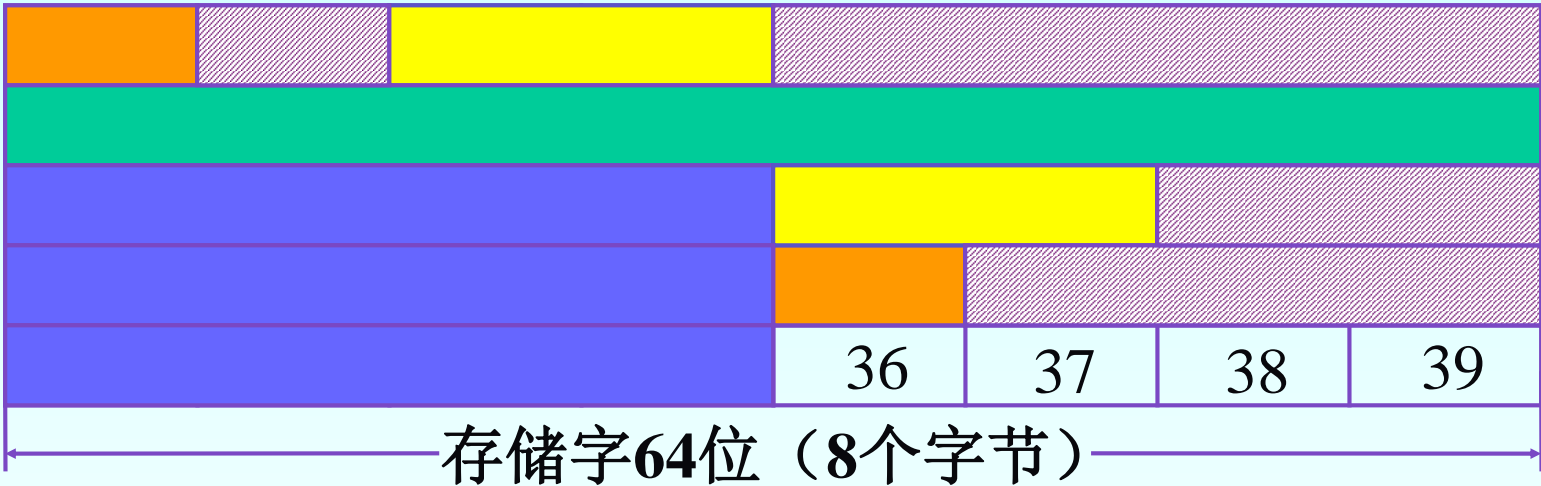


## 边界对齐的数据存放方法

双字地址的最末三个二进制位必须为**000**，单字地址的最末两位必须为**00**，半字地址的最末一位必须为**0**。它能够保证无论访问双字、单字、半字或字节，都在一个存取周期内完成，尽管存储器资源仍然有浪费，但是浪费比从存储字开始存放方法要少得多。







## 半导体随机存储器（RAM）

- 静态RAM（SRAM），其存储电路以双稳态触发器为基础。
- 动态RAM（DRAM），其存储电路以栅极电容为基础。




主存储器是整个存储系统的核心，通常分为**RAM**和**ROM**两大部分。

主存储器容量的扩展

位扩展指只在位数方向扩展（加大字长），而芯片的字数和存储器的字数是一致的。

字扩展是指仅在字数方向扩展，而位数不变。

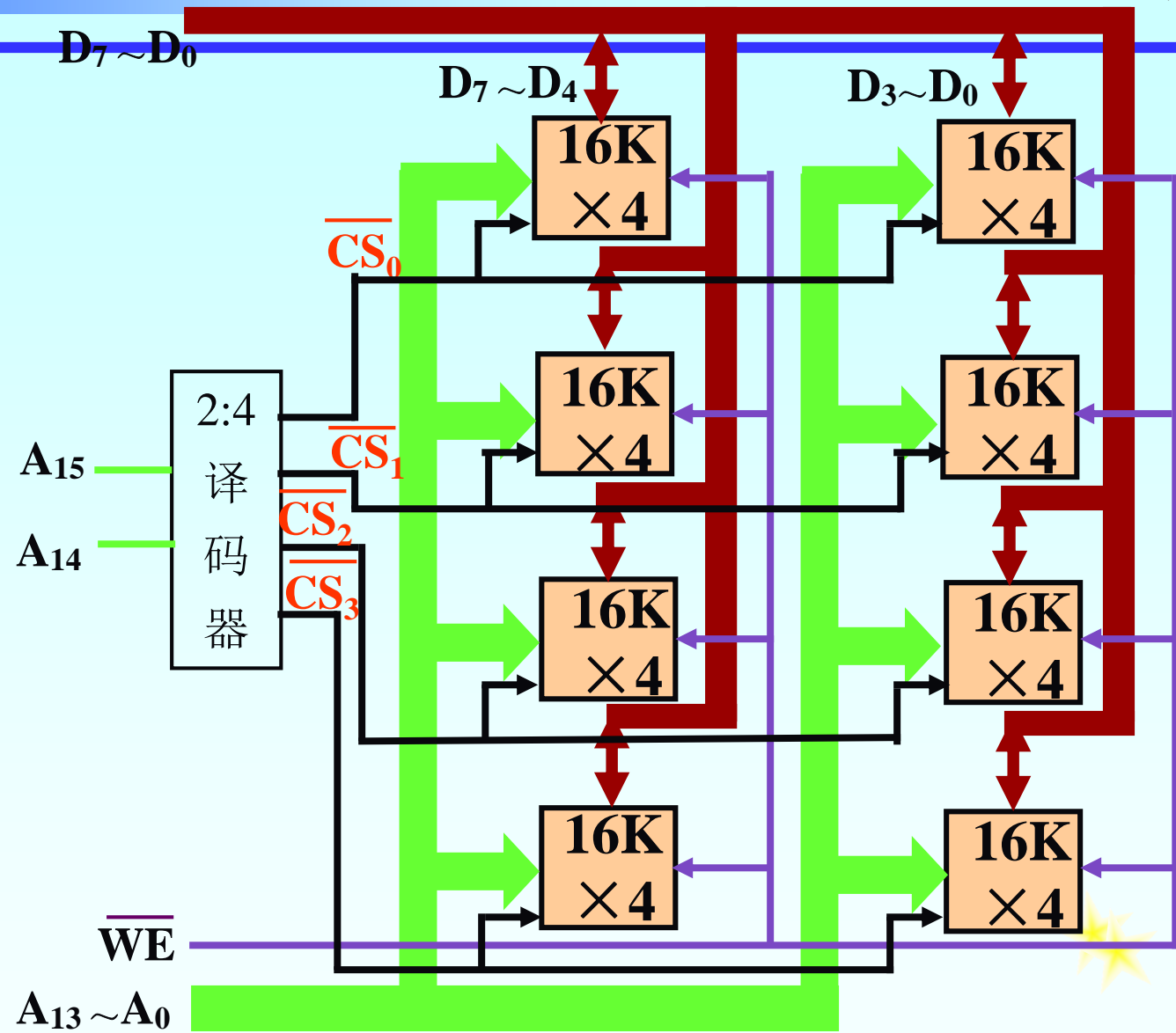


# 字和位同时扩展

当构成一个容量较大的存储器时，往往需要在字数方向和位数方向上同时扩展。

如用 $16\text{K} \times 4$ 的SRAM组成 $64\text{K} \times 8$ 的存储器，需要8个芯片。

	容量	地址	数据
存储器	$64\text{K} \times 8$	16	8
存储芯片	$16\text{K} \times 4$	14	4



## 第6章

### 控制器的功能

指令流，数据流

### CPU中的主要寄存器

专用寄存器



- 控制器的组成

- 控制器的硬件实现方法

组合逻辑控制器和微程序控制器的区别

- 时序系统

指令周期，机器周期

- 控制方式

同步，异步，联合



- 指令执行的基本过程

- 指令的微操作序列

  - 取指令操作

- 微程序控制的基本概念

  - 微程序控制器涉及的两个层次





- 微指令编码法
- 微程序控制器的组成和工作过程
- 微程序控制器的各部件的作用
- 微程序入口地址的形成
- 后继微地址的形成



## CPU寄存器的设置

**通用寄存器：**可用来存放原始数据和运算结果，有的还可以作为变址寄存器、计数器、地址指针等。

**专用寄存器：**程序计数器PC、指令寄存器IR、存储器地址寄存器MAR和存储器数据寄存器MDR等之外，还有一个重要的专用寄存器——状态标志寄存器。

取指令阶段完成的任务是将现行指令从主存中取出来并送至指令寄存器中去。具体的操作为：

$(PC) \rightarrow MAR$


**Read**

$((MAR)) \rightarrow MDR \rightarrow IR$

$(PC) + 1 \rightarrow PC$

取指令操作（公操作）与具体指令无关。

微命令有兼容性和互斥性之分，兼容性微命令是指那些可以同时产生，共同完成某一些微操作的微命令；而互斥性微命令是指在机器中不允许同时出现的微命令。兼容和互斥都是相对的，一个微命令可以和一些微命令兼容，和另一些微命令互斥。对于单独一个微命令，谈论其兼容和互斥都是没有意义的。



微指令是指控制存储器中的一个单元的内容，即控制字，它是若干个微命令的集合。存放控制字的控制存储器的单元地址就称为微地址。

一条微指令通常至少包含两大部分信息：操作控制字段和顺序控制字段。

微程序：一系列微指令的有序集合。  
一段微程序对应一条机器指令。

微程序控制的计算机涉及到两个层次：一个是机器语言或汇编语言程序员所看到的传统机器层，包括：机器指令、工作程序、主存储器；另一个是机器设计者看到的微程序层，包括：微指令、微程序和控制存储器。



# 微指令编码法

直接控制法（不译码法）

最短编码法

字段编码法



字段编码法中操作控制字段的分段原则：

(1) 把互斥性的微命令分在同一段内，兼容性的微命令分在不同段内。

(2) 应与数据通路结构相适应。

(3) 每个小段中包含的信息位不能太多。

(4) 一般每个小段还要留出一个状态，表示本字段不发出任何微命令。因此当某字段的长度为三位时，最多只能表示七个互斥的微命令，通常用000表示不操作。





## 微程序控制器的基本组成

微程序控制器比组合逻辑控制器多出以下几个部件：

控制存储器（**CM**）

微指令寄存器（ **$\mu$ IR**）

微地址形成部件

微地址寄存器（ **$\mu$ MAR**）



## 微程序入口地址的形成

由机器指令的操作码字段指出各段微程序的入口地址（初始微地址）。

## 后继微地址的形成

增量方式和断定方式。



## 第7章

- 三态门
- 总线分类
- 总线的主要性能指标

**总线带宽**


- 总线标准



总线带宽定义为总线的最大数据传输率，即每秒传输的字节数。在总线的带宽公式为：

$$B=W \times F/N$$

其中， $W$ 为数据总线宽度，通常以字节为单位； $F$ 为总线的时钟频率； $N$ 为完成一次数据传送所用的时钟周期数。



## 第8章

- 磁表面存储原理

记录介质，磁头

- 磁表面存储器的技术指标

记录密度，存储容量，平均存取时间，数据传送率

- 数字磁记录方式

常用的磁记录方式



- 硬盘的信息分布：圆柱面（磁道）、盘面、扇区。
- 磁盘地址



- ❧ 非编码键盘的工作原理
- ❧ 打印机的文本（字符）模式和图形模式
- ❧ 点阵式字符打印机工作原理
- ❧ 显示器的字符方式和图形方式
- ❧ 字符显示器工作原理



硬拷贝输出设备和软拷贝输出设备。

文本模式打印机：打印缓存区（ASCII码），字库（列点阵码）。

字符方式显示器：VRAM（ASCII码），字库（行点阵码）。





## 第9章

- 输入/输出接口

- 接口的基本组成

接口，端口

- I/O编址方式

  - 独立编址，统一编址

- 中断的基本概念

- 中断与调用子程序指令的区别

- 中断的基本类型
- CPU响应中断的条件
- 中断隐指令
- 中断现场的保护和恢复
- 允许和禁止中断
- 中断屏蔽



- ❏ **DMA方式的特点**
- ❏ **DMA接口（DMA控制器）**
- ❏ **DMA传送方法**
- ❏ **DMA传送过程**



# 输入/输出信息传送控制方式

- (1) 程序查询方式
- (2) 程序中断方式
- (3) 直接存储器存取（DMA）方式
- (4) I/O通道控制方式



## CPU响应中断的条件

- (1) CPU接收到中断请求信号
- (2) CPU允许中断
- (3) 一条指令执行完毕



中断隐指令并不是指令系统中的一条真正的指令，它没有操作码，所以中断隐指令是一种不允许、也不可能为用户使用的特殊指令。

- (1) 保存断点
- (2) 暂不允许中断
- (3) 引出中断服务程序



## 允许和禁止中断

允许中断还是禁止中断是用CPU中的中断允许触发器控制的，当中断允许触发器被置“1”，则允许中断，当中断允许触发器被置“0”，则禁止中断。

在中断服务程序的保护和恢复现场之前，应关中断。

在保护或恢复完中断现场之后，应开中断。

## 中断升级

中断升级实际上是一种动态改变优先级的方法。

改变优先次序是指改变中断的处理次序。中断处理次序和中断响应次序是两个不同的概念，中断响应次序是由硬件排队电路决定的，无法改变。但是，中断处理次序是可以由屏蔽码来改变的，故把屏蔽码看成软排队器。中断处理次序可以不同于中断响应次序。



在不应下次，蔽中，中改  
断条改以理，理  
中的过可处如处  
1→4→3→2。

程序级 别	屏 蔽 码			
	1级	2级	3级	4级
第1级	1	1	1	1
第2级	0	1	0	0
第3级	0	1	1	0
第4级	0	1	1	1

## DMA方式的特点

在外设和主存之间开辟一条“直接数据通道”，不需要CPU 干预也不需要软件介入在两者之间进行的高速数据传送方式。

## DMA接口（控制器）组成

主存地址计数器

传送长度计数器

数据缓冲寄存器

DMA请求触发器

控制/状态逻辑

中断机构



## DMA传送方法

- (1) CPU停止访问主存法
- (2) 存储器分时法
- (3) 周期挪用法

## DMA传送过程

- (1) DMA预处理
- (2) 数据传送
- (3) DMA后处理

