

实验二：单周期CPU设计

一、实验目的

- 1. 掌握RISCV指令格式与编码，掌握RISCV汇编转换成机器代码的方法。
- 2. 掌握单周期CPU的数据通路与控制器设计方法。
- 3. 掌握硬件描述语言与EDA工具。
- 4. 掌握基本测试与调试方法。

二、实验环境

- 1. 硬件描述语言 Verilog HDL
- 2. Vivado 2019.2 版本，AMD 官网下载。
- 3. RISC-V仿真器：RARS下载地址：
<https://github.com/TheThirdOne/rars>,
RARS需要配置Java环境，jdk下载地址：
<https://www.oracle.com/java/technologies/javase-jdk11-downloads.html>

三、实验内容

- 1. 设计并实现单周期处理器，支持包含RISC-V RV32I整数指令（LW，SW，ADD，SUB，ORI，BEQ）在内的指令子集等。
- 2. 测试程序：完成2后在该cpu上实现对5个整数的排序，仿真测试结果与RARS中运行结果对比正确。
- 3. 乐学提交实验报告、工程源代码和测试程序。

四、实验步骤

- 1、确定指令集指令条数、指令格式及编码，按照序号 1 填充表格 1。1 条指令一行，可以扩充，最后给出指令总数目。

表格 1 指令功能与数目

序号	操作码	助记符	功能	描述
1	10 0000	Add	$R[rd] \leftarrow R[rs] + R[rt]$; $PC \leftarrow PC + 4$	加法
2				
指令总数目				

2、参考图 1 设计并实现 CPU 数据通路，按照模块化设计方式，分子模块进行设计并在实验报告中记录仿真结果。

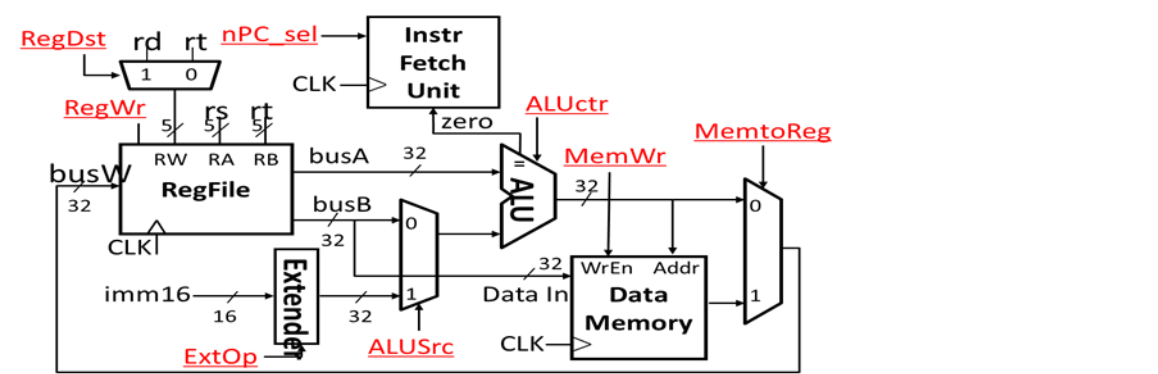


图 1 单周期 CPU 数据通路参考

3、根据数据通路设计结果，填充并扩展表格 2。每个控制信号占一行，每条指令占 1 列。

表格 2 CPU 模型控制信号列表

操作码 op	10 0000						
信号/指令	Add						
RegDst	1						
ALUSrc	0						
MemtoReg	0						
RegWrite	1						
MemWrite	0						
nPC_sel	0						
ExtOP	X						
ALUctr[1:0]	00(add)						

4、根据表格 2 控制信号完成控制器设计，可以采用微程序方式或者组合逻辑硬链接方式。前者在实验报告中提供微指令的格式，并提供控制存储器的内容文件。在实验报告中提供逻辑表达式。

5、用RISC-V汇编编写测试程序：实现对5个整数的排序。可以采用直接输入，或者将数据初始化到数据存储器的实现方式。在实验报告中画出程序流程图，并且将源代码写入表格3。用RARS仿真器进行仿真调试，并且保留机器码和调试结果。根据RARS的内容填写并且补充表格4。

表格 3

RISC-V汇编源代码粘贴处：

表格 4 指令与对应的机器码

序号	指令格式	具体指令	funct7 (31-25)	rs2 (24-20)	rs1 (19-15)	funct3 (14-12)	Rd (11-7)	Op (6-0)
1	add rd, rs1, rs2	add X9, X20, X21	0000 000	10101	10100	000	01001	011 0011
2								

6、将表格4的机器码写入指令存储器中，启动Vivado程序执行仿真，在实验报告中记录每条指令的仿真波形以及结果分析。对比执行每条指令后相关寄存器或者存储单元中保存的值和RARS软件执行的结果，填充表格5，验证执行结果的正确性。

表格 5 Vivado 仿真结果与 RARS 仿真结果比较

指令序列	单周期处理器仿真结果	RARS仿真结果

五、实验报告要求

- 1、按照实验步骤，完成设计并记录实验过程，实验报告中应包含上述需要填充的表格、处理器的结构图、仿真检测波形图、错误现象及原因分析、心得体会等内容。
- 2、实验工程（包含源代码、测试代码、汇编码、机器码）和实验报告（ word或PDF格式）打包上传到乐学网站相应链接。

六、参考资料

- 1、王党辉等译，[美] David A. Patterson, John L. Hennessy 计算机组成与设计-硬件/软件接口（原书第五版），北京：机械工业出版社，2016 年
- 2、RARS 使用指导视频
- 3、Vivado 指导视频
- 4、单周期 CPU 设计指导视频