

（深圳）

实验报告

开课学期： 2025春季

课程名称：计算机组成原理（实验）

实验名称： 浮点运算器设计

实验性质： 设计型

实验学时： 4 地点： t2615

学生班级： 20233119

学生学号： 2023313409

学生姓名： 房效民

作业成绩：

实验与创新实践教育中心制

2025年4月

|  |
| --- |
| 1、设计与实现 |
| 要求：结合状态图、流程图、电路框图或时序图等工具，阐述你的浮点运算器是如何设计与实现的。必要时可结合代码说明，但不能大段粘贴代码。 |
| 状态转换图在最下面  IDLE：初始状态，当开始计算时，start=1,ready=0,进入准备阶段  Pre:分解输出AB，获得符号位阶码尾数，进入S1状态    这里面有一个设计，减法符号位取反，可以避免后续情况复杂的讨论，这里注释写得很清楚。  S1：计算阶差，进入S2阶段  S2：对阶处理，因为要保证始终处于计算正数的过程，所以这里要计算阶差的绝对值  S3：尾数运算，这里要结合前面减号取反的操作配合使用    关于异号的符号位选取，要跟尾数更大的保持一致  S4：计算结果规格化    S4阶段可能进行多轮，所以需要在状态转换的时候判断一下：    当sum[23]高位为1时，说明规格化基本完成，可以进入下一个阶段  Fin:输出结果，拉高ready |

|  |
| --- |
| 2、调试报告 |
| 要求：仿真截图及时序分析。列举2个测试用例进行分析。分析时，需**把浮点运算器内部的关键信号添加到仿真波形并进行相应分析**。*\*若实现了非规格化数据的运算，则还需再列举4个非规格化测试用例分析：*  *用例1：输入的A和B是规格化数，但运算结果C是非规格化数*  *用例2：A和B其中一个是非规格化数，另一个是规格化数，C是非规格化数*  *用例3：输入的A和B都是非规格化数，运算结果C也是非规格化数*  *用例4：输入的A和B都是非规格化数，但运算结果C是规格化数* |
| 0：IDLE  1：pre  2：S1  3：S2  4：S3  5：S4  6：fin  初始时，所有寄存器信号置为初始值0  当start信号为高时，进入pre阶段  进入pre阶段，exp\_A,exp\_B，m\_A,m\_B被赋值  S1阶段：exp\_diff阶差在此阶段被计算  S2阶段：对阶处理，am\_A,am\_B被赋值  S3：计算sum并赋值  S4：此阶段进行了两个时钟周期，规格化处理  Fin:输出数据  另一个例子：两个规格化数运算并得到规格化数  S1阶段：exp\_diff阶差在此阶段被计算，这里因为跟前面结果一样所以图中没有变  S2阶段：对阶处理，am\_A,am\_B被赋值  S3：计算sum并赋值  S4：此阶段进行了一个时钟周期，规格化处理  Fin:输出数据    **本运算器还实现了非规格化数运算**  示例如下：  两个规格化数运算得到非规格化数 |

|  |
| --- |
| 3、思考与讨论 |
| 要求：实验1采用纯软件实现浮点运算，而本实验采用软硬件结合实现浮点运算。请尝试从灵活性、设计复杂度、运行效率等多个角度对比和分析两种实现方法的优缺点。 |
| **答：一、灵活性：**  **1）纯软件实现：优点：直接编写汇编代码可动态调整算法逻辑，适应不同标准的要求；并且兼容性强，无需依赖特定硬件，移植到不同架构时仅需修改指令集适配代码。缺点：纯软件实现就无法利用硬件的加速特性（如并行计算、流水线优化），性能有所下降。**  **2）软硬件结合：优点：可通过硬件逻辑定制专用功能，从而实现不同的功能，灵活性高。缺点：硬件一旦固化，当功能需要扩展或标准发生变更时，硬件电路都需要重新设计，开发周期长；并且软硬件结合就需要依赖特定硬件平台，移植性差。**  **二、设计复杂度：**  **1）纯软件实现：优点：开发工具链成熟，有汇编器、调试器工具辅助开发，无需硬件验证流程；这种方式适合小规模功能的实现（如单一浮点运算），代码量较小。缺点：很多底层细节需要手动进行设计处理（如规格化、舍入模式、异常处理），设计复杂、代码冗长且易错；当进行复杂运算时，需要使用大量条件分支，调试难度高。**  **2）软硬件结合：优点：硬件模块可复用，通过模块化设计简化开发；支持并行计算（如多级流水线），大幅提升效率。缺点：代码验证的复杂度高，需通过仿真进行初步测试，分析电路的时序逻辑，并进行上板验证。**  **三、运行效率：**  **1）纯软件实现：优点：无需占用硬件资源，适合资源受限场景。缺点：执行速度慢，单条浮点加法可能需数十条指令才能完成；并且无法利用硬件并行性，难以优化延迟和吞吐量。**  **2）软硬件结合：优点：高性能，专用的硬件电路可单周期完成复杂操作；使用流水级的设计可以实现指令级并行，实现多级浮点流水线。缺点：硬件资源的消耗很大。** |