

# 第七章 系统总线

---

## 7.1 总线的基本概念

## 7.2 总线的分类

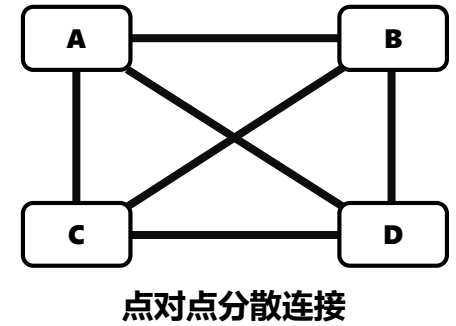
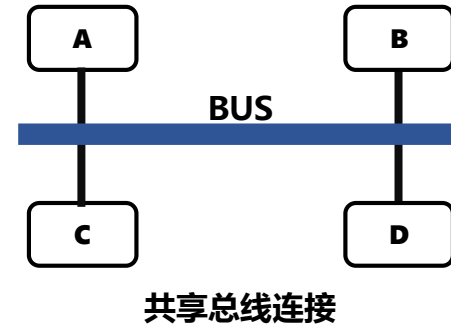
## 7.3 总线特性及性能指标

## 7.4 总线结构

## 7.5 总线控制

# 7.1 总线的基本概念

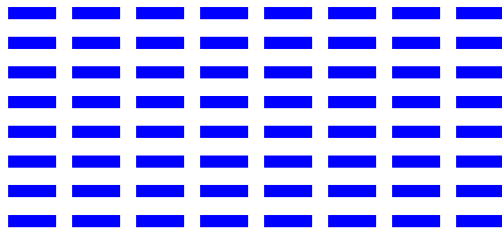
- 什么是总线？
  - 总线是连接各个部件的信息传输线
  - 总线两个特点：**分时**和**共享**
- 为什么要用总线（BUS）？
- 总线上信息的传送



串行



并行



# 第七章 系统总线

---

7.1 总线的基本概念

**7.2 总线的分类**

7.3 总线特性及性能指标

7.4 总线结构

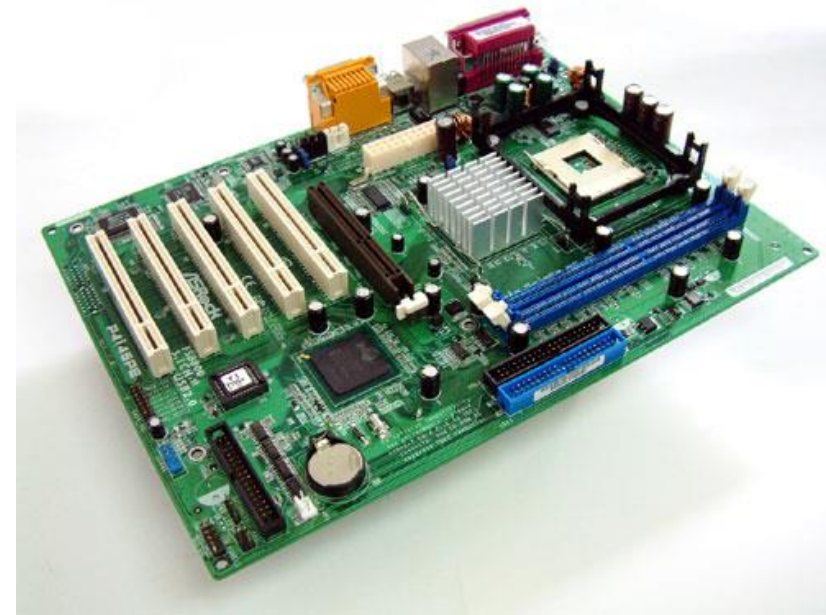
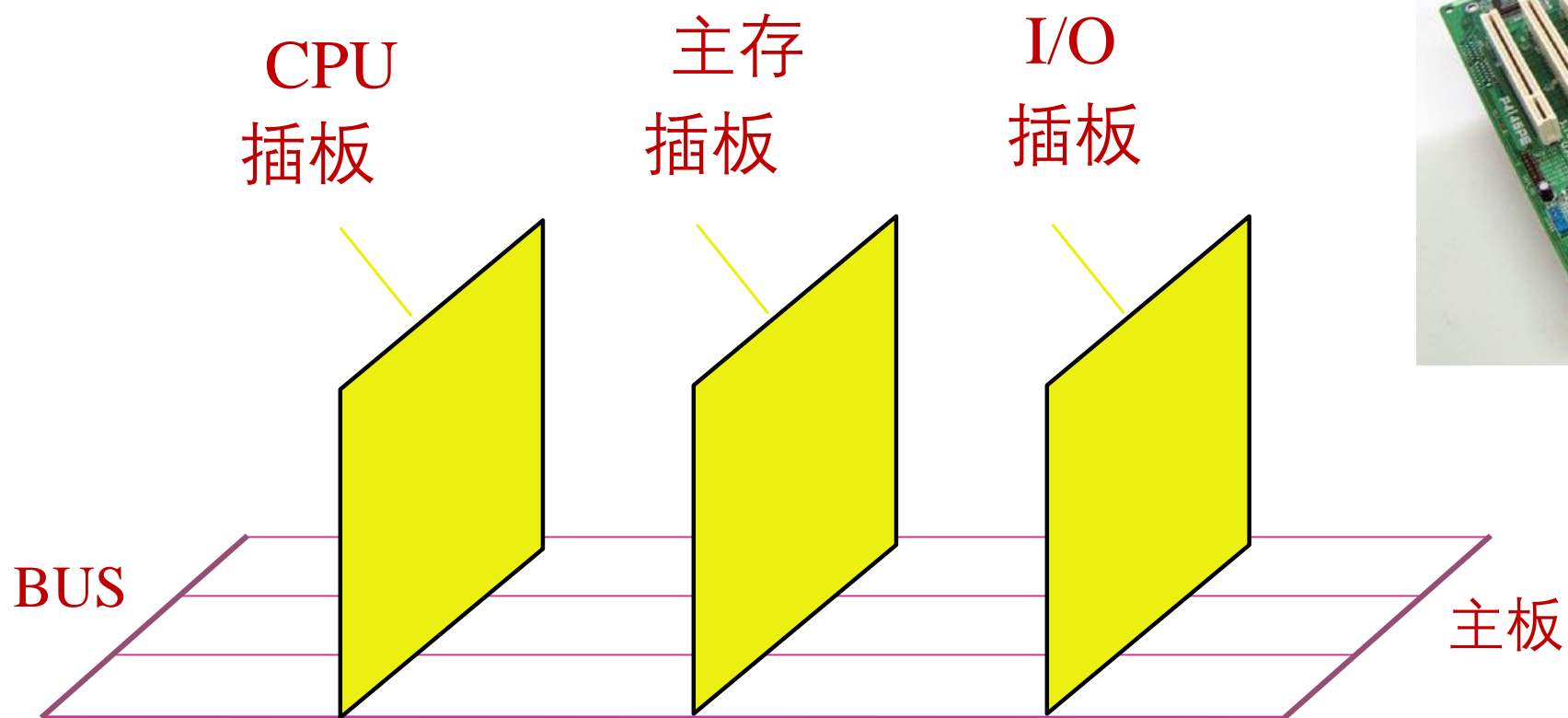
7.5 总线控制

# 总线的分类

- 片内总线：芯片内部 的总线
- 系统总线：计算机各部件之间 的信息传输线
  - 数据总线                      **双向**      与机器字长、存储字长有关
  - 地址总线                      **单向**      与存储地址、 I/O地址有关
  - 控制总线                      **有入、有出**
    - 中断请求、总线请求
    - 存储器读、存储器写、总线允许、中断确认
- 通信总线：用于计算机系统之间 或 计算机系统与其他系统（如控制仪表、移动通信等）之间的通信
  - 根据传输方式可以分为：串行通信总线和并行通信总线

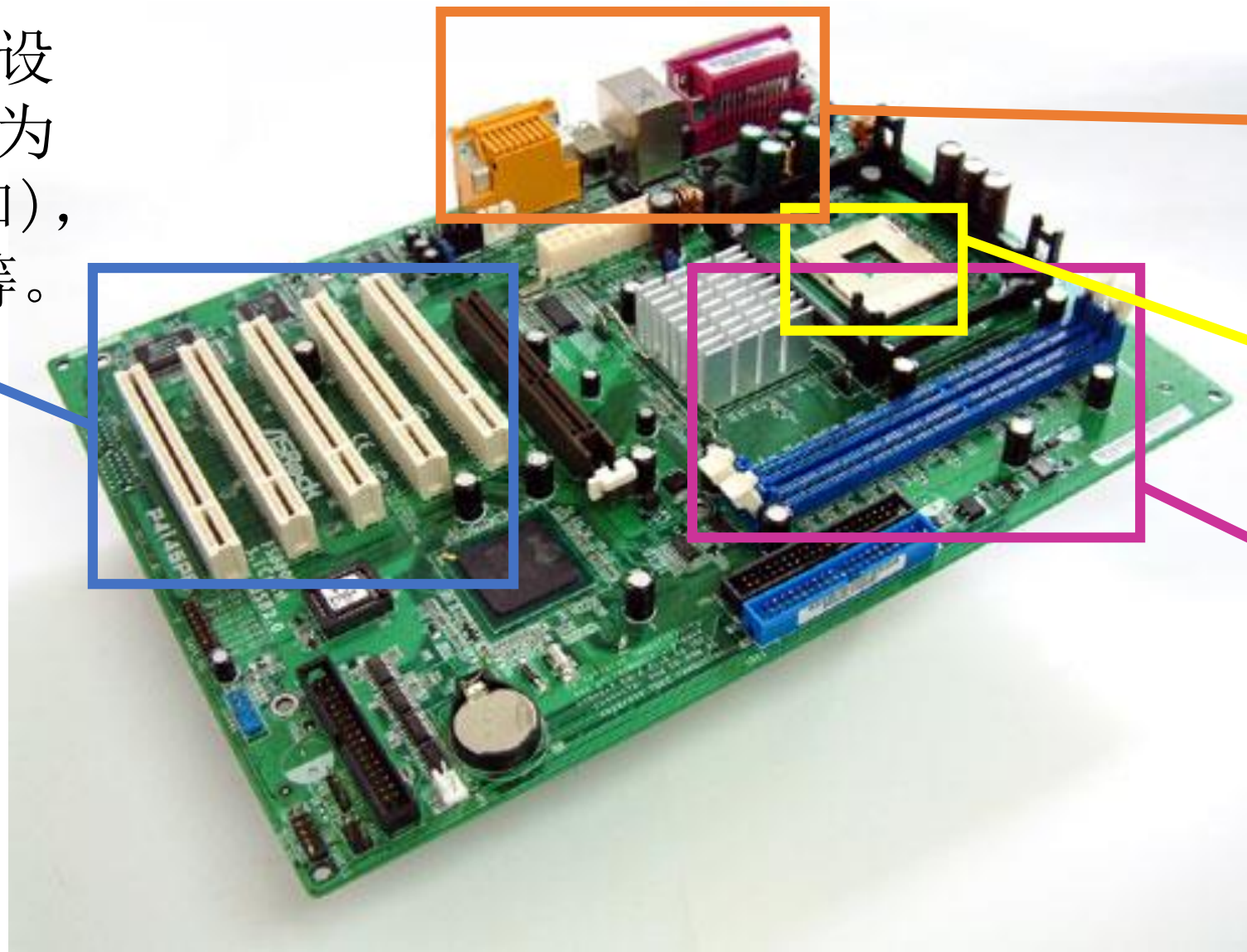
# 总线物理实现

- 总线物理实现



# 主板

各类高速I/O设备接口(一般为PCIE总线接口), 例如, 显卡等。



USB接口, 网线接口等 I/O接口。

CPU插板

内存插板

系统总线用来连接（）

- ☐ A 寄存器和运算器部件
- ☐ B 运算器和控制器部件
- ☒ C CPU、主存和外设部件

提交

# 第七章 系统总线

---

7.1 总线的基本概念

7.2 总线的分类


**7.3 总线特性及性能指标**

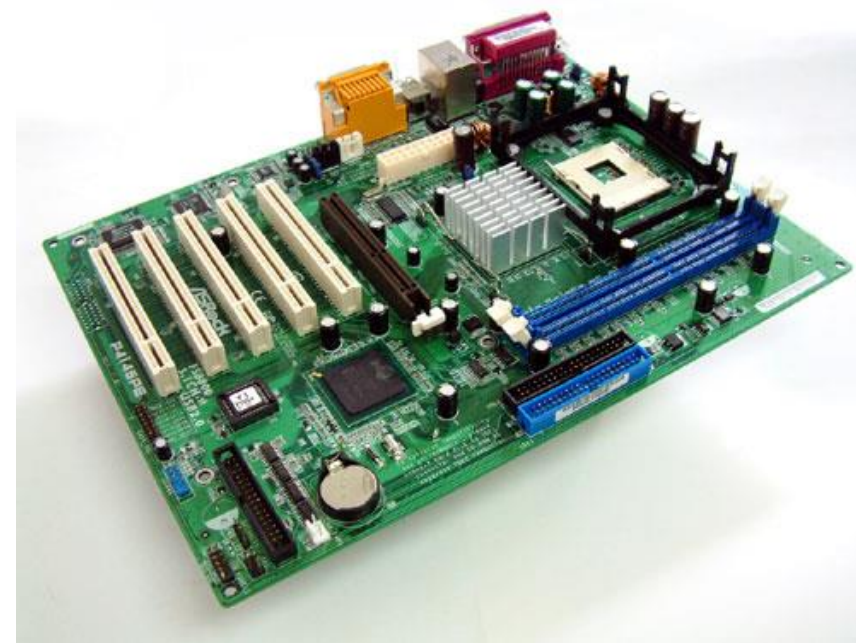
7.4 总线结构

7.5 总线控制



# 总线特性

- |         |                            |
|---------|----------------------------|
| 1. 机械特性 | 尺寸、形状、管脚数 及 排列顺序           |
| 2. 电气特性 | 传输方向 和有效的 电平 范围            |
| 3. 功能特性 | 每根传输线的 功能 { 地址<br>数据<br>控制 |
| 4. 时间特性 | 信号的 时序 关系                  |
- 



# 总线的性能指标

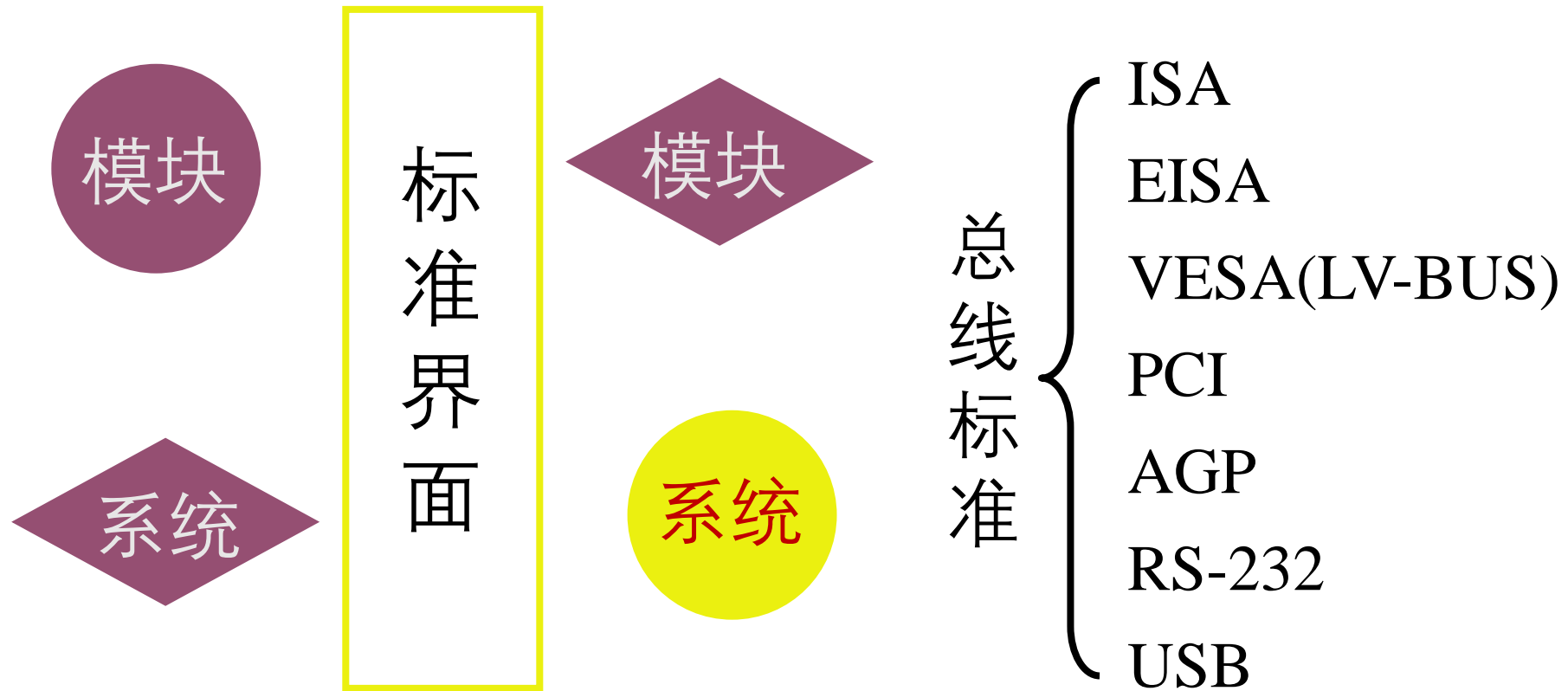
---

- |            |                                  |
|------------|----------------------------------|
| 1. 总线宽度    | 通常指数据总线 的根数                      |
| 2. 标准传输率   | 每秒传输的 <b>最大字节数</b> (MBps, MB/s ) |
| 3. 时钟同步/异步 | 同步、不同步                           |
| 4. 总线复用    | 地址线 与 数据线 复用                     |
| 5. 信号线数    | 地址线、数据线和控制线的 <b>总和</b>           |
| 6. 总线控制方式  | 突发、自动、仲裁、逻辑、计数                   |
| 7. 其他指标    | 负载能力、总线时钟频率                      |

某同步总线采用地址线和数据线复用方式，其中地址/数据线有32根，总线时钟频率为66MHz，每个时钟周期传送两次数据（上升沿和下降沿各传送一次数据），该总线的最大数据传输率（总线带宽）是（）

- ☐ A 132MB/s
- ☐ B 264MB/s
- ☒ C 528MB/s
- ☐ D 1056MB/s

# 总线标准



# 总线标准

- ISA

- ISA(Industrial Standard Architecture)指的是工业标准体系结构，它是IBM公司为了采用16位的CPU而推出的总线标准。
- ISA总线时钟频率为8MHz，数据线为16位，最大传输率为16MBps。地址总线为24位。



- EISA

- 是一种基于ISA扩展得到的总线标准，与ISA完全兼容。
- EISA总线时钟频率仍为8MHz，数据线为32位，最大传输率为33MBps，相比于ISA增加了一倍。地址总线为32位。

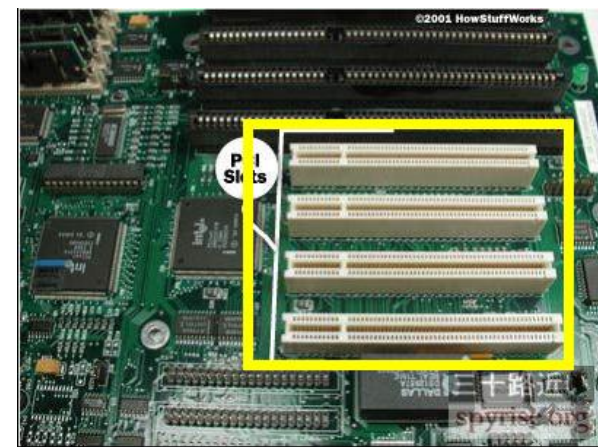
# 总线标准

- VESA

- VESA(Video Electronic Standard Association)指的是视频电子标准协会，它是该协会为了使得计算机能够**高速传输图像数据**而提出的总线标准。
- VESA总线时钟频率为33MHz，数据线为32位，最大传输率为133MBps。

- PCI

- PCI(Peripheral Component Interconnect)指的是外围部件互连标准，**是目前计算机中使用最广泛的接口**。
- PCI总线具有高性能，其自身采用33MHz和66MHz两种时钟频率，数据线为32位（可扩展为64位），最大传输速率可从132MBps(32位总线，33MHz时钟)升级到528MBps(64位总线，66MHz时钟)。



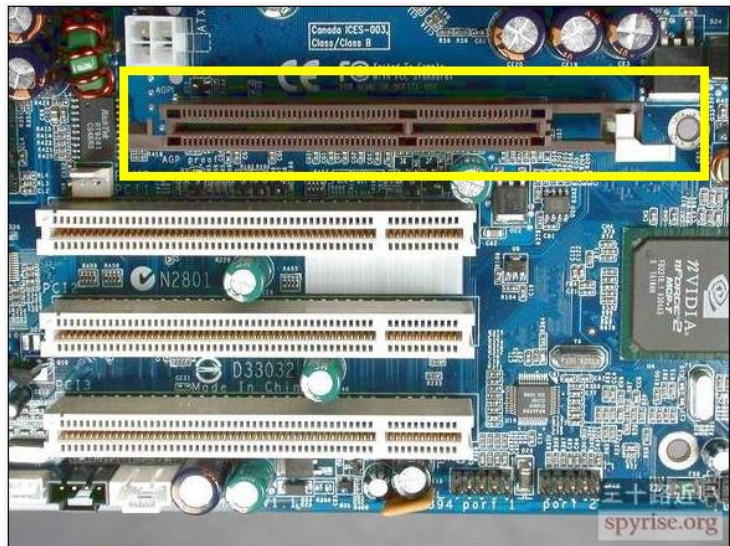
插独立声卡、网卡、电视卡、  
IC卡读卡器



# 总线标准

- AGP

- AGP(Accelerated Graphics Port)指的是加速图形端口，是显卡专用的总线标准，它是基于PCI2.1标准扩展得到的。
- AGP也具有较高的性能，数据线的为32位，时钟频率可用66.7MHz和133MHz，最大传输速率为533MBps。



- RS-232

- RS(Recommend Standard)是由美国电子工业协会EIA推荐的一种串行通信总线标准。
- RS-232是数据终端设备（也就是计算机）和数据通信设备（例如调制解调器）之间的标准接口。



# 总线标准

---

- USB

- USB(Universal Serial Bus)指的是通用串行总线标准。
- USB的数据传输率取决于他所使用的数据传输线的类别。对于USB1.0来说，采用普通无屏蔽的双绞线作为数据传输线，传输率可达1.5Mbps，采用带屏蔽的双绞线速度可达12Mbps。而对于USB2.0标准来说，数据传输率最高可达480Mbps，USB4.0标准已达到40GBps。



# 总线标准

总线标准	数据线	总线时钟	带宽
ISA	16	8 MHz（独立）	16 MBps
EISA	32	8 MHz（独立）	33 MBps
VESA (VL-BUS)	32	32 MHz（CPU）	133 MBps
PCI	32	33 MHz（独立）	132 MBps
	64	66 MHz（独立）	528 MBps
AGP	32	66.7 MHz（独立）	266 MBps
		133 MHz（独立）	533 MBps
RS-232	串行通信 总线标准	数据终端设备（计算机）和数据通信设备（调制解调器）之间的标准接口	
USB	串行接口 总线标准	普通无屏蔽双绞线 带屏蔽双绞线 最高	1.5 Mbps—12Mbps(USB1.0) 480 Mbps (USB2.0) 5 Gbps (USB3.0) 40 Gbps (USB4.0)

# 第七章 系统总线

---

7.1 总线的基本概念

7.2 总线的分类

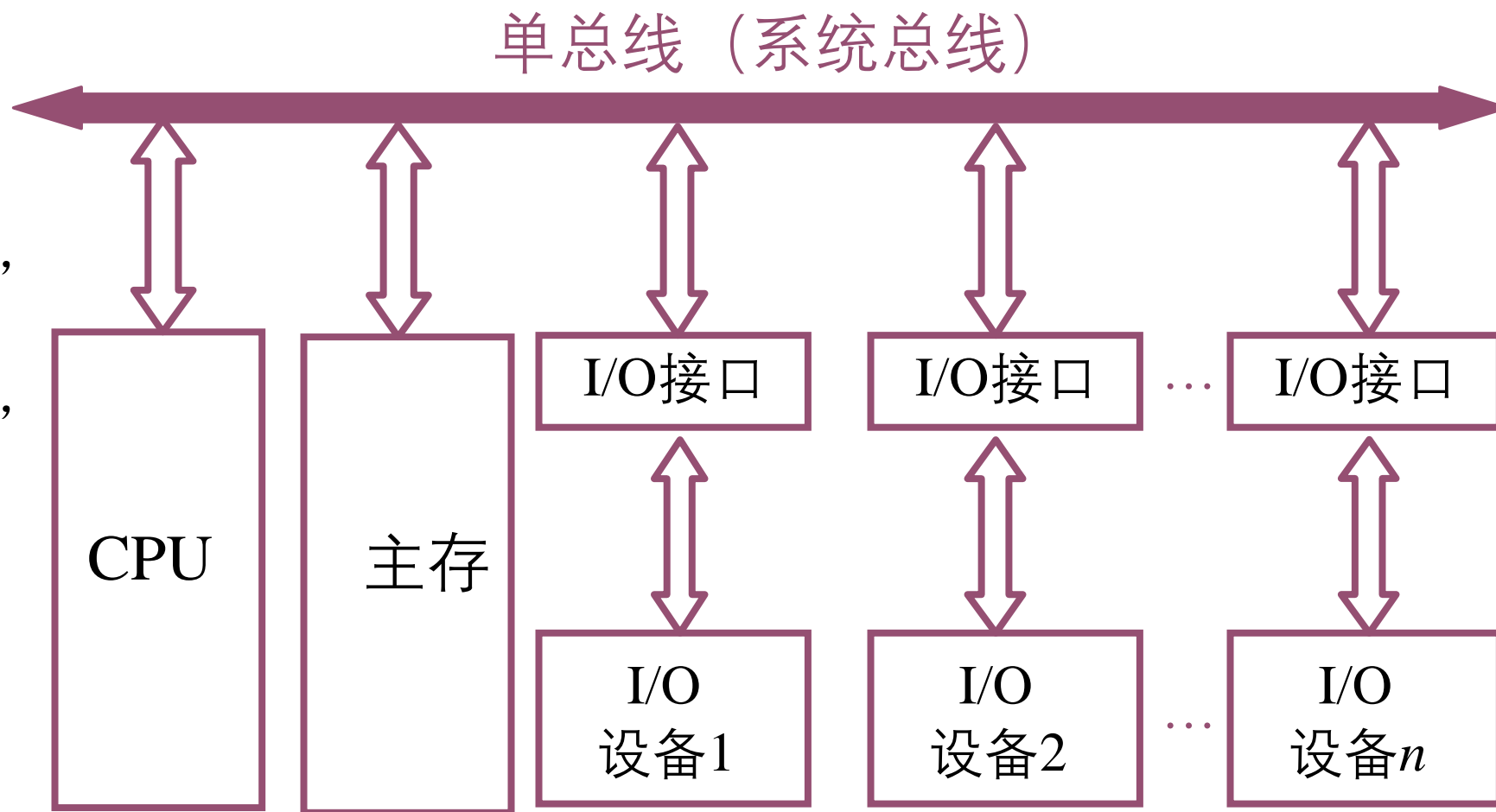
7.3 总线特性及性能指标

**7.4 总线结构**

7.5 总线控制

# 单总线结构框图

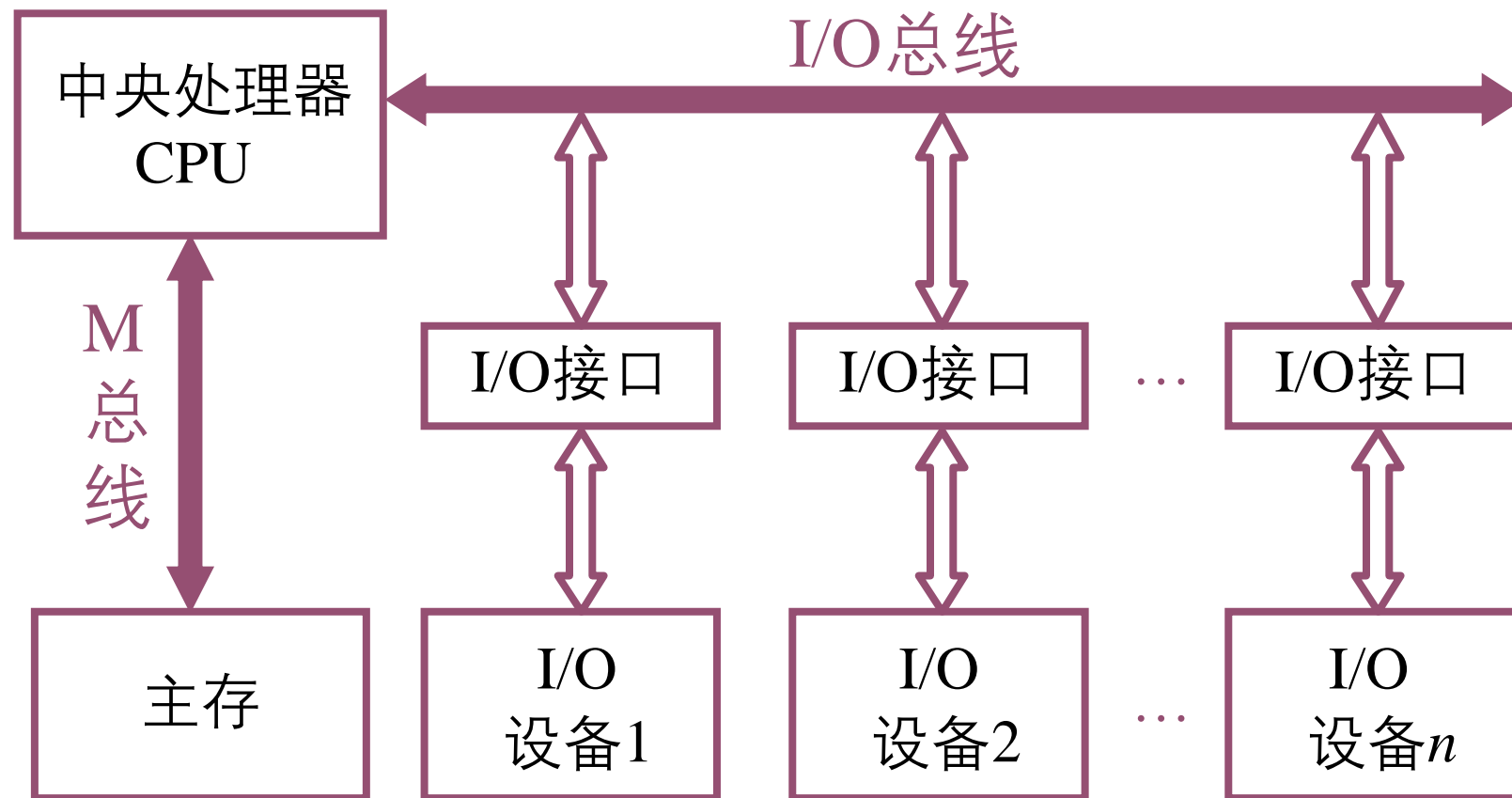
- 总线结构简单，使用灵活，扩充容易
- 统一编址，简化指令系统，存储空间减少
- 共享总线，分时使用，通信速度慢
- 高速设备的高速特性得不到发挥



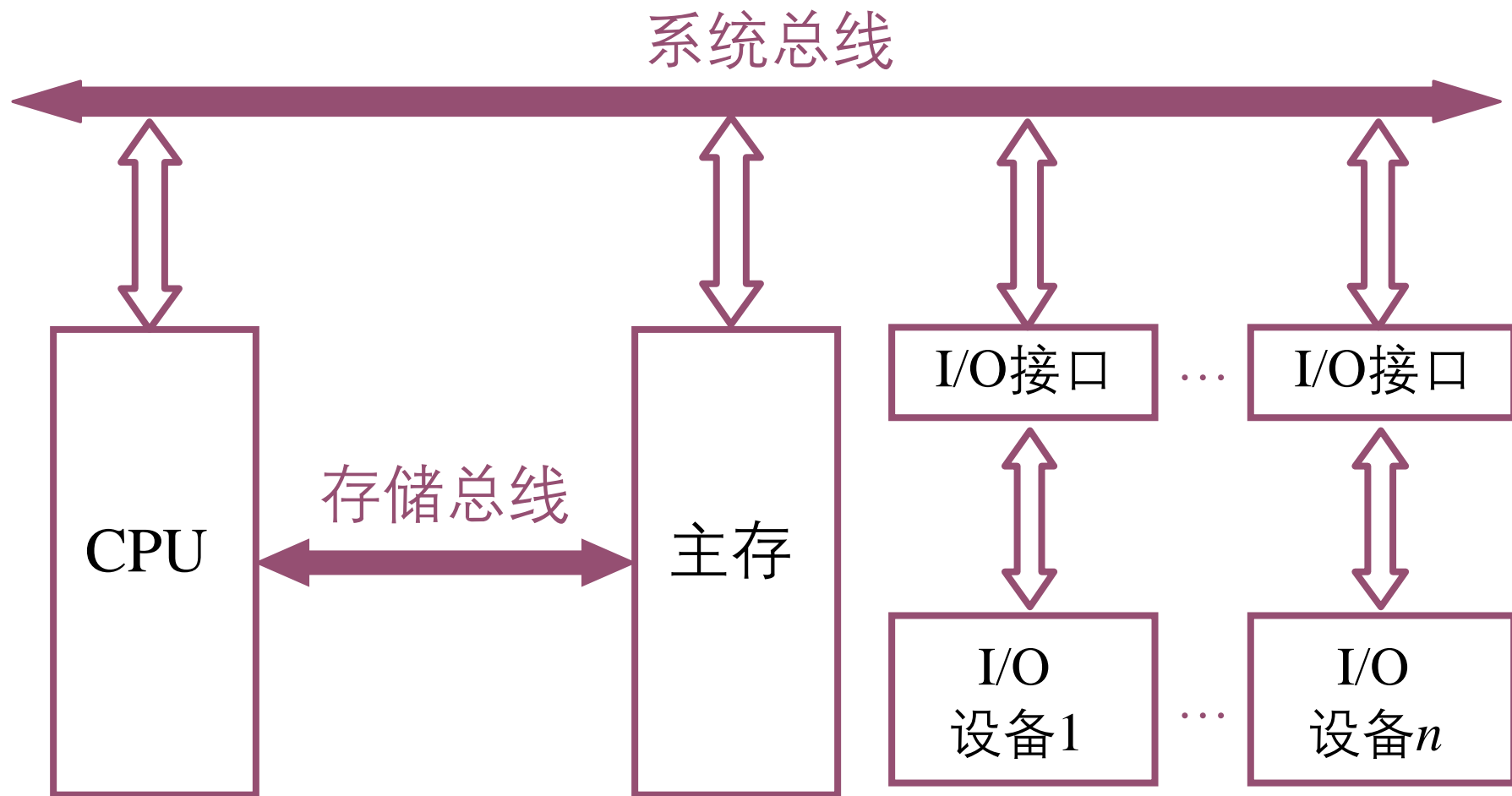
# 面向 CPU 的双总线结构框图

## 问题：

主存与外设的信息传输需要以CPU为媒介，会影响CPU的效率。

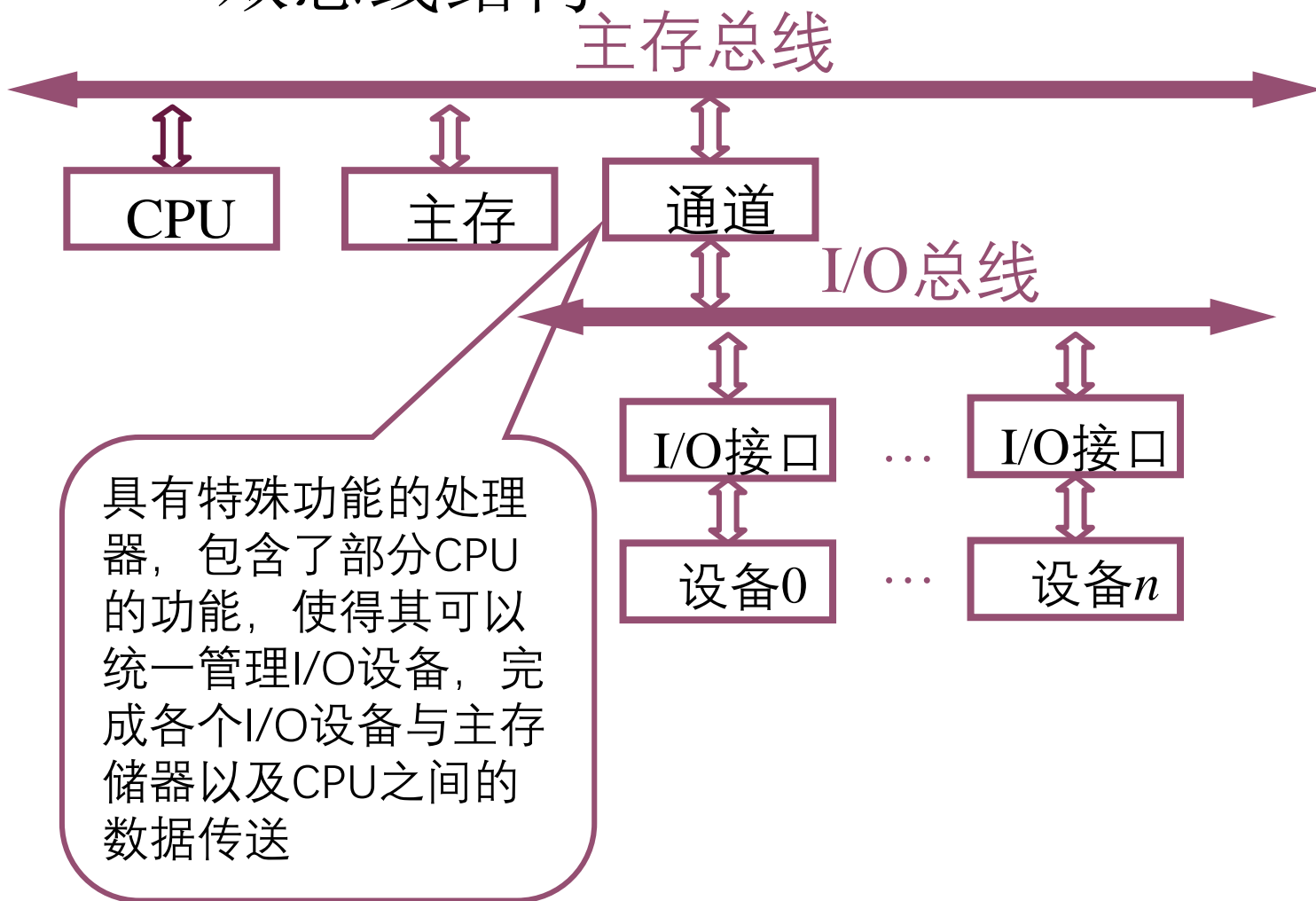


# 以存储器为中心的双总线结构框图



# 有通道的多总线结构框图

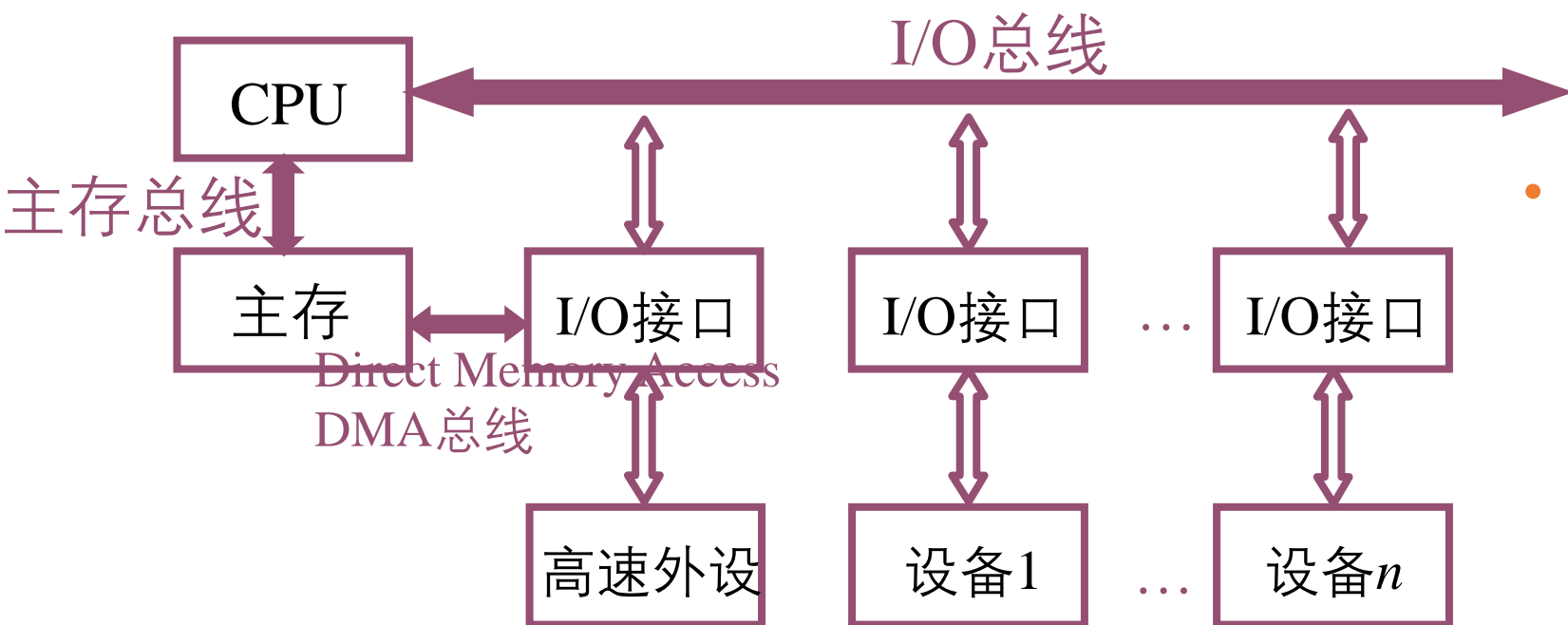
- 双总线结构



- 将速度较低的I/O设备从单总线上分离。
- 极大地提升了系统的数据传输效率。
- 多用于大、中型计算机系统中。

# 三总线结构

- 三总线结构
- 中心思想：将速率不同的I/O设备进行分类，并将他们分别连接在不同的通道上，以此进一步提升计算机系统的工作效率。



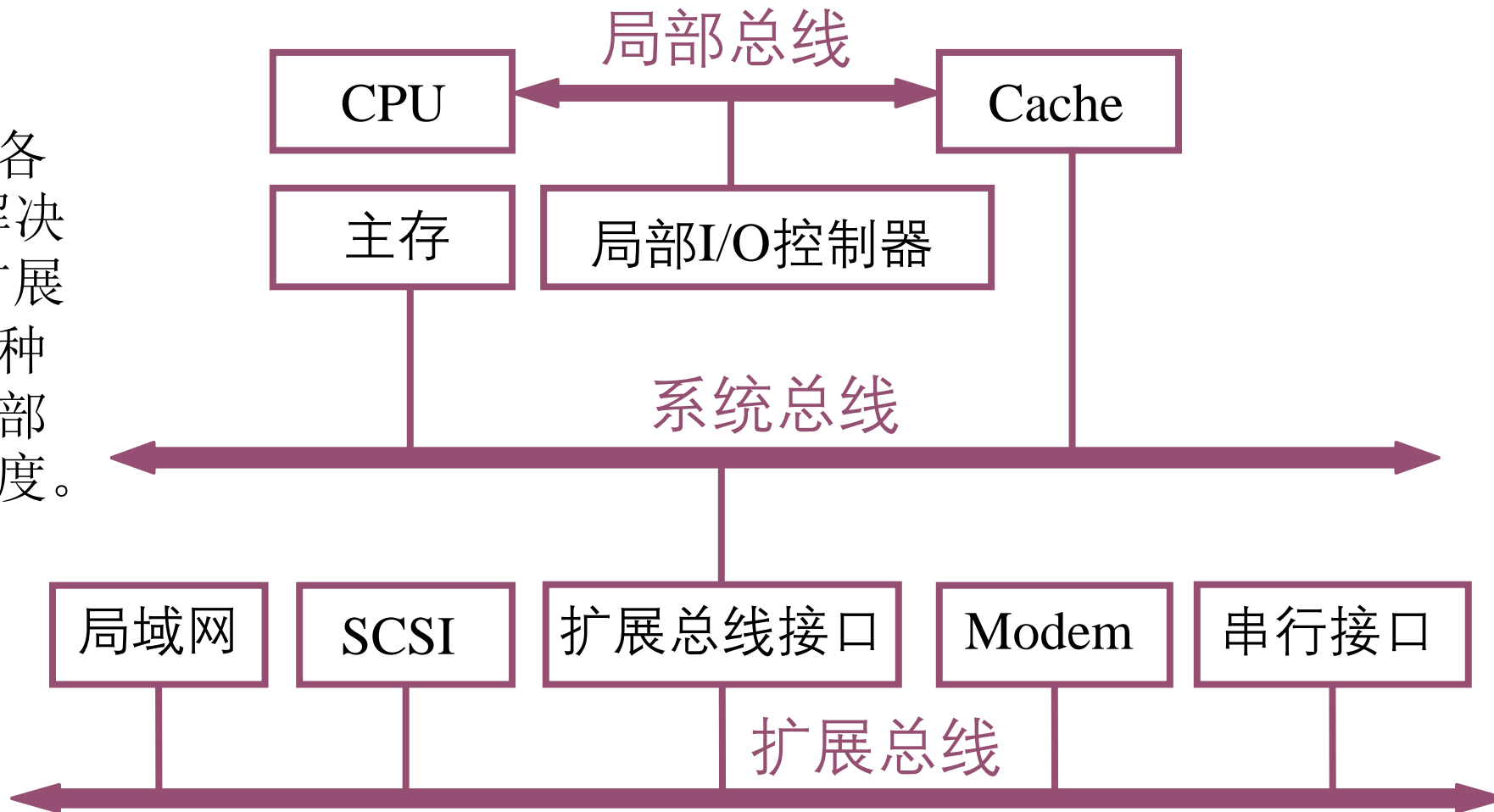
- 三总线结构任一时刻只能使用一种总线。主存总线和DMA总线不能同时访问主存，I/O总线仅在CPU执行I/O指令时才会用到。

- I/O设备之间一般不能直接传输数据，必须经过CPU来调度。为了某些I/O设备能更快地和主存进行数据传输，不经过CPU，引入了DMA的方式使I/O设备能直接和主存进行数据交换。

# 三总线结构的另一种形式

由局部总线、系统总线和扩展总线组成。考虑了Cache，Cache可通过系统总线与主存交换信息。

扩展总线能接各种I/O设备，解决了I/O设备的扩展问题，但是这种结构会影响外部设备的工作速度。



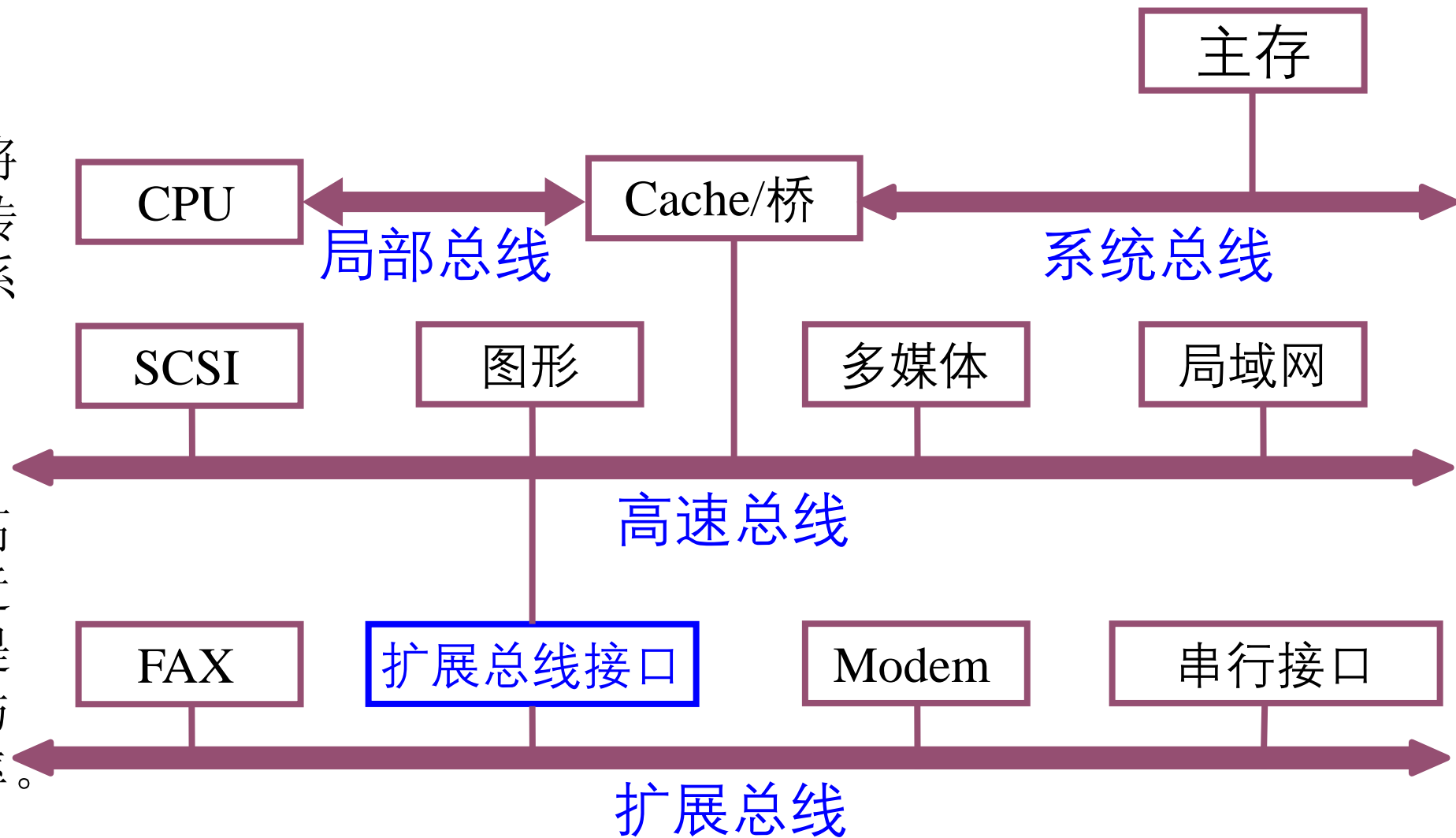


# 四总线结构

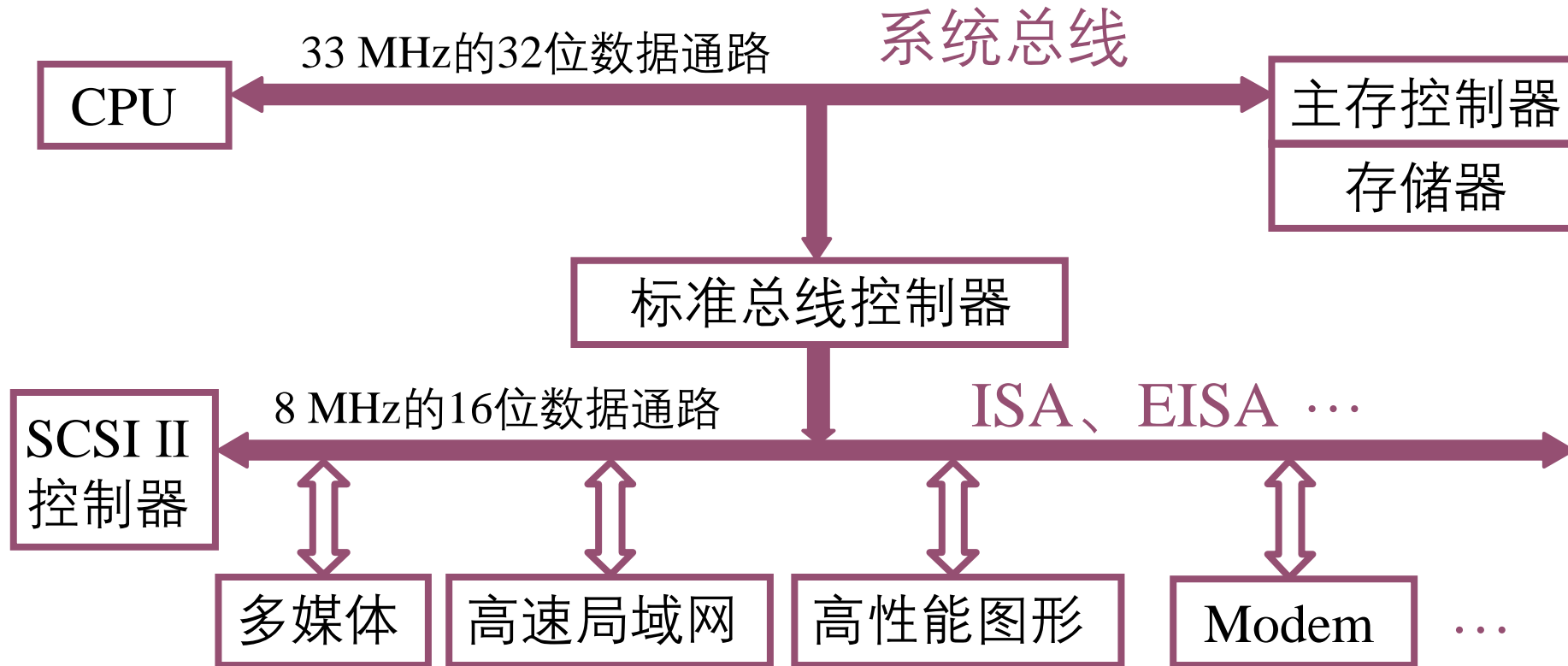
即考虑了Cache，又将**速率不同**的I/O设备进行了分类。

- 高速总线主要负责将高速总线中的数据传输到局部总线或者系统总线

- 四总线结构使得高速I/O设备更贴近CPU，可以大幅度提升高速I/O设备与CPU各自的工作效率。



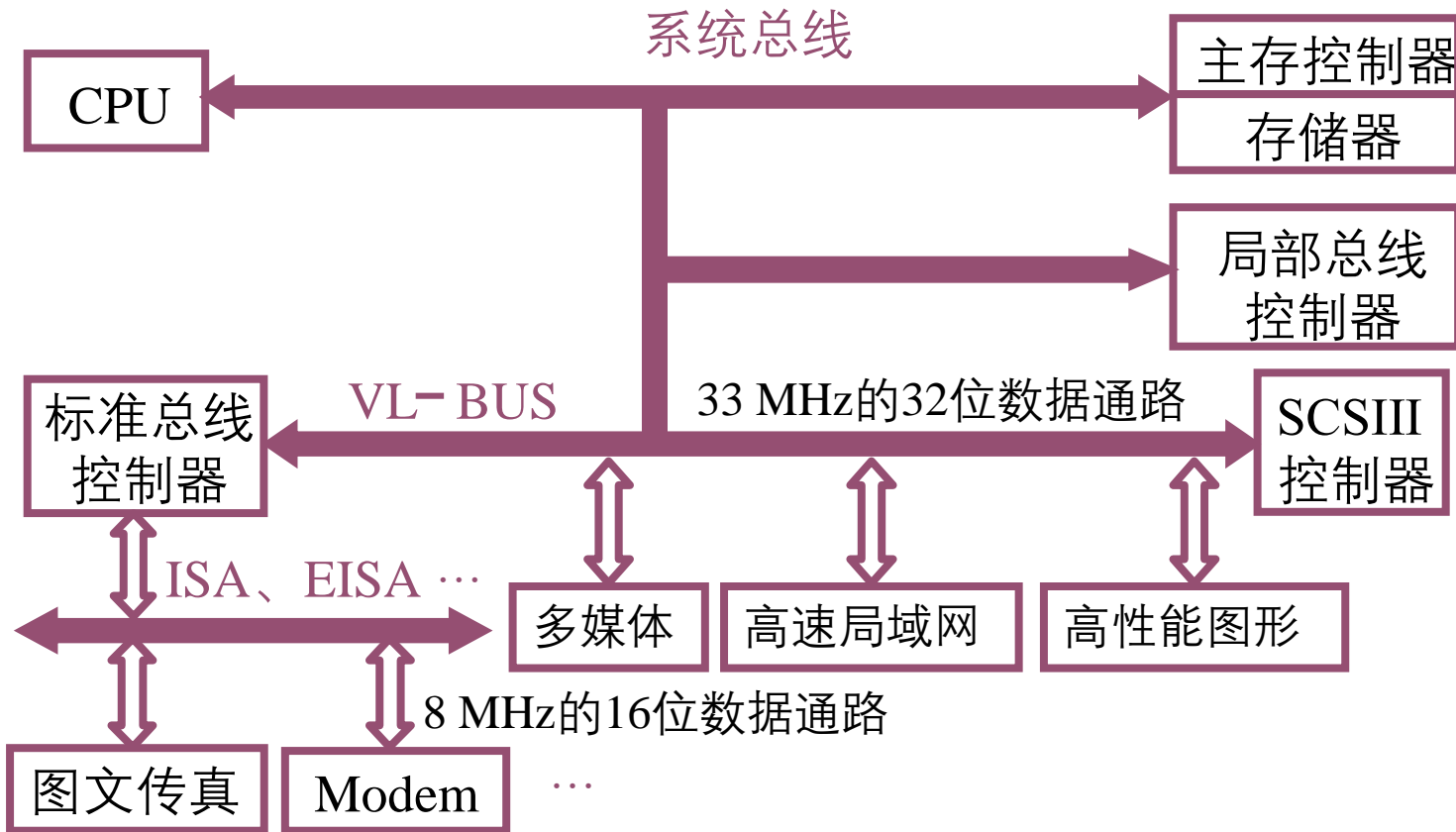
# 总线结构举例——传统微型机总线结构



- 传统微型机总线存在总线数据传输瓶颈，只有将高速、高性能的I/O设备尽量靠近CPU本身的总线，才可能消除瓶颈问题。因此，出现了VL-BUS局部总线结构。

# 总线结构举例——VL-BUS局部总线结构

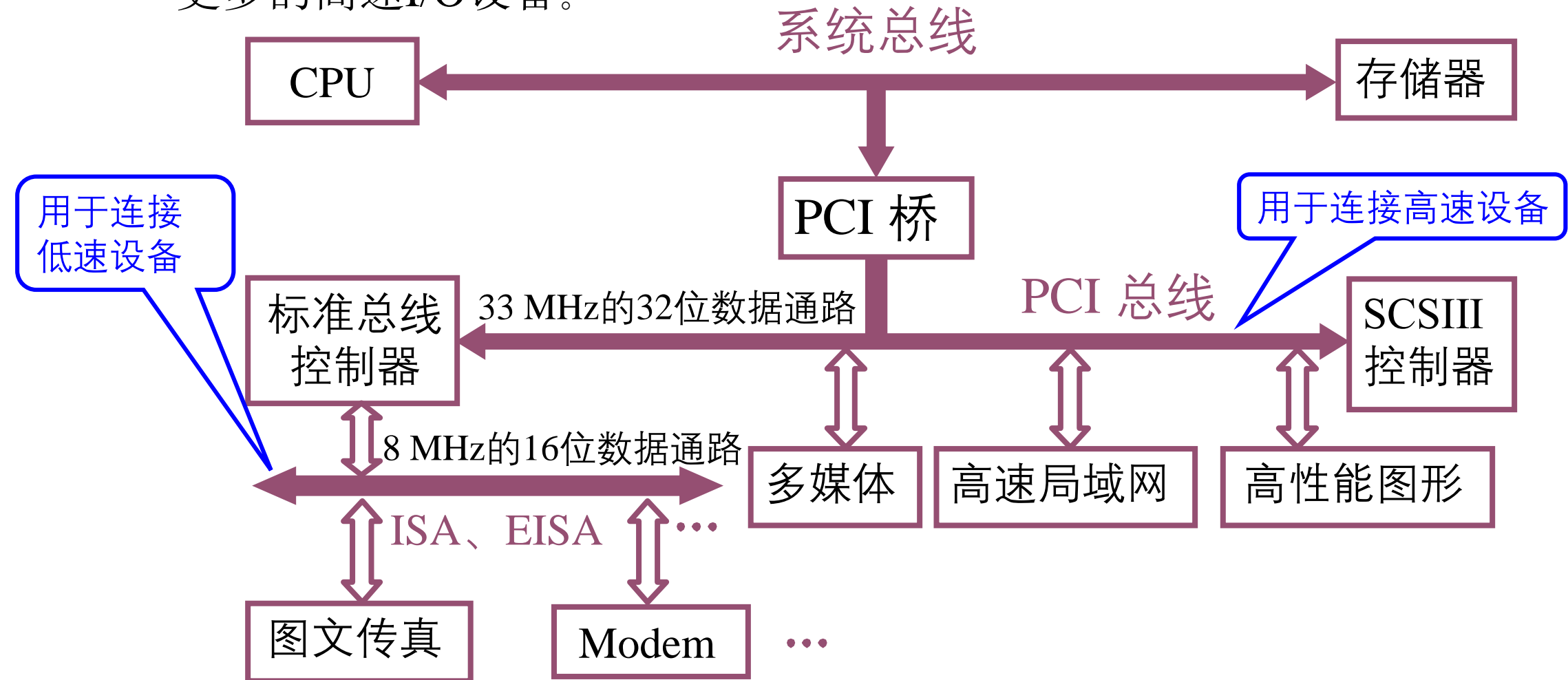
将高速I/O设备和低速I/O设备进行分离，其中低速I/O设备通过标准总线控制器与局部总线相连



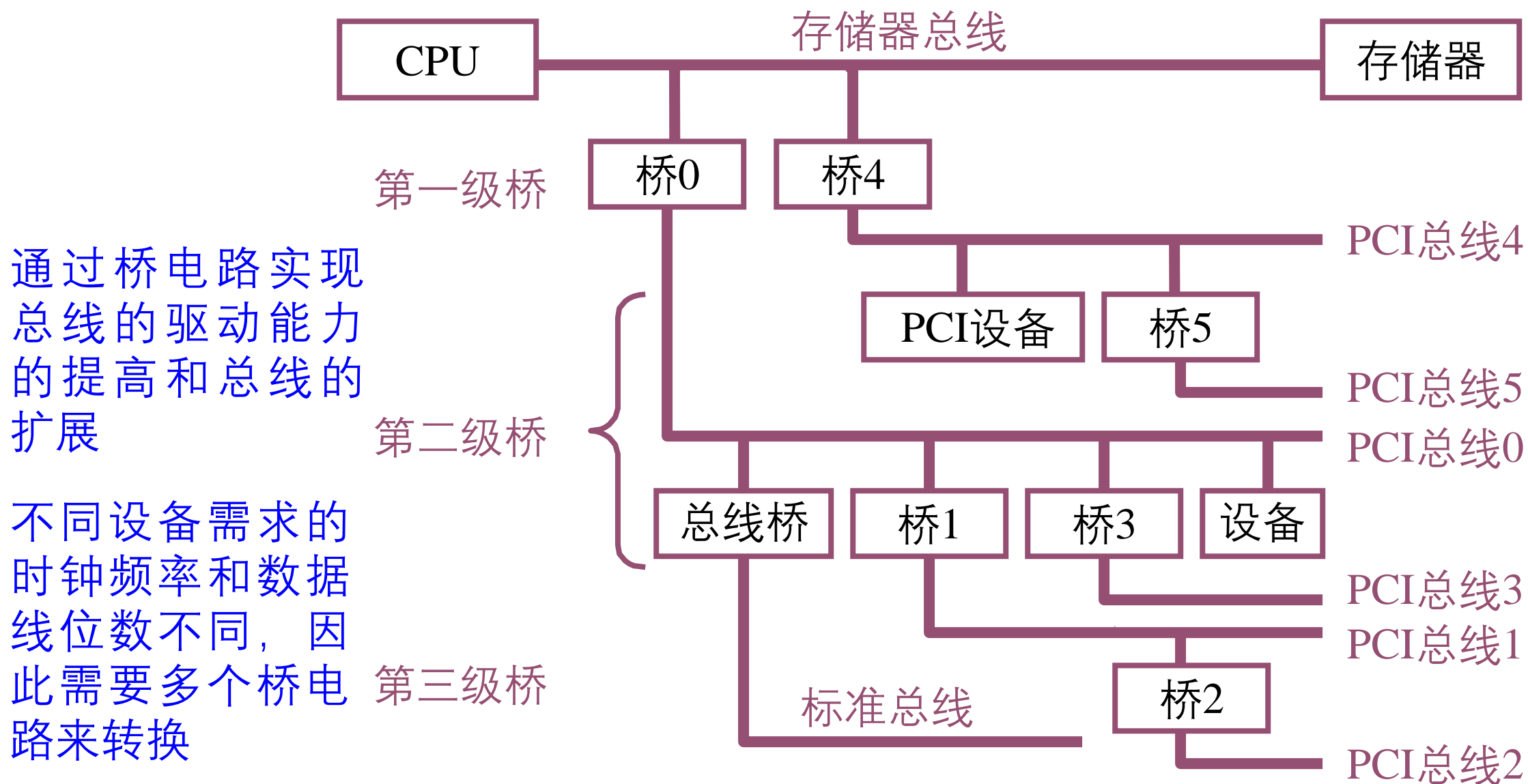
- **优点**：CPU与高性能I/O设备的性能都得到了充分的发挥。
- **缺陷**：VL-BUS局部总线与CPU的关系太紧密，即VL-BUS局部总线的数据线位数受限于CPU的位数，以致于很难支持功能更强的CPU。

# 总线结构举例——PCI总线结构

- PCI总线通过PCI桥（包括PCI控制器和PCI加速器）与CPU系统总线相连
- 这种结构使得CPU总线与PCI总线相互隔离，具有更高的灵活性，可以支持更多的高速I/O设备。



# 总线结构举例——多层 PCI 总线结构



假定一台计算机采用3通道存储器总线，配套内存条型号为DDR3-1333，即内存条所接插的存储器总线的工作频率为1333MHz，总线宽度为64位，则存储器总线的总带宽大约是

- ☐ A 10.66GB/s
- ☒ B 32GB/s
- ☐ C 64GB/s
- ☐ D 96GB/s

假定一台计算机采用3通道存储器总线，配套内存条型号为DDR3-1333，即内存条所接插的存储器总线的工作频率为1333MHz，总线宽度为64位，则存储器总线的总带宽大约是

- ☐ A 10.66GB/s
- ☒ B 32GB/s
- ☐ C 64GB/s
- ☐ D 96GB/s

- 存储器总线的工作频率是1333MHz，即1s传送1333M数据
- 总线宽度是64，即单条总线工作一次可传输8字节
- 因此 总带宽为：  $3 \times 8 \times 1333 \text{MB/s}$

提交

# 第七章 系统总线

---

7.1 总线的基本概念

7.2 总线的分类

7.3 总线特性及性能指标

7.4 总线结构

**7.5 总线控制**

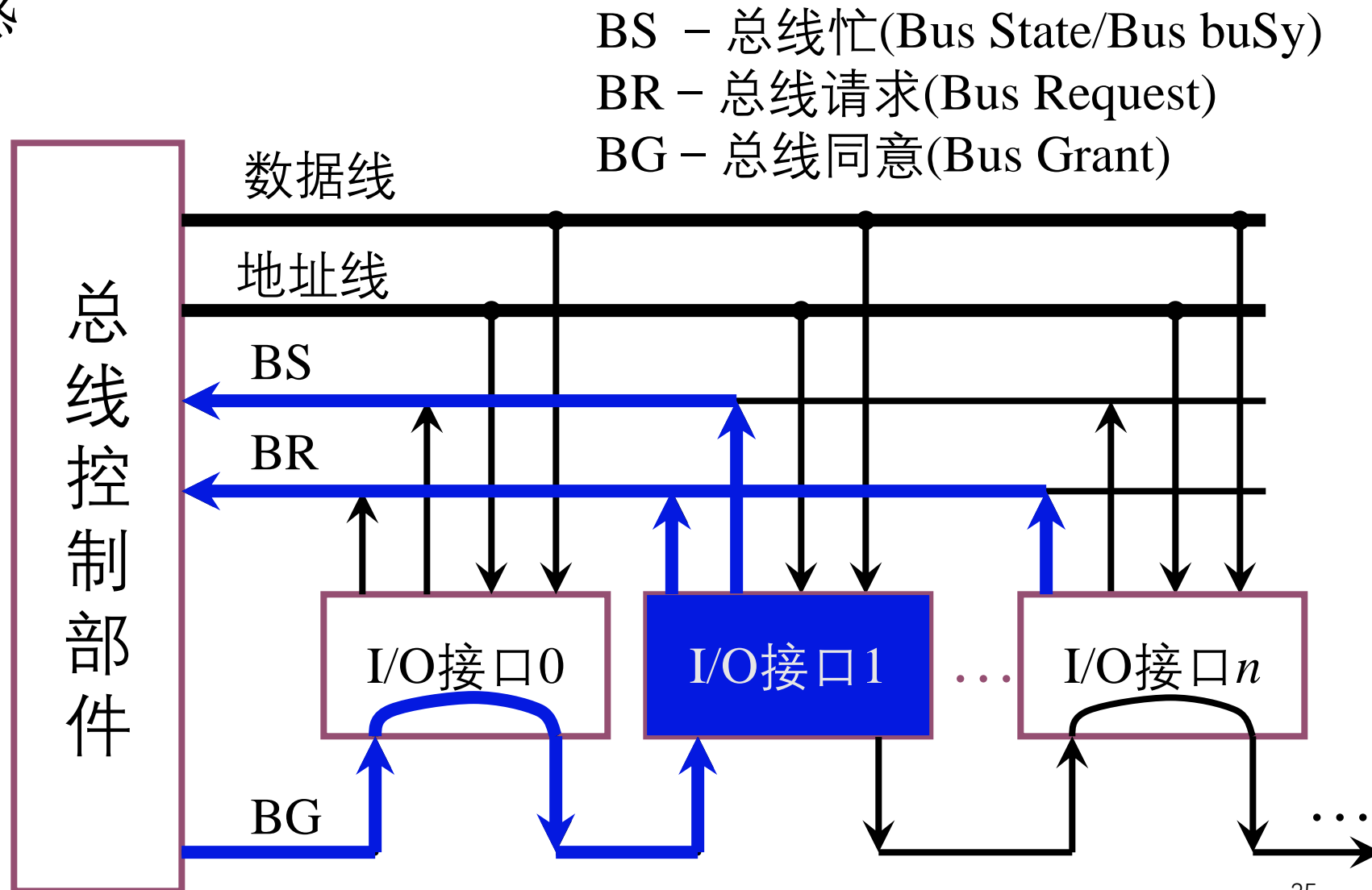


# 总线控制基本概念

- 主设备(模块): 对总线有 **控制权**
- 从设备(模块): **响应** 从主设备发来的总线命令
- **总线判优(仲裁)**: 对总线的使用进行合理的分配和管理.
  - 部件要使用总线进行通信时,要向控制部件发请求
  - 控制部件按优先级来决定谁使用总线
- 总线判优控制 (仲裁)
  - 集中式
    - 链式查询
    - 计数器定时查询
    - 独立请求方式
  - 分布式

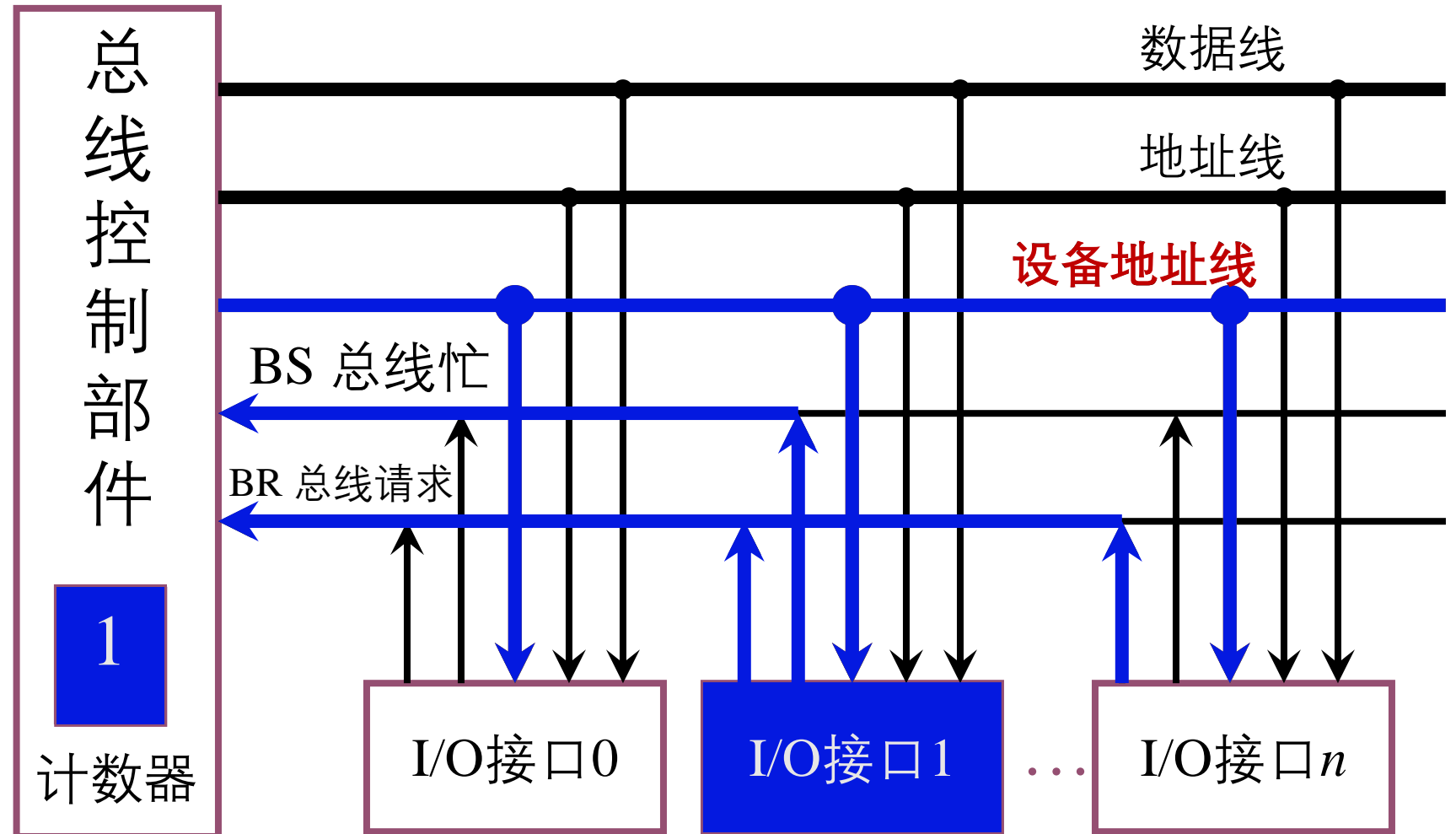
# 链式查询方式

- 单点故障敏感
- 优先级固定
- 响应慢



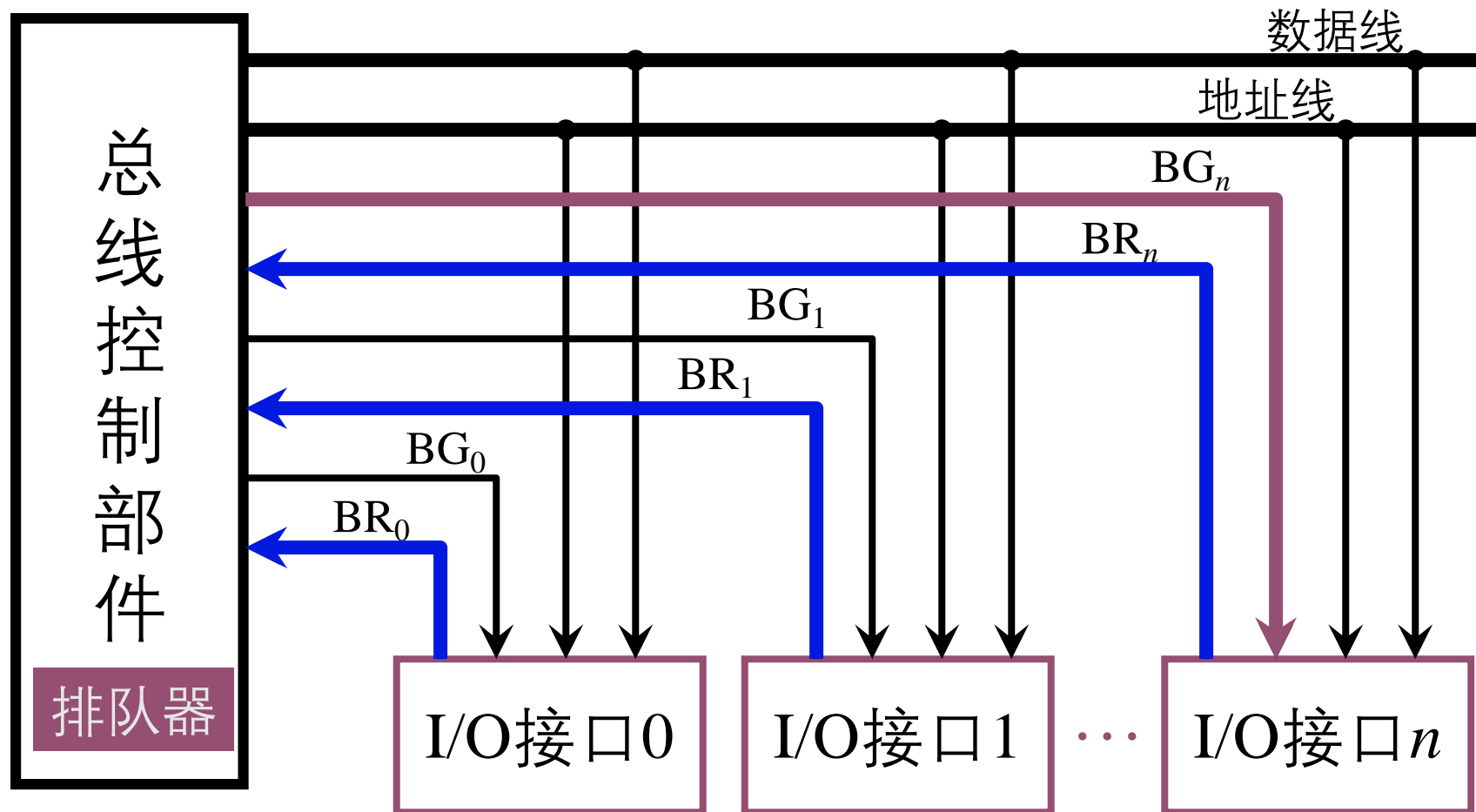
# 计数器定时查询方式

- 设备地址线：每个IO设备都有一个唯一的设备编号。
- 优先级可变
- 响应慢
- 故障不敏感
- 扩展困难



# 独立请求方式

- 优先级可灵活变化；
- 响应快；
- 故障不敏感；
- 扩展容易。



# 三种集中式总线判优方式对比

出一道题

	链式查询	计数器定时查询	独立请求
控制线数	3 (BS+BR+BG)	$2+\log_2 n$ (BS+BR+设备地址线 $\log_2 n$ )	$2n$ (n组BR+BG)
响应速度	慢	慢	快
优先级	固定	可适当变化	可灵活变化
故障敏感度	非常敏感	不敏感	不敏感
扩展	容易	难	容易

在链式查询和计数器定时查询方式中，BS信号是由\_\_\_\_\_发出的。

- ☒ A 获得总线控制权的设备
- ☐ B 发出总线请求（BR）的设备
- ☐ C CPU
- ☐ D 总线控制部件

提交

# 总线通信控制

---

1. 目的 解决通信双方 协调配合 问题

## 2. 总线传输周期

主设备和从设备之间完成一次完整可靠通讯需要的时间。

申请分配阶段	主模块申请，总线仲裁决定
寻址阶段	主模块向从模块 给出地址 和 命令
传数阶段	主模块和从模块 交换数据
结束阶段	主模块 撤消有关信息

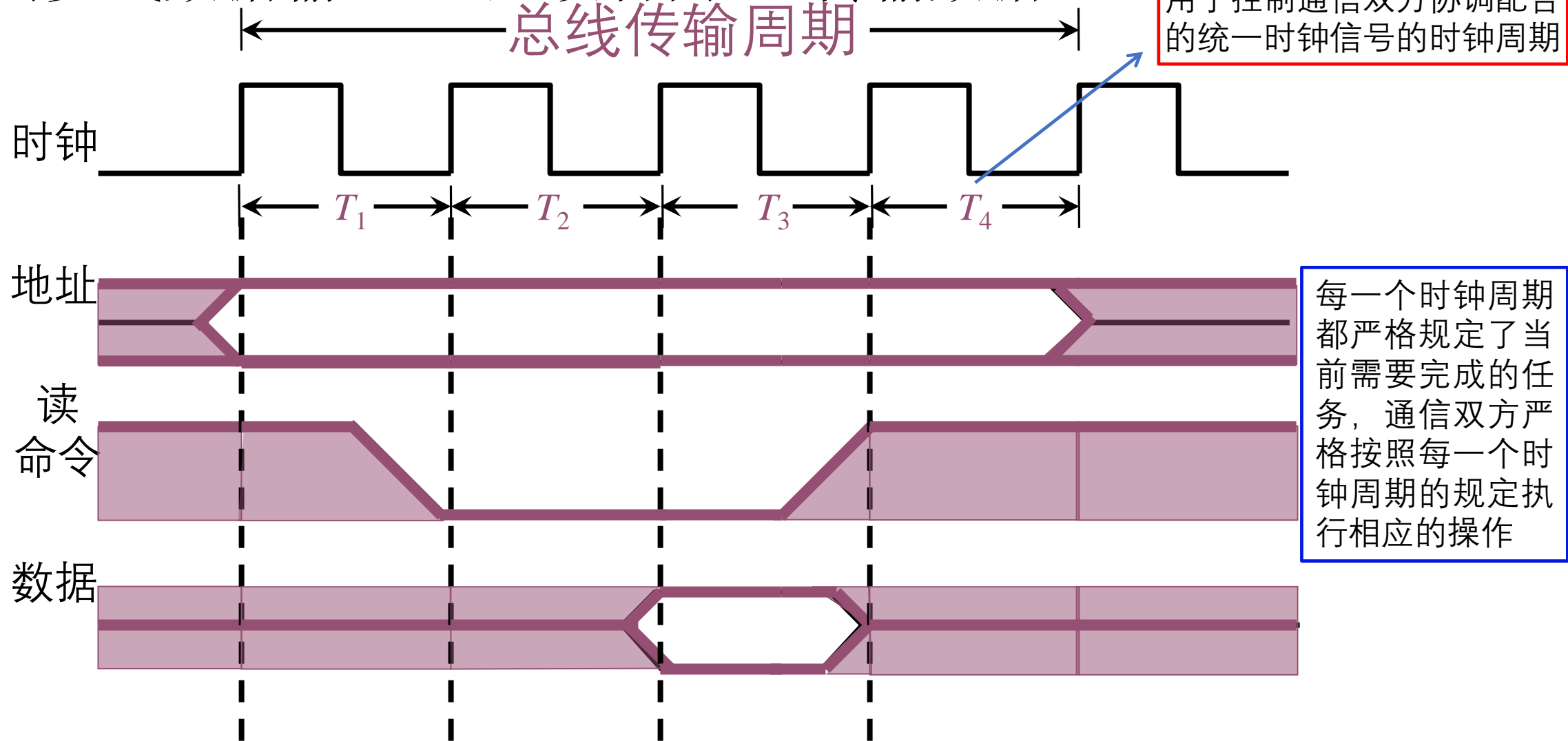
# 总线通信的四种方式

- 解决通信双方（主模块和从模块）如何获知数据传输开始和结束，以及通信双方在数据传输过程中协调配合

同步通信	由 <b>统一时标</b> 控制数据传送 通信双方在一个统一的时钟信号的控制下，严格按照规定，在给定的时间内完成数据的传输
异步通信	采用 <b>应答方式</b> ，没有公共时钟标准
半同步通信	<b>同步、异步结合</b>
分离式通信	充分 <b>挖掘</b> 系统 <b>总线每个瞬间</b> 的 <b>潜力</b>

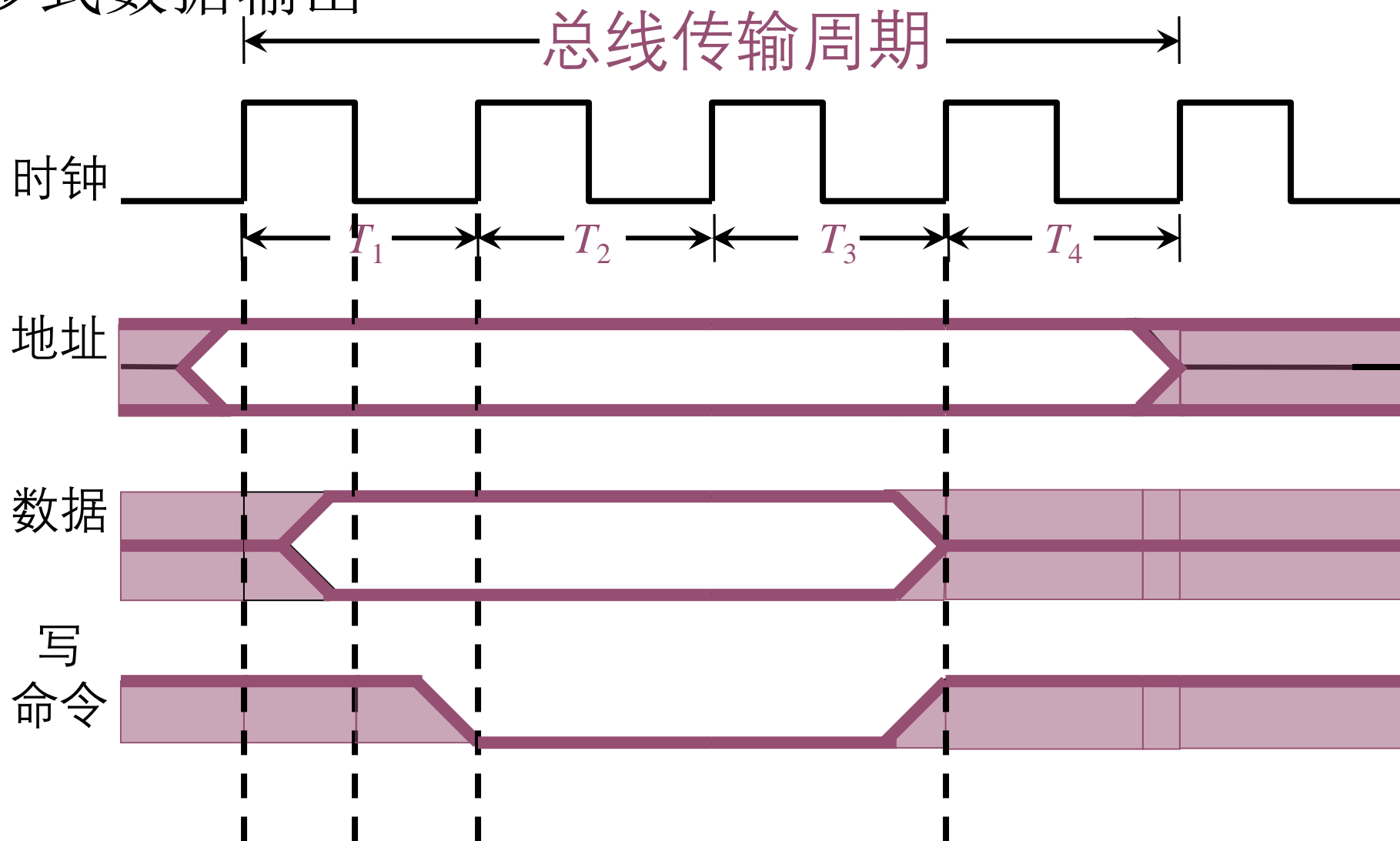


- 同步式数据输入：I/O设备向CPU传输数据



$T_1$ : 主模块(CPU)在上升沿到来时发出读命令。同时，与地址信号相符合的输入设备  
 $T_2$ : CPU在 $T_1$ 时钟周期内，将数据线上的数据输入到CPU的寄存器中  
 $T_3$ : CPU在 $T_2$ 时钟周期内，将数据线上的数据输入到CPU的寄存器中  
 $T_4$ : CPU在 $T_3$ 时钟周期内，将数据线上的数据输入到CPU的寄存器中  
 $T_5$ : CPU在 $T_4$ 时钟周期内，将数据线上的数据输入到CPU的寄存器中

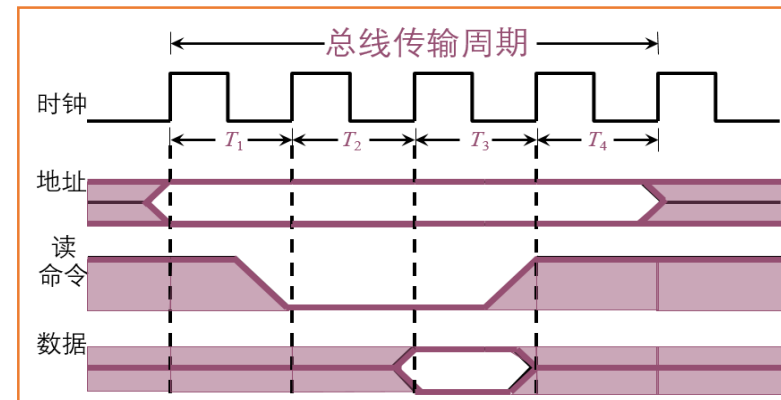
- 同步式数据输出



$T_1$ : 主模块发出写命令, 从模块接收到命令后, 在规定时间内 (2个时钟周期) 准备好数据并放到数据线上。  
 $T_2$ : 主模块在  $T_2$  时钟上升沿到来之前数据在数据线上稳定。  
 $T_3$ : 主模块在  $T_3$  时钟上升沿到来之前数据在数据线上稳定。  
 $T_4$ : 主模块在  $T_4$  时钟上升沿到来之前数据在数据线上稳定。

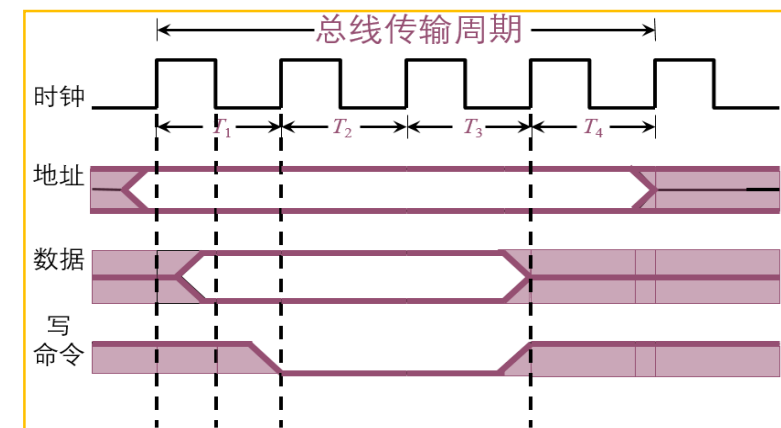
- 同步式数据输入（读命令）传输周期总结：

- $T_1$  主模块发地址。
- $T_2$  主模块发读命令。
- $T_3$  从模块提供数据。
- $T_4$  主模块撤销读命令，从模块撤销数据。



- 同步式数据输出（写命令）传输周期总结：

- $T_1$  主模块发地址。
- $T_{1.5}$  主模块提供数据。
- $T_2$  主模块发出写命令，从模块接收到命令后，在规定时间内（2个时钟周期）将数据总线上的数据写到地址总线指明的存储单元中。
- $T_4$  主模块撤销写命令和数据等信号。



**例7.1** 假设总线的时钟频率为 100MHz  
总线的传输周期为 4 个时钟周期  
总线的宽度为 32 位，试求总线的数据传输率。  
若想提高一倍数据传输率，可采取什么措施？

**解** 根据总线时钟频率为 100 MHz，得  
1个时钟周期为  $1/100\text{MHz} = 0.01 \mu\text{s}$   
总线传输周期为  $0.01\mu\text{s} \times 4 = 0.04 \mu\text{s}$   
总线的宽度为 32位 = 4B（字节）  
总线的数据传输率为  $4\text{B} / (0.04\mu\text{s}) = 10^8 \text{ B/s}$

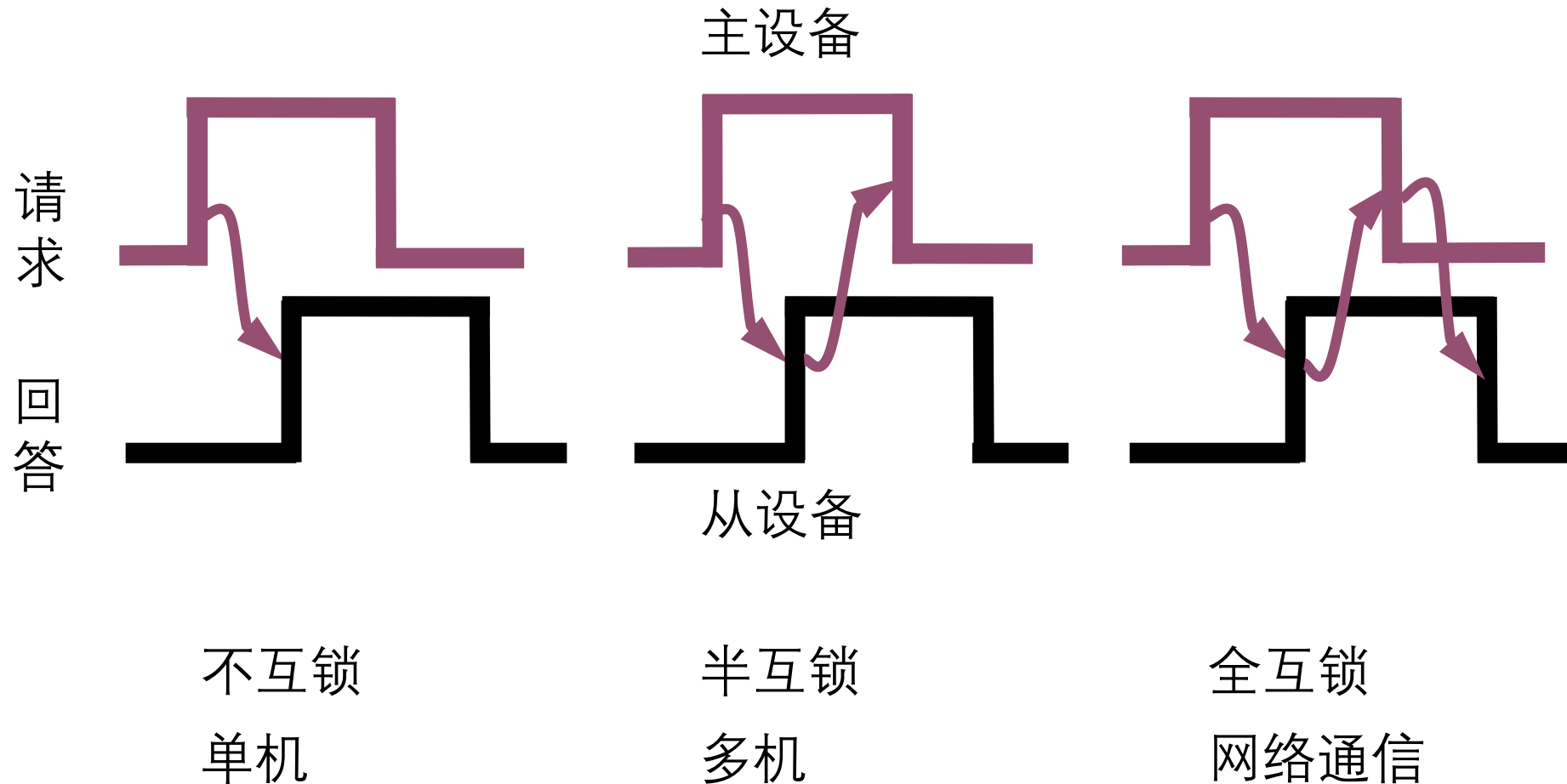
不改变时钟频率，数据线宽度改为 64 位

或 保持数据宽度为32位，总线的时钟频率增加到 200 MHz。

# 异步通信

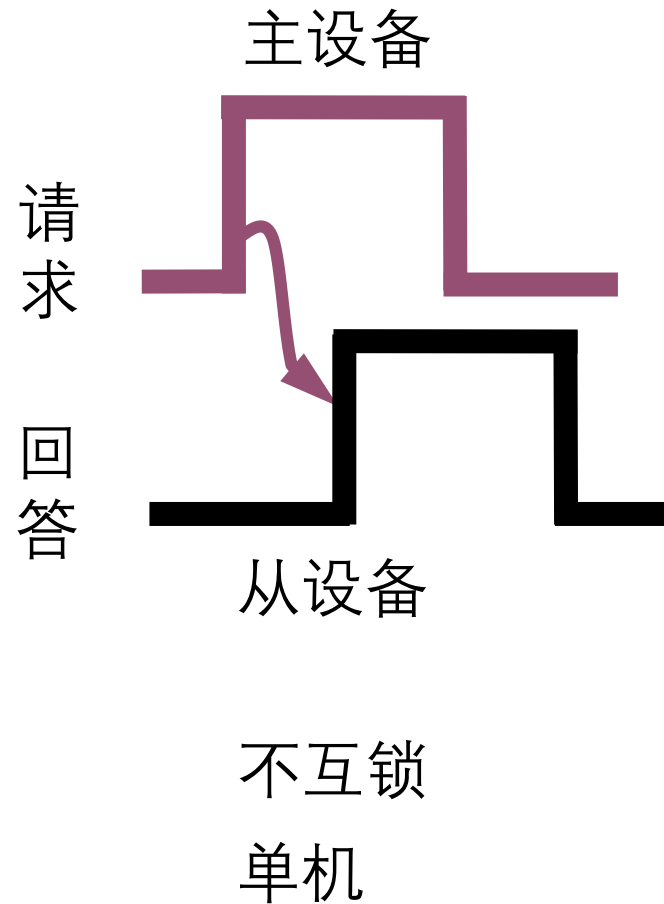
- 异步通信

- 异步通信克服了同步通信的缺点，允许各个设备速度的不一致性。它主要采用**应答方式**（又称**握手方式**）来完成数据通信，根据应答方式的不同，异步通信又可以分为**不互锁**、**半互锁**和**全互锁**三种类型。



# 异步通信

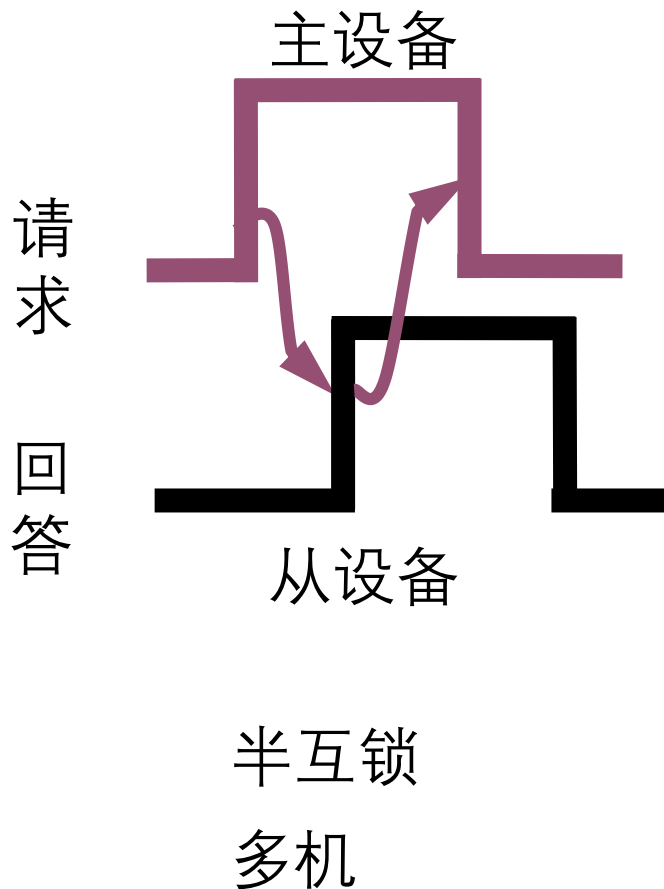
- 不互锁方式



- 主设备发出请求信号后，不需要等待接收到从设备的回答信号，而是经过一段时间，便撤销其请求信号。
- 从设备接收到请求信号后，在条件允许时发出回答信号，并且经过一段时间（这段时间的设置对于不同的从设备是不同的），自动撤销回答信号。
- 例如，CPU从主存中读信息就使用的是不互锁方式，CPU先后给出地址信号和读命令（请求信号）。主存接收到请求信号后，在条件允许时，将相应的数据输出到数据线上（回答信号），在维持一段时间后自动撤销。
- 不互锁方式主要用在单机不同设备之间的通信中。

# 异步通信

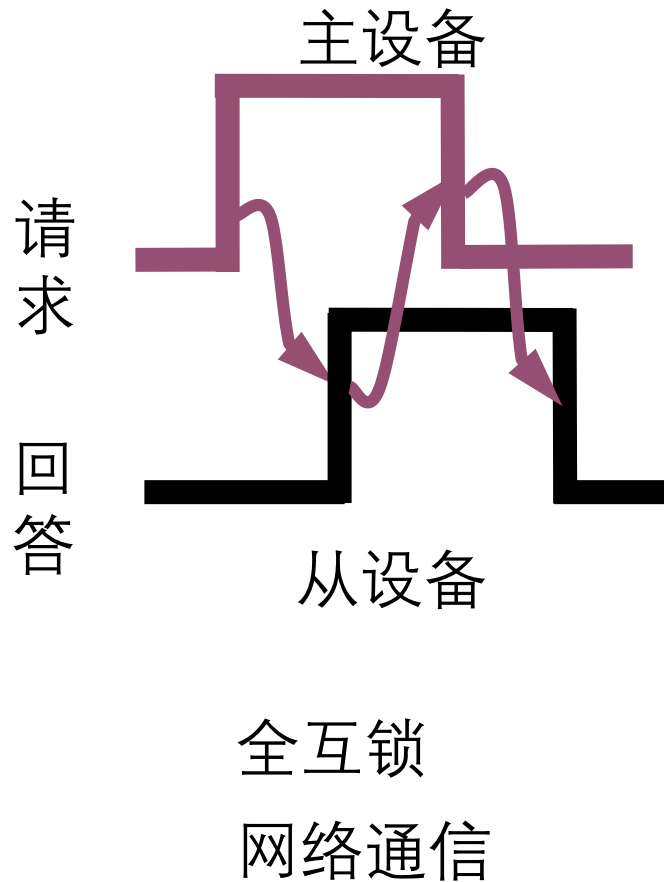
- 半互锁方式



- 主设备发出请求信号，必须等待接收到从设备的回答信号后再撤销请求信号，存在互锁关系。
- 从设备接收到请求信号后发出回答信号，并且经过一段时间后自动撤销回答信号，不存在互锁关系。
- 这种方式对于主设备存在互锁关系，对于从设备不存在互锁关系，因此称为半互锁方式。
- 例如，在多机系统中，当某个CPU需要访问共享存储器时，首先向共享存储器发出访存命令（请求信号）。然后需要等到存储器响应当前CPU的访存命令（回答信号），将当前CPU需要的数据返回后，CPU才能继续执行下一步操作。

# 异步通信

- 全互锁方式



- 主设备发出请求信号，必须等待接收到从设备的回答信号后再撤销请求信号，存在互锁关系。
- 从设备接收到请求信号后发出回答信号，**必须等待获知到主模块请求信号已经撤销后，再撤销回答信号**，也存在互锁关系。
- 由于主设备和从设备双方都存在互锁关系，因此称为**全互锁**方式。
- 全互锁方式主要应用于网络通信中，最典型的应用就是TCP的**“三次握手”**协议。



在系统总线的数据线上，不可能传输的是（）

- ☐ A 指令
- ☐ B 操作数
- ☒ C 握手（应答）信号

提交

## 例7.2

在异步串行传输系统中  
假设每秒传输 120 个数据帧  
其字符格式规定包含1个起始位  
7个数据位, 1个奇校验位, 1个终止位  
试计算波特率

波特率表示的是一个数据传输系统1秒钟可以传输多少位二进制位, 它的单位是 bps (位/每秒)

解

根据题目给出的字符格式

一帧包含  $1+7+1+1=10$  位

故波特率为

$$(1+7+1+1) \times 120 = 1200\text{bps} = 1200 \text{ 波特}$$

### 例7.3

在异步串行传输系统中

若字符格式为: 1 位起始位 8 位数据位

1 位奇校验位 1 位终止位

假设波特率为 1200 bps, 求这时的比特率。

(比特率: 单位时间内传送二进制有效数据的位数)

解

根据题目给出的字符格式

有效数据位为 8 位

传送一个字符需  $1+8+1+1=11$  位

故比特率为

$$1200 \times (8/11) = 872.72 \text{ bps}$$

# 半同步通信（同步、异步结合）

---

半同步通信保留了同步通信的基本特点，同时又像异步通信允许不同速度的模块和谐的工作。

同步    发送方 用系统 时钟上升沿 发信号

接收方 用系统 时钟下降沿 判断、识别

异步    允许不同速度的模块和谐工作

增加一条 “等待”响应信号线  $\overline{\text{WAIT}}$

# 以输入数据为例的半同步通信时序

---

$T_1$  主模块发地址

$T_2$  主模块发命令

$T_w$  当  $\overline{\text{WAIT}}$  为低电平时, 等待一个  $T$

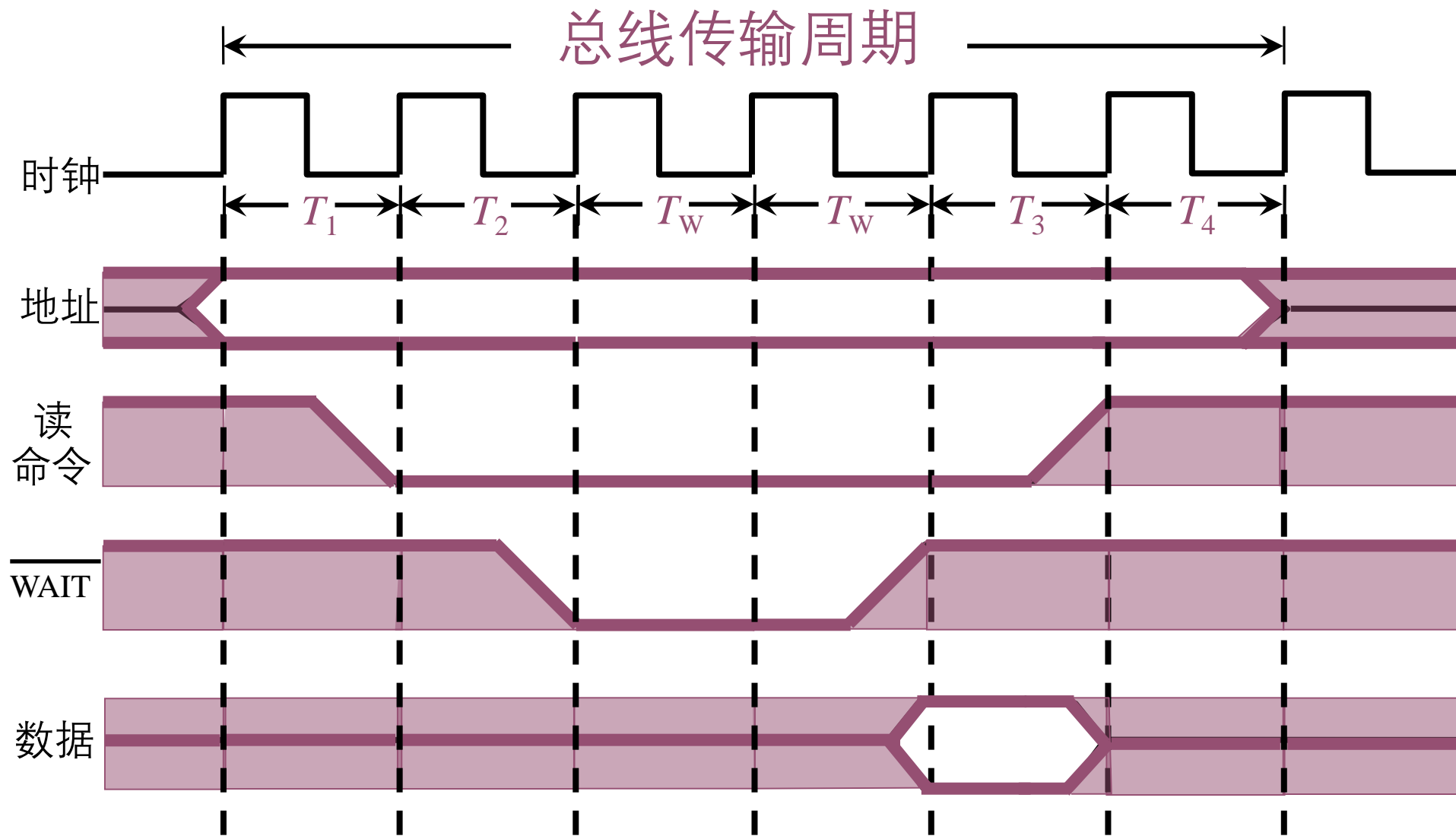
$T_w$  当  $\overline{\text{WAIT}}$  为低电平时, 等待一个  $T$

⋮

$T_3$  从模块提供数据

$T_4$  从模块撤销数据, 主模块撤销命令

# 半同步通信（同步、异步 结合）



$T_1$  主模块发地址

$T_2$  主模块发命令

$T_w$  当  $\overline{\text{WAIT}}$  为低电平时，等待一个  $T$

$T_w$  当  $\overline{\text{WAIT}}$  为低电平时，等待一个  $T$

$\vdots$

$T_3$  从模块提供数据

$T_4$  从模块撤销数据，主模块撤销命令

# 上述三种通信的共同点

---

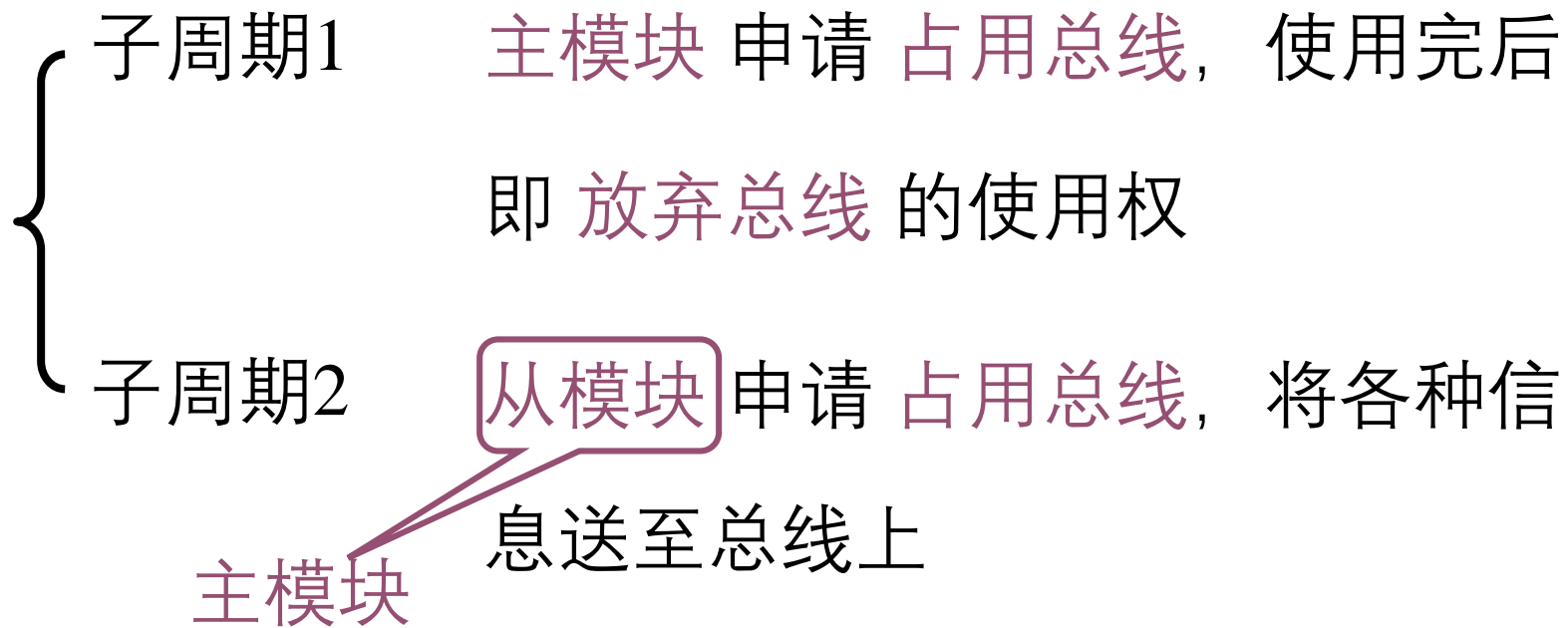
一个总线传输周期（以输入数据为例）

- 主模块发地址、命令    占用总线
- 从模块准备数据    不占用总线    总线空闲
- 从模块向主模块发数据    占用总线

- 分离式通信

充分挖掘系统总线每个瞬间的潜力

一个总线传输周期





# 分离式通信特点

---

1. 各模块有权申请占用总线
2. 采用同步方式通信，不等对方回答
3. 各模块准备数据时，不占用总线
4. 总线被占用时，无空闲

充分提高了总线的有效占用

# 系统总线小结

---

- 总线的基本概念：总线概念、总线分类
- 总线特性及性能指标
- 总线结构：单总线、双总线、三总线、四总线、传统微型机总线结构、VL-BUS局部总线结构、PCI总线结构、多层 PCI 总线结构
- 总线控制
  - 判优控制（链式查询、计数器定时查询、独立请求）
  - 通信控制
    - 传输周期4个阶段：申请分配、寻址、传输、结束
    - 总线通信4种方式：同步、异步、半同步、分离式

下列关于总线设计的叙述中，错误的是（）

- ☒ A 并行总线传输比串行总线传输速度快
- ☐ B 采用信号线复用技术可减少信号线数量
- ☐ C 采用突发传输方式可提高总线数据传输率
- ☐ D 采用分离事务通信方式可提高总线利用率

提交