

第四章 处理器体系结构

4-2 ——逻辑设计

本节主要内容

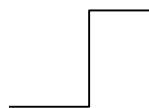
- 逻辑电路分类
 - 组合逻辑
 - 时序逻辑

- 构建CPU的硬件模块
 - ALU
 - 多路选择器
 - 比较器
 - 存储器
 - 寄存器文件
 - 读（组合逻辑）
 - 写（时序逻辑）

逻辑电路分类

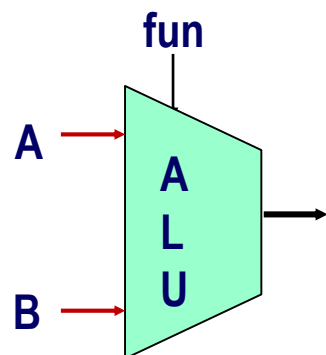
- **组合逻辑—输出仅取决于当前的输入**
 - 计算输入的布尔函数
 - 对输入的变化持续做出反应
 - 对数据做出操作并实施控制
- **时序逻辑—时钟上升沿来临时才更新输出**
 - 存储字节
 - 可寻址的内存
 - 不可寻址的寄存器
 - 时钟上升沿触发

时钟上升
沿

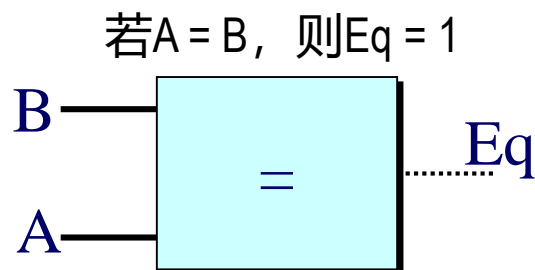


构建CPU的硬件模块

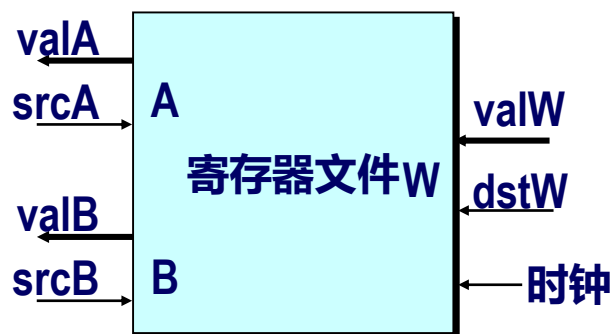
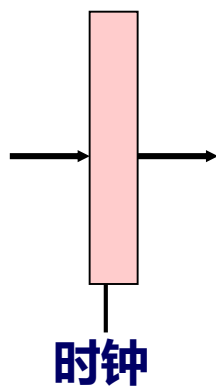
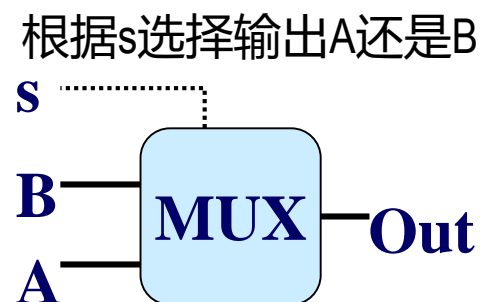
算术/逻辑单元(ALU)



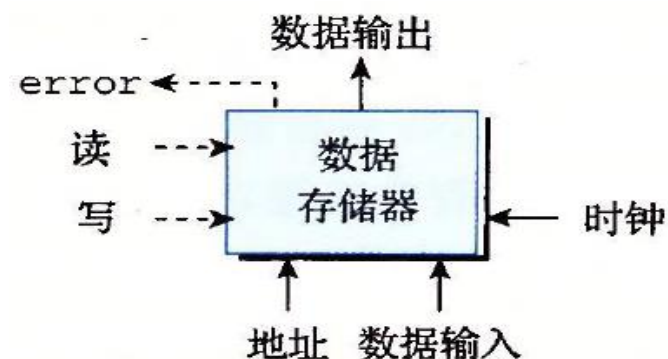
相等



多路选择 (二路选择)

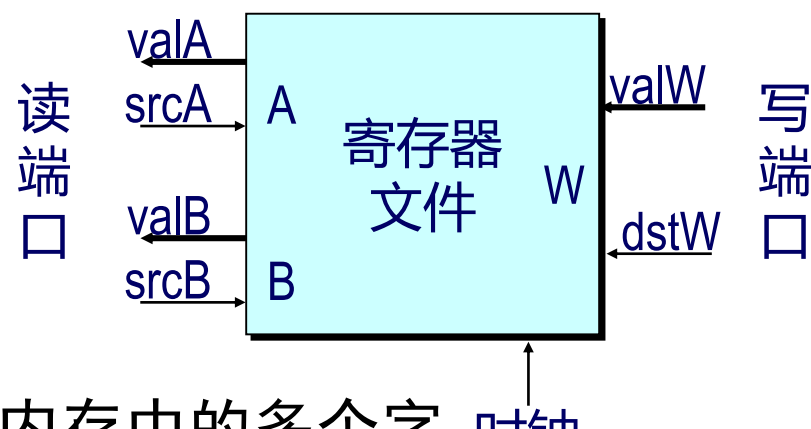
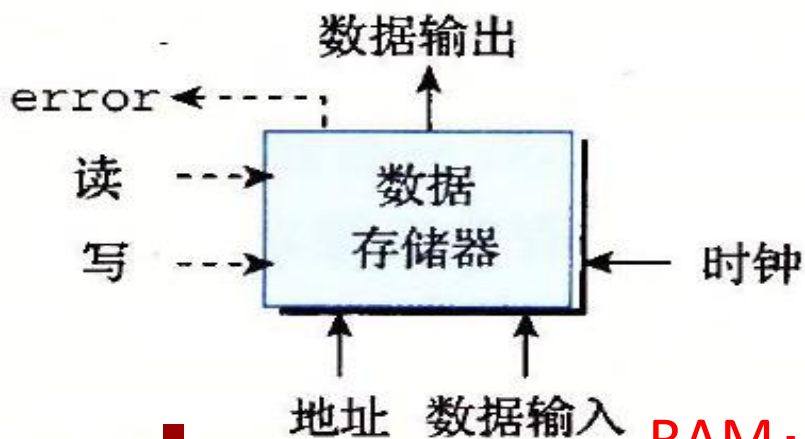


寄存器文件



存储器

时钟寄存器, 如: PC、CC、Stat 等



随机存取存储器

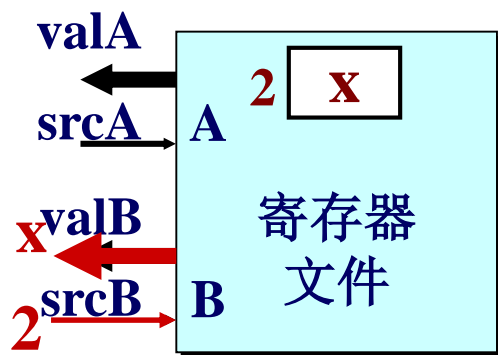
- **RAM: 存储内存中的多个字**
 - 通过输入的地址来决定读/写哪个字，写由clk控制。
- **RF: 寄存器文件**
 - **从硬件角度看:** 稳态、组合逻辑的屏障，CLK边沿触发。
 - **从程序角度看:** 汇编级用 `%rax`, `%rsp`, `%r14` 等，机器级-寄存器ID标识符作为地址 (0000-1110) 15 (0xF) 表示不执行读写
- **PORTS: 多端口**
 - 在每个周期可以同时读/写多个字
 - 每个端口有单独的地址和数据输入/输出

寄存器文件时序

注意读写不同！！

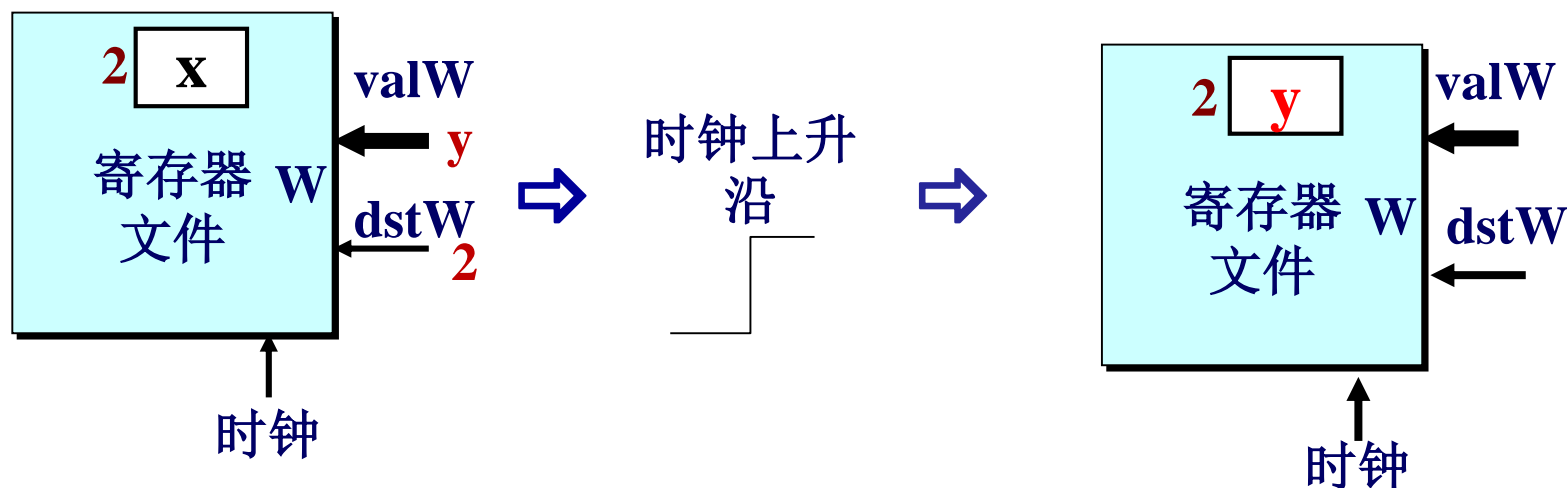
■ 读

- 类似组合逻辑
- 根据输入地址产生输出数据，
 - 有延迟



■ 写（属于时序逻辑）

- 类似寄存器
- 只在时钟上升沿更新



4-2 逻辑设计习题

1.判断对错:

在Y86-64的顺序结构实现中, 寄存器文件写时是作为组合逻辑器件看待。 (**X**)

Enjoy!