

2024 年春计算机组成原理期末考试回忆版试题

编者：夏提雅 参与回忆者：夏提雅、Chtholly Boss

Version: 1.2 (2024 年 7 月 4 日)

免责声明：本试题是在离开考场后，回忆出来的，不存在任何作弊行为；本试题题目部分不保证题干、选项与原题一致，但考察的中心思想一致。

(考试时间：2024 年 7 月 4 日；满分：100 分；时间：120 分钟)

一、选择题（共 10 小题，每小题 1 分，共 10 分）

- 下列器件速度比较，正确的是（ ）
 - Cache > 寄存器 > 内存
 - Cache > 内存 > 寄存器
 - 寄存器 > Cache > 内存
 - 寄存器 > 内存 > Cache
- 由 3 个“1”和 5 个“0”组成的 8 位二进制补码，能表示的最小整数是（ ）
 - 126
 - 125
 - 32
 - 2
- 下列做法可以提升同步通信总线的通信速率的是（ ）
 - 增加总线宽度
 - 提升总线传输频率
 - 复用数据总线和地址总线
 - I
 - II
 - I、II
 - I、II、III
- 假设总线一个传输周期可以传输 4 个字节的数据，总线的传输周期为 2 个时钟周期，总线的时钟频率为 10MHz，则总线的带宽为（ ）
 - 10MB/s
 - 20MB/s
 - 40MB/s
 - 80MB/s
- 在做手术过程中，医生经常将手伸出，等护士将手术刀递上，待医生握紧后，护士才松手。如果把医生和护士看作是两个通信模块，上述一系列动作相当于（ ）
 - 同步通信
 - 不互锁异步通信
 - 半互锁异步通信
 - 全互锁异步通信
- 在 RV-32I 型指令集中，32 位计算机中 x1 寄存器对应的地址存放的内容是 0x12845678，则执行指令 lb x12, 2(x1) 后，x12 寄存器的值为（ ）
 - 0x00000012
 - 0x00000084
 - 0x00000056
 - 0xFFFFFFFF84
- 下列关于 Cache 的说法，不正确的是（ ）
 - Cache 存放的内容是主存某个块内容的副本

- B. Cache 的命中率与 Cache 块的大小有关
C. Cache 可以取代主存的地位
D. Cache 的容量一般比主存小
8. 计算机通用寄存器的位数与（ ）有关
A. 主存容量 B. 机器字长 C. 指令长度 D. 以上都不对
9. 中断服务程序的最后一条指令是（ ）
A. 转移指令 B. 中断指令 C. 中断返回指令 D. 空指令
10. 硬盘适合于用（ ）方式实现输入输出操作
A. 程序查询 B. 中断 C. DMA D. 半互锁

二、填空题（每空 1 分，共 20 分）

1. 写出除了面向摩尔定律设计外，计算机体系结构中剩下的 7 个伟大思想的其中四个：_____、_____、_____、_____。
2. 设浮点数字长 25 位，其中阶码 5 位（含 1 位阶符）、尾数 20 位（含 1 位数符），均采用补码表示，且尾数采用规格化形式，则其能表示的最大负数是_____。（用十进制表示，不需要化简）
3. 设机器数字长为 32 位，欲表示 ± 3 万之间的十进制数，在保证数的最大精度条件下，除阶符和数符各取 1 位外，阶码应取_____位，尾数应取_____位。
4. DRAM 的刷新有_____、_____和_____三种方式。
5. 一个 $16K \times 8$ 位的存储器的数据线和地址线总和为_____。
6. 保护现场包括对_____和_____的保护。
7. Cache-主存层次结构是为了解决_____问题。
8. $0x20240704$ 存放在地址为 $0400H \sim 0403H$ 的位置，如果数据按照小尾（小端）方式存储，那么 $0402H$ 存放的数据是 $0x$ _____；如果数据按照大尾（大端）方式存储，那么 $0401H$ 存放的数据是 $0x$ _____。
9. 已知某流水线划分为取指、译码、执行、访存四个阶段，若每个阶段的用时均为 t ，若连续执行 8 条指令，则流水线的加速比为_____。
10. 写命中时，将数据同时写入 Cache 和主存的方法叫做_____。
11. 某机有 4 个中断源，硬件优先顺序为 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4$ ，若中断处理顺序为 $4 \rightarrow 1 \rightarrow 2 \rightarrow 3$ ，则中断源 2 对应的屏蔽字是_____（1 为屏蔽）。
12. DMA 方式工作过程包括预处理、_____和后处理。

三、简答题（共 4 小题，共 20 分）

1.（5 分）

- （1）写出 IEEE754 单精度浮点数标准下，正负浮点数（即规格化浮点数）的最大值。
- （2）请验证 -120 的 IEEE754 单精度浮点数的十六进制写法是否为 C2F0 0000H。若不是，请写出其正确的 IEEE754 单精度浮点数表示（用十六进制表示）。

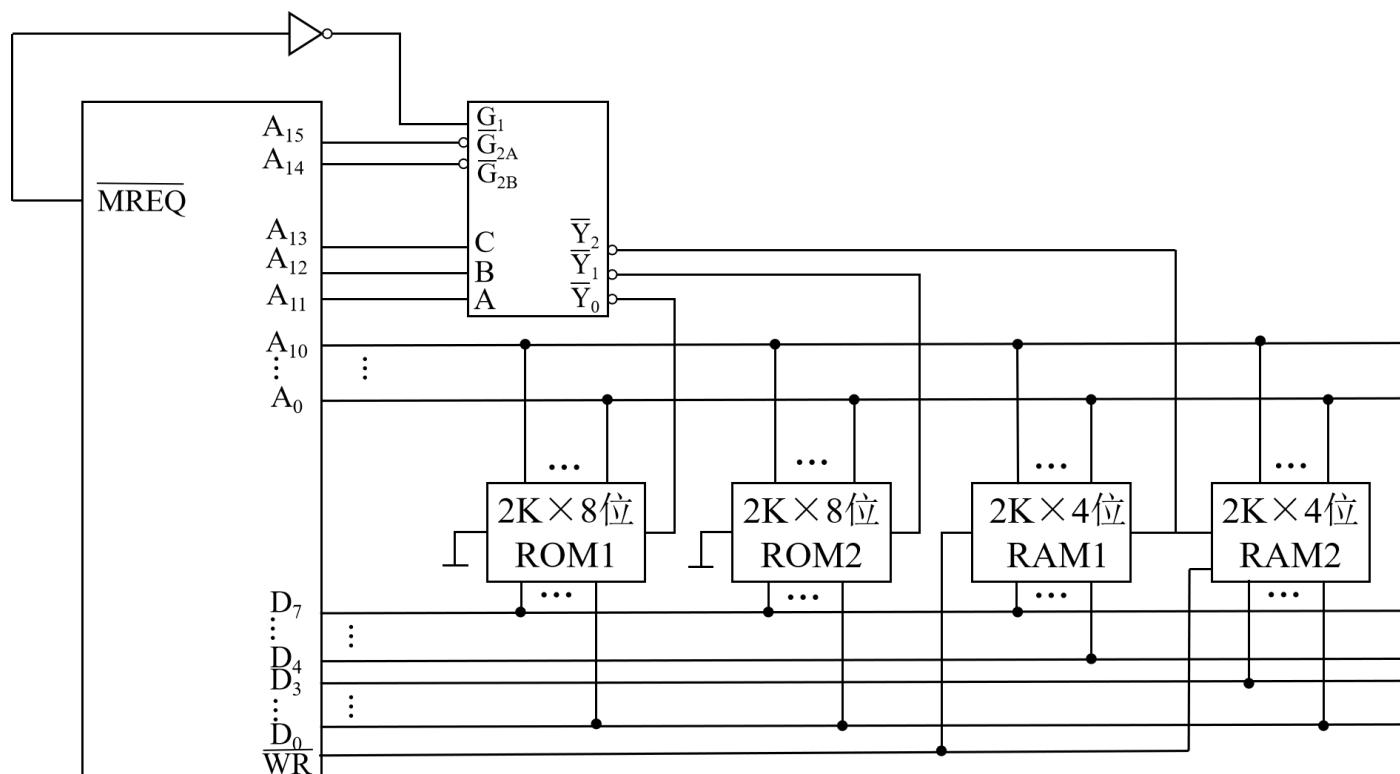
2. （5 分）集中式总线判优判优逻辑有哪三种方式？其中哪一种对电路最敏感？

3. （4 分）接收到的按偶校验（配偶原则）配置的汉明码为 1100100，求传输的原始 4 位二进制代码。

4. （6 分）

设 CPU 有 16 根地址线，8 根数据线， $\overline{\text{MREQ}}$ 为访存控制信号（低电平有效）， $\overline{\text{WR}}$ 读/写控制信号（高电平为读，低电平为写）。

CPU 与存储器的连接图，如下：



- (1) 写出系统程序区和用户程序区的地址范围。
- (2) 指出哪些芯片进行了位扩展，哪些芯片进行了字扩展？

四、计算题（共 2 小题，共 15 分）

1. （5 分）设机器数长 8 位（含 1 位符号位），已知 $A = \frac{11}{64}$ ， $B = -\frac{5}{32}$ ，请用（单符号位）补码运算规则计算 $A - B$ 。

2. （10 分）已知 $x=11101$ ， $y=-10101$ ，请用 Booth 算法，采用双符号位计算 $x \cdot y$ 。

五、

设某机主存容量为 16MB，按字节寻址，其中 Cache 容量为 16KB，每字块有 8 个字，每个字 32 位。（10 分）

- （1）若使用直接映射方式，请画出主存地址字段中各段的位数。
- （2）若使用四路组相联映射方式，请画出主存地址字段中各段的位数。
- （3）地址为 ABCDEFH 的主存单元会被映射到 Cache 中的第几组（用十进制表示，设起始块号为 0）？
- （4）若 Cache 速度是主存的 5 倍，Cache 命中率为 90%，试问有 Cache 与无 Cache 相比，速度提高了多少倍？

六、下列涉及指令均为 RV64 指令。（共 5 小题，共 15 分）

1. 0x003b1513 对应的 RISC-V 指令是_____。
2. 下述指令序列中，bne x9, x24, NOP 的机器码的十六进制表示为 0x_____。

```
bne x9,x24,NOP
addi x11, x0, 3
andi x11, x11, 1
```

NOP: addi x11, x0, 0

3. 执行完下述指令序列后，寄存器 x10 的值为_____。（用十进制表示）

```
addi x11, x0, 11
addi x5, x0, 0
addi x10, x0, 0
```

Loop: bge x5, x11, Done

```
addi x10, x10, x5
addi x5, x5, 1
jal x0, Loop
```

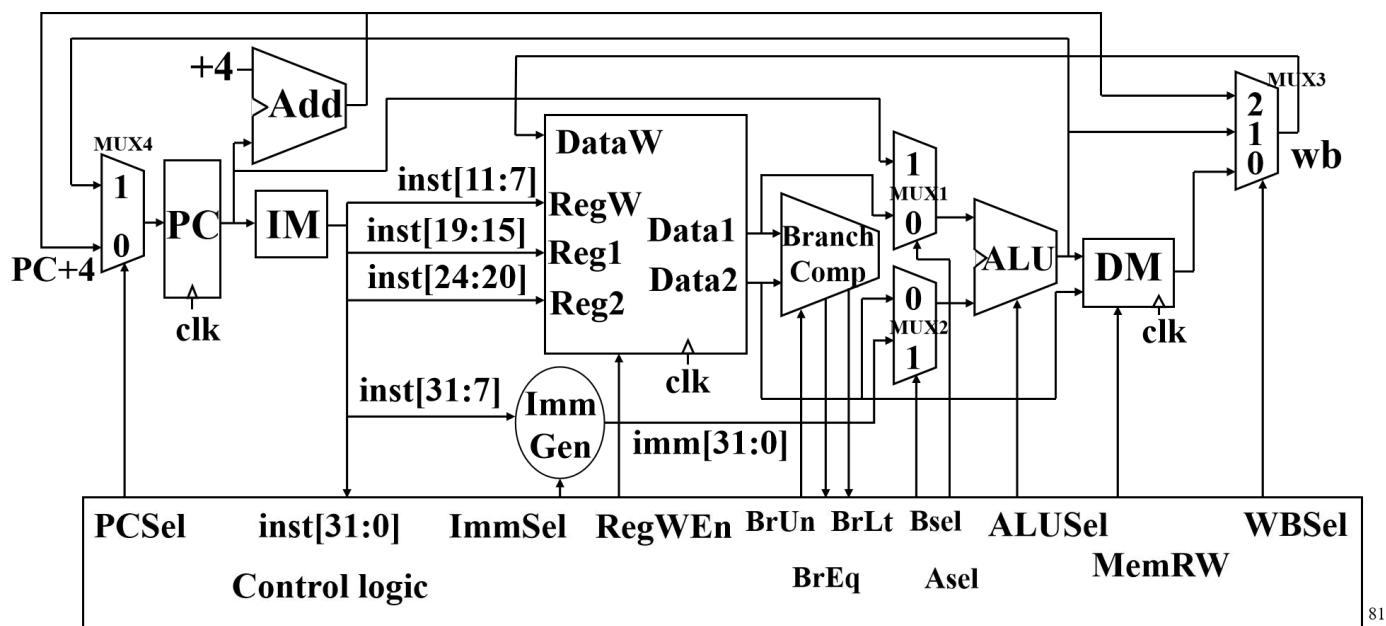
Done:

4. 在五阶段流水线中执行下述指令序列，则指令序列存在_____个数据冒险；若能够使用前递的方式解决数据冒险，则指令序列至少需要_____个时钟周期才能实现；若能够使用重新编排代码与前递相结合的方式解决数据冒险，则指令序列最少需要_____个时钟周期才能实现。

```
ld x1, 4(x0)
ld x2, 8(x0)
add x3, x2, x4
add x8, x1, x5
ld x7, 12(x0)
ld x5, 16(x0)
add x6, x1, x5
```

5. 已知数组 int a[100]的基地址存储在寄存器 x2 中，变量 b 的值存放在寄存器 x3 中，请写出 RISC-V 汇编代码实现 C 语句：a[10] = a[3] + b;

七、综合题（10 分）



在上图所示的数据通路中：

RegWEn: 0 表示读有效，1 表示写有效。

MemRW: 0 表示读有效，1 表示写有效。

假设我们有一条 ldsb 指令，其含义为

$$\text{Reg}[\text{rd}] = \text{Mem}[\text{Reg}[\text{rs1}] + \text{Reg}[\text{rs2}]]$$

（1）给出下列各个控制信号在处理该指令时的值（只需填 0、1 或 2）。

Asel	Bsel	WBSel	MemRW	RegWEn	PCSel

（2）该指令是否需要符号扩展？如不需要，请问指令执行时，ImmGen 的符号扩展单元发生了什么变化？