串行外围设备接口 (Serial Peripheral Interface) 是高速、全双工、同步通信总线 应用: EEPROM、FLASH、ADC、DSP、数字信号解码器 定义 优点:全双工、通讯简单、数据传输速率快 缺点:没有指定的流控制、无应答机制、数据可靠性上有一定的缺陷 Master Slave 一主一从 SCK Slave1 Master CS3 Slave2 物理层 通讯模式: 主从通讯模式 Slave3 一主多从 时钟信号线,由主机产生,决定通信速率 SCK (Serial Clock) MOSI (Master Output Slave Input) 主机发送数据 or 从机接收数据的线 四根数据线作用 MISO (Master Input Slave Output) 主机接收数据 or 从机发送数据的线 CS (Chip Select) 片选信号,低电平表示选中 CPOL=0: SPI总线空闲时SCK=0 时钟极性 (CPOL, Clock Polarity) CPOL=1: SPI总线空闲时SCK=1 CPHA=0: SCK 第一个跳变沿采样 时钟相位 (CPHA, Clock Phase) CPHA=1: SCK 第二个跳变沿采样 协议详述 SCK (CPOL=0, CPHA=0) 工作模式 **SPI** SCK (CPOL=0, CPHA=1) SCK (CPOL=1, CPHA=0) SCK (CPOL=1, CPHA=1) 上升沿采样数据 CPOL、CPHA 决定有四种工作模式 CS SCK MOSI X D5 X D4 X D3 X D2 X D1 X D0 MISO D7 D8 D5 D4 D3 D2 D1 D0 通讯过程 模式3 (CPOL=1, CPHA=1) 为例 实现FPGA和ADC128S022数据互通 任务 FPGA: 发送采样通道地址给ADC128S022 ADC128S022: 把相应通道的数据发送回来给FPGA AGND INO -CS 片选信号, 低电平有效 IN1 IN2 -- IN7 **SCLK** 时钟信号,允许频率范围: 0.8M H z~3.2M H z IN3 · - IN6 引脚图 控制寄存器 (8bit) DIN 第5.4.3bit为输入通道选择bit DOUT 输出端口 **Timing Diagrams** ADC128S022 Operational Timing Diagrams ADC128S022 时序图 Verilog实现 ADDO ADDO DB11 DB10 DB9 DB8 DB7 DB6 DB5 DB4 DB3 DB2 DB1 DB0 FOUR ZEROS 时序图 sys_clk data_receive[11:0] sys_rst_n spi_start addr[2:0] spi spi_cs spi_miso spi_sck spi_mosi din dout sclk adc128s022 蓝:系统接口 模块设计图 红:用户接口

绿: spi通信接口