

SPI

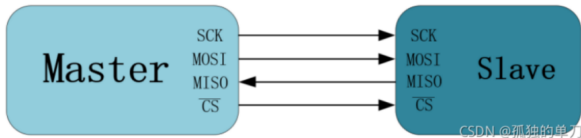
定义

- 串行外围设备接口 (Serial Peripheral Interface)
- 是高速、全双工、同步通信总线
- 应用：EEPROM、FLASH、ADC、DSP、数字信号解码器
- 优点：全双工、通讯简单、数据传输速率快
- 缺点：没有指定的流控制、无应答机制、数据可靠性上有一定的缺陷

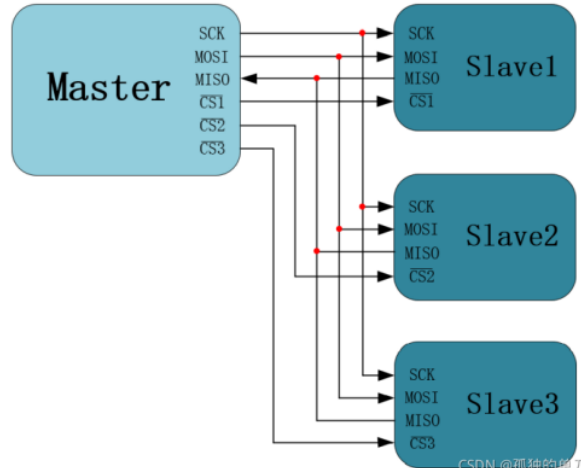
协议详述

物理层 通讯模式：主从通讯模式

一主一从



一主多从



四根数据线作用

- SCK (Serial Clock) 时钟信号线，由主机产生，决定通信速率
- MOSI (Master Output Slave Input) 主机发送数据 or 从机接收数据的线
- MISO (Master Input Slave Output) 主机接收数据 or 从机发送数据的线
- CS (Chip Select) 片选信号，低电平表示选中

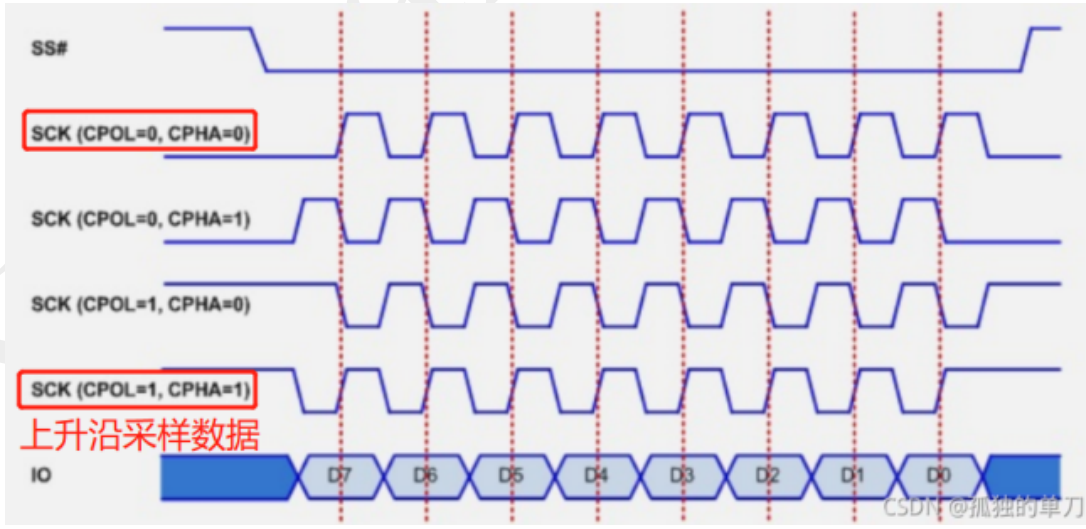
时钟极性 (CPOL, Clock Polarity)

- CPOL=0: SPI总线空闲时SCK=0
- CPOL=1: SPI总线空闲时SCK=1

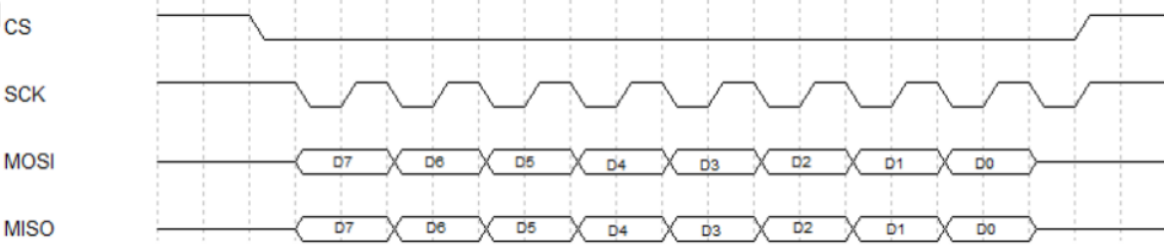
时钟相位 (CPHA, Clock Phase)

- CPHA=0: SCK 第一个跳变沿采样
- CPHA=1: SCK 第二个跳变沿采样

CPOL、CPHA 决定有四种工作模式



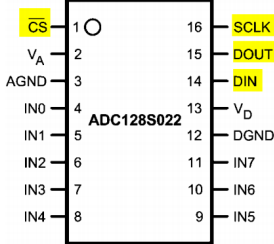
通讯过程 模式3 (CPOL=1, CPHA=1) 为例



任务

- 实现FPGA和ADC128S022数据互通
- FPGA：发送采样通道地址给ADC128S022
- ADC128S022：把相应通道的数据发送回来给FPGA

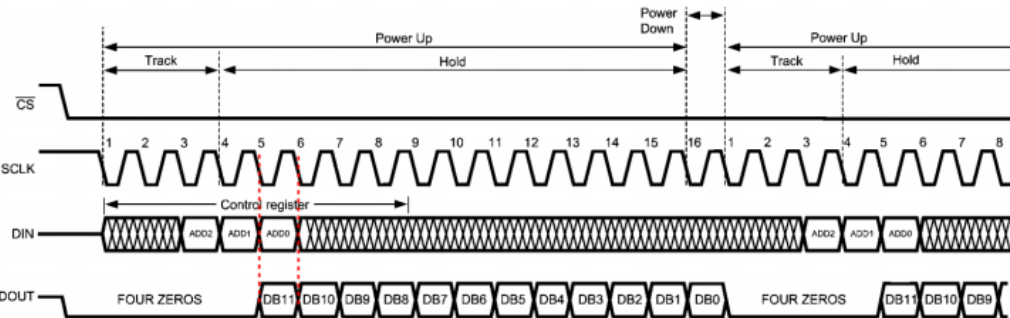
引脚图



- CS 片选信号，低电平有效
- SCLK 时钟信号，允许频率范围：0.8M Hz~3.2M Hz
- DIN 控制寄存器 (8bit)  
第5.4.3bit为输入通道选择bit
- DOUT 输出端口

ADC128S022 时序图

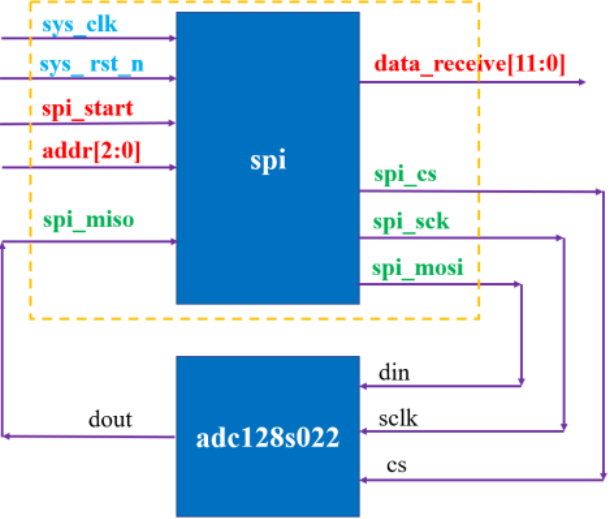
Timing Diagrams ADC128S022 Operational Timing Diagrams



时序图

Verilog实现

模块设计图



- 蓝：系统接口
- 红：用户接口
- 绿：spi通信接口