

## 17—18 学年第 1 学期 计算机组成原理（理论）A 卷参考答案

出卷人：江爱文

### 一、选择题（15 分，每题 1 分）

BADCD CBCBA BBCBB

### 二、填空题（20 分，每空 1 分）

（1） 1, 8, 23, 127

（2） 存取周期、存储器带宽

（3） 24

（4） 20, 9, 5, 13

（5） 高速缓存 Cache, 主存, 外存

（6） 集中式, 分散式, 异步式

（7） 运算器, 存储器、控制器

### 三、问答题（15 分）

1、（7 分）总线是计算机多个系统部件之间进行数据传送的公共通路。单机系统中总线结构大致有三个基本类型：单总线结构、双总线结构、三总线机构。按照传输数据类型不同分为数据总线、地址总线、控制总线三类。

（注：这道题出的不够严谨，请各位老师酌情给分）

2、（8 分）一个完善的指令系统应该满足四方面的要求：

（1）完备性：指令系统丰富，功能齐全，使用方便，即指令系统直接提供的指令足够使用，不必用软件来实现。

（2）有效性：指令系统所编写的程序能高效率地运行，表现在程序占用存储空间小、执行速度快。

（3）规整性：包括指令系统的对称性、匀齐性、指令格式和数据格式一致性。

（4）兼容性：至少要能做到“向上兼容”，即低档机上运行的软件能够在高档机上运行。

（注：答案回答出四个要点便可给分）

#### 四、计算题 ( 30 分 )

##### 1、 ( 6 分 ) 参考答案 :

假设顺序存储器和交叉存储器连续读出  $M=8$  个字的信息总量均为

$$Q = 64 \text{ 位} \times 8 = 512 \text{ 位}$$

顺序存储器连续读出 8 个字所需的时间是 :

$$t_2 = MT = 8 \times 200\text{ns} = 1600\text{ns} = 16 \times 10^{-7}\text{s}$$

交叉存储器连续读出 8 个字所需的时间是 :

$$t_1 = T + (m-1)\tau = 200 + 7 \times 50\text{ns} = 550\text{ns} = 5.5 \times 10^{-7}\text{s}$$

因此 ,

$$\text{顺序存储器带宽为 : } w_2 = Q / t_2 = 512 / (16 \times 10^{-7}) = 32 \times 10^7 \text{ bit/s}$$

$$\text{交叉存储器带宽为 : } w_1 = Q / t_1 = 512 / (5.5 \times 10^{-7}) = 93.1 \times 10^7 \text{ bit/s}$$

##### 2、 ( 6 分 ) 参考答案 :

$$[A]_{\text{补}} = 0000 \ 1111, \quad [B]_{\text{补}} = 0001 \ 1000, \quad [-B]_{\text{补}} = 1110 \ 1000$$

$$[A+B]_{\text{补}} = 0000 \ 1111 + 0001 \ 1000 = 0010 \ 0111, \text{ 因此, } A+B=39$$

$$[A-B]_{\text{补}} = 0000 \ 1111 + 1110 \ 1000 = 1111 \ 0111, \text{ 因此, } A-B=-9$$

##### 3、 ( 8 分 ) 参考答案 :

先通过主频求出时钟周期,再求出机器周期和平均指令周期,最后通过平均指令周期的倒数求出平均指令执行速度。计算如下 :

$$\text{时钟周期} = 1/8 \text{ MHz} = 0.125 \times 10^{-6} = 125 \text{ ns}$$

$$\text{机器周期} = 125 \text{ ns} \times 2 = 250 \text{ ns}$$

$$\text{平均指令周期} = 250 \text{ ns} \times 2.5 = 625 \text{ ns}$$

$$\text{平均指令执行速度} = 1/625 \text{ ns} = 1.6 \text{ MIPS}$$

当参数改变之后 ,

$$\text{机器周期} = 125 \text{ ns} \times 4 = 500 \text{ ns} = 0.5 \mu\text{s}$$

平均指令周期 =  $0.5 \mu s \times 5 = 2.5 \mu s$

平均指令执行速度 =  $1 / 2.5 \mu s = 0.4 \text{ MIPS}$

结论：两个主频相同的机器，执行速度不一定一样

4、（10分）参考答案：

（1）指令：4420H = (0100 0100 0010 0000)<sub>B</sub>

X=00, 因此是直接寻址, EA = 0020H

（2）指令：2244H = (0010 0010 0100 0100)<sub>B</sub>

X=10, 因此是 R2 变址寻址, EA = (R<sub>2</sub>) + D = 1122H + 44H = 1166H

（3）指令：1322H = (0001 0011 0010 0010)<sub>B</sub>

X=11, 因此是相对寻址, EA = (PC) + D = 1234H + 22H = 1256H

（4）指令：3521H = (0011 0101 0010 0001)<sub>B</sub>

X=01, 因此是 R1 变址寻址, EA = (R<sub>1</sub>) + D = 0037H + 21H = 0058H

（5）指令：6723H = (0110 0111 0010 0011)<sub>B</sub>

X=11, 因此是相对寻址, EA = (PC) + D = 1234H + 23H = 1257H

## 五、设计题（20分，二选一）

1、根据主存地址空间分配为：

A15 ... A11 ... A7 ... .. A0

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	} 最大 4K 2K×8 位 ROM 2 片
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	
1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	

1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	} 相邻 4K 4K×4 位 RAM 2 片
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	} 最小 16K 8K×8 位 RAM 2 片
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

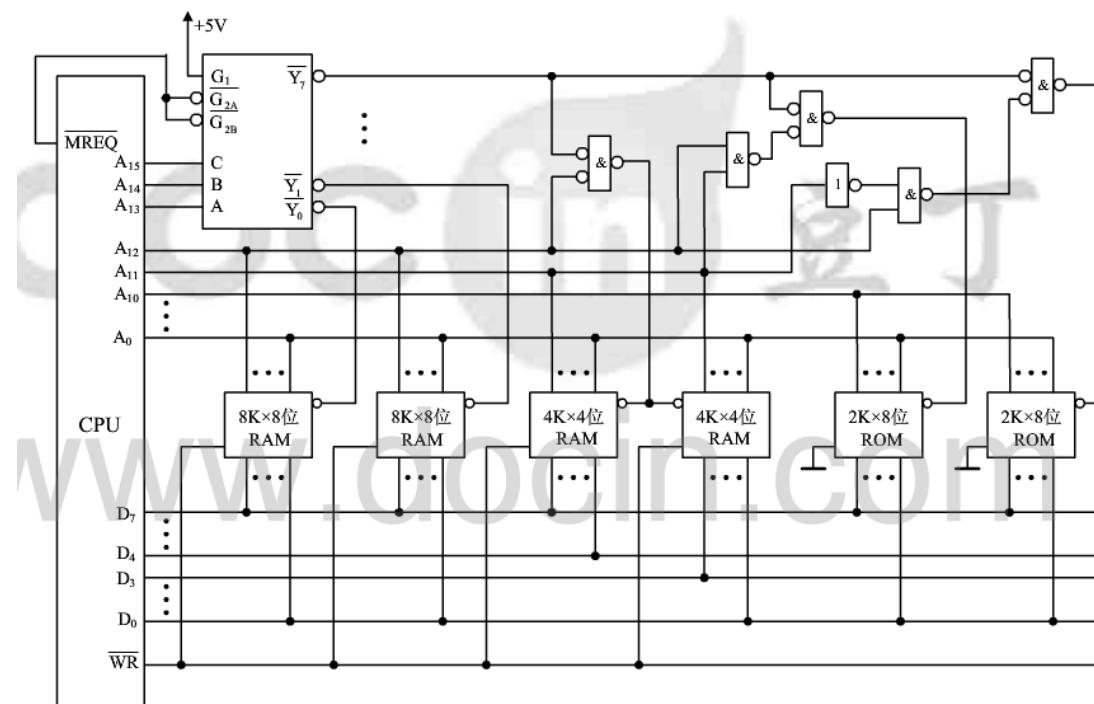
(2)选出所用芯片类型及数量

最大 4K 地址空间为系统程序区，选用 2 片 2K ×8 位 ROM 芯片；

相邻的 4K 地址空间为系统程序工作区，选用 2 片 4K ×4 位 RAM 芯片

最小 16K 地址空间为用户程序区，选用 2 片 8K×8 位 RAM 芯片。

(3)CPU 与存储芯片的连接图如图所示



## 2、参考答案

(1) 微指令字长 12 位，微指令格式如下

0	1	2	3	4	5	6	7	8	9	10	11
$RA_0RA_1$	$WA_0WA_1$	R	W	$LDS_A$	$LDS_B$	$S_B \rightarrow ALU$	$\overline{S_B} \rightarrow ALU$	CLR	~		

各字段意义如下：

$RA_0RA_1$ —读  $R_0-R_3$  的选择控制。

$WA_0WA_1$ —写  $R_0-R_3$  的选择控制。

$LDS_A$ —打入  $SA$  的控制信号。

$LDS_B$ —打入  $SB$  的控制信号。

$S_B \rightarrow ALU$ —传送  $S_B$  的控制信号。

$\overline{S_B} \rightarrow ALU$ —传送  $\overline{S_B}$  的控制信号。

CLR—清暂存器  $SB$  为零的信号。

~ — 一段微程序结束，转入取机器指令的控制信号。

R—通用寄存器读命令

W—通用寄存器写命令

(2)

