

# Basics

---

- Group: BBC
- Member:
  - 孫凡耘 B04902045
  - 戴培倫 B04902105
- Teamwork:
  - (50%):戴培倫
  - (50%):孫凡耘

## Environment

Icarus Verilog version 0.9.7 (v097)

## Modules Implementation

### Pipeline Registers

為了做到記憶體存取延遲 10 cycle 需要在 PC 跟 pipeline registers 上新增處理 stall 的 signal

- pipeline registers(IFID, IDEX, EXMEM, MEMWB): Add stall\_i signal
- PC.v(Use the file TA gave us, did not modify)

### dcache\_top

負責處理記憶體讀寫操作如果 cache hit 就直接從 cache 讀寫資料如果 cache miss 依照下列步驟處理

1. hit miss 會將 stall signal 設為 1Data Memory is available.
2. 判斷 cache 是否 dirty 不是的話跳到第四步
3. 進行 write back 等到 Data Memory ack 完成
4. 賦予 Data Memory 的 read 權限將 miss address 的資料從 Data Memory 調出送到 Register 儲存
5. 當第三步完成以後賦予 cache 的 write 權限將剛剛儲存在 Register 的資料寫入 cache 裡面並更新 cache tagData Memory is unavaible.
6. 寫入 cache tag 以後狀態會變成 cache hit 直接從 cache 繼續讀寫原先操作的資料。

### dcache\_tag\_sram

它會根據 input 的 enable, write 信號寫入或輸出指定 address 的資料

處理 cache 的 Tag 欄位共有 24 個 bit

- 23: Valid-invalid bit
- 22: Dirty bit
- 21-0: Tag bit

### dcache\_data\_sram

負責存放 cache 的 data 因為 offset 是 5 bits, 一個 row 共有  $2^5=32$  個 bytes

它也會根據 input 的 enable, write 信號寫入或輸出指定 address 的資料

## Problems and Solutions

- Cache Bug 一開始並沒有考慮到 hit 值對 data 的影響所以在 write back 的時候應該要儲存 Data Memory 的值時儲存到 sram 的值。
- Bug while adapting TA's code
- dcache\_top.v:137 typo, should be 224 instead of 244. Fixed.