

# VLSI Design Automation HW2 tutorial 2016

國立清華大學 電機工程學系

一〇四學年度第二學期

**EE-5265** 積體電路設計自動化

(VLSI Design Automation)

## 1. 前置作業

I. 登入電機系工作站後, 連到 ws server 上.

e.g. : %>ssh -X ws36

II. 解壓縮提供的檔案

%>tar -xvf EDA\_hw2.tar

III. 資料夾內容:

資料夾	內含檔案
00_TESTBEND	testbench.v
01_RTL	01_run 09_clean_up square_root_finder.v testbench.v(軟連結)
02_SYN	01_run_dc 09_clean_up SRF_syn.tcl Netlist(資料夾) Report(資料夾) square_root_finder.v (軟連結)
03_GATE_SIM	01_run 09_clean_up square_root_finder_syn.v(軟連結) testbench.v(軟連結)

## 2. RTL simulation

- I. 首先進入 01\_RTL 資料夾.
- II. 編輯 square\_root\_finder.v 以完成你的 RTL 電路設計.
- III. 編輯 testbench.v 以驗證電路行為正確與否.
- IV. 進行 RTL simulation.  
%>./01\_run
- V. 如果 RTL simulation 沒有發生錯誤, 將產生 square\_root\_finder.fsdbs 的波形檔, 可以使用 nWave 程式確認模擬結果.  
%>nWave&
- VI. 09\_clean\_up 可以一次清除暫存檔以及 LOG.  
%>./09\_clean\_up

## 3. Synthesis

- I. 進入 02\_SYN 資料夾.
- II. 編輯 SRF\_syn.tcl, 此檔案為進行 synthesis 的 script 檔, 內含基本需要的指令, 特別注意 create\_clock -period 1.0 [get\_ports CLK]這行指令必須依照使用者的電路進行修改, 選擇適當的電路操作頻率以及正確的 clock 訊號名稱.
- III. 進行 synthesis.  
%>./01\_run\_dc
- IV. 完成請務必確認 log file 內沒有 error 發生, Netlist 資料夾內為 synthesis 後電路的 netlist, Report 資料夾內有 synthesis 後電路的相關資訊(timing, area, power 等).

## 4. Gate level simulation

- I. 進入 03\_GATE\_SIM 資料夾.
- II. 進行 Gate level simulation.  
%>./01\_run
- III. 確認 log file 以確保模擬過程中沒有發生 timing violation 及 error.
- IV. 使用 nWave 確認 square\_root\_finder\_syn.fsdbs 波形是否與 RTL 的結果一致.