

طراحی سیستم‌های دیجیتال

پروژه امتیازی (سوال ۷ میانترم)

دکتر فصحتی

امیرحسین فراهانی ۹۷۱۰۶۱۵۴

تابستان ۱۴۰۳

نمای کلی

هدف نهایی این پروژه پیاده سازی یک پردازشگر ساده دارای قابلیت جمع و ضرب اعداد ۵۱۲ بیتی می باشد. این پردازشگر دارای ۳ بخش اصلی می باشد که این بخش ها شامل حافظه، ALU و واحد کنترلی می باشد.

حافظه

حافظه طراحی شده به عمق ۵۱۲ واحد و هر واحد ۱۶ بیت می باشد.

ALU

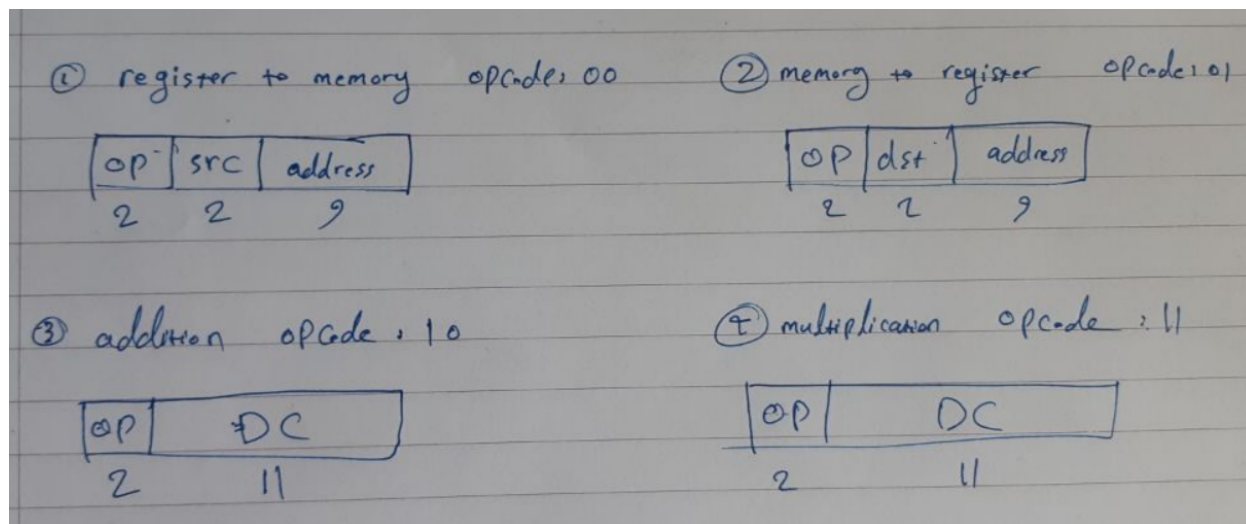
واحد پردازش عددی نیز دارای قابلیت جمع و ضرب اعداد ۵۱۲ بیتی می باشد. خروجی این واحد ۱۰۲۴ بیت می باشد و مستقیم به رجیسترهای A1 تا A4 متصل می باشد.

واحد کنترلی

وظیفه واحد کنترلی دریافت دستورات از کاربر و کنترل سیگنال ها می باشد. دستورات ورودی این پردازشگر ۱۳ بیتی می باشند و در کل ۴ دستور وجود دارد.

۱. انتقال داده از رجیستر به حافظه
۲. انتقال داده از حافظه به رجیستر
۳. جمع
۴. ضرب

ساختار کلی دستورات نیز به شکل زیر است



ورودی دستورات ضرب و جمع رجیسترهای A1 و A2 می باشند و بخش پر ارزش خروجی بر A4 و بخش کم ارزش آن بر A3 ذخیره می شود.

تحلیل عملکرد خروجی

در تصاویر زیر، نمونه هایی از خروجی های Test Bench برا بخش های مختلف نشان داده شده است.



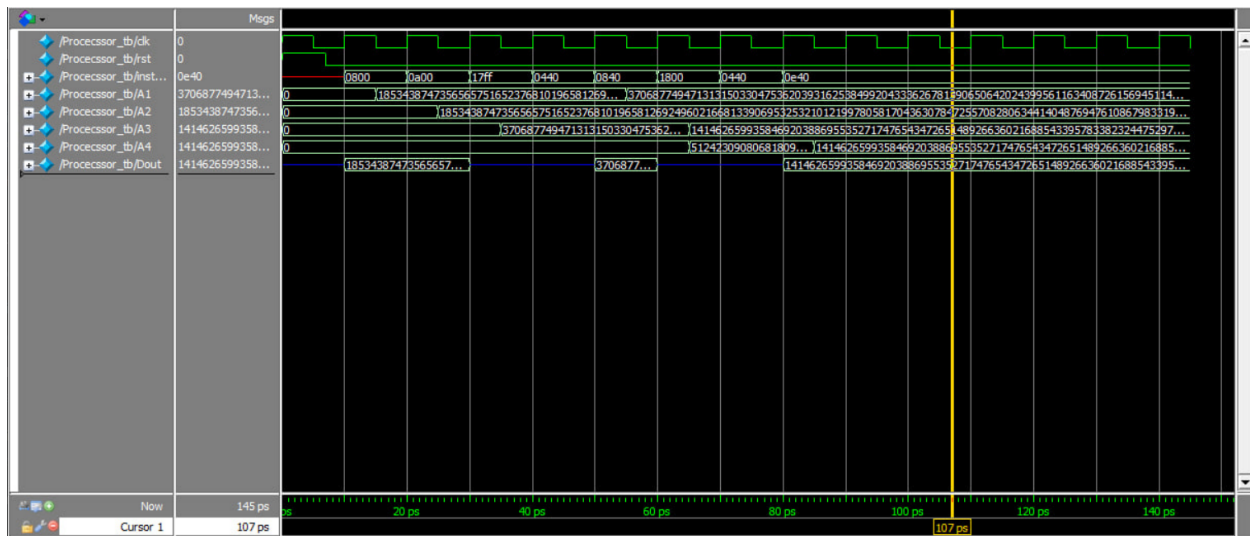
ALU Test Bench

در تصویر بالا در هر کلاک یک ورودی جدید داده می شود و عملیات هر کلاک با کلاک قبلی متفاوت است.



Memory Test Bench

در تصویر بالا ابتدا مقدار اولیه ای که از روی فایل data.txt بر روی حافظه ریخته شده نشان داده می شود و سپس در هر کلاک یک ورودی جدید در آدرسی جدید ذخیره می شود و در کلاک بعدی همان ورودی مجدد خوانده می شود.



Processor Test Bench

در این آزمون ابتدا مقدار اولیه حافظه بر رجیستر های A_1 و A_2 ذخیره می‌شود و سپس حاصل جمع آنها حساب می‌شود و روی A_3 ریخته می‌شود. سپس مقدار A_3 بر آدرس 0×8000 حافظه ذخیره می‌شود و در دستور بعدی همان عدد از حافظه بر رجیستر A_1 ریخته می‌شود. سپس حاصل ضرب A_1 و A_2 حساب می‌شود و 0×8000 حافظه ذخیره می‌شود و سپس روی رجیستر A_4 بارگذاری می‌شود. همانطور که مشاهده می‌شود پردازشگر به درستی کار می‌کند.