آزمایش CPU

پارسانوری - فربد فولادی - عرفان رفیعی

دستورهای در memfile.dat:

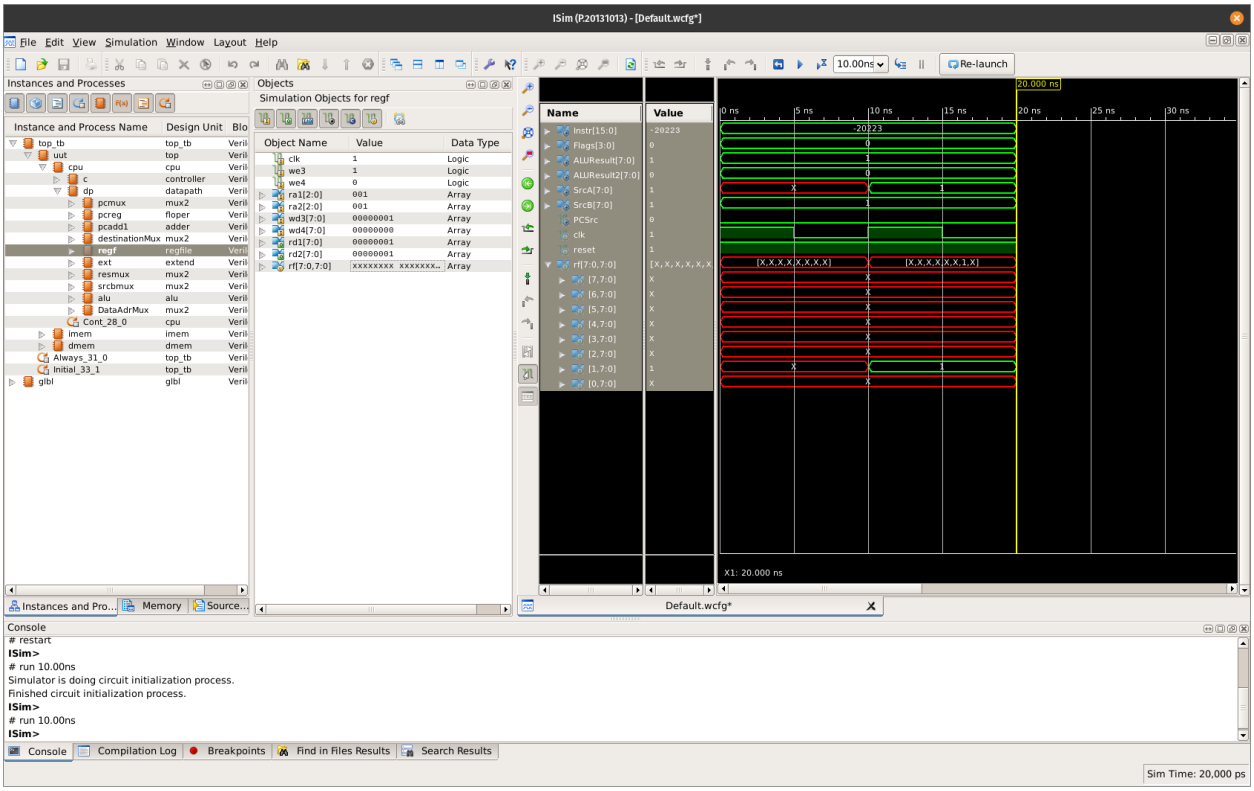
```
li r1,1
li r2,2
sal r1,2
add r1,r2
swap r1,1r2
mov r1,r2
rol r1,1
sub r2,r1
```

ماشین کد معادل:

```
1011000100000001
1011001000000010
0000001011001010
0000000001001010
0000000111001010
0000000110001010
0000001101001001
0000000001010001
```

توضیح موارد فوق در simulation:

حاصل اجرای خط اول:

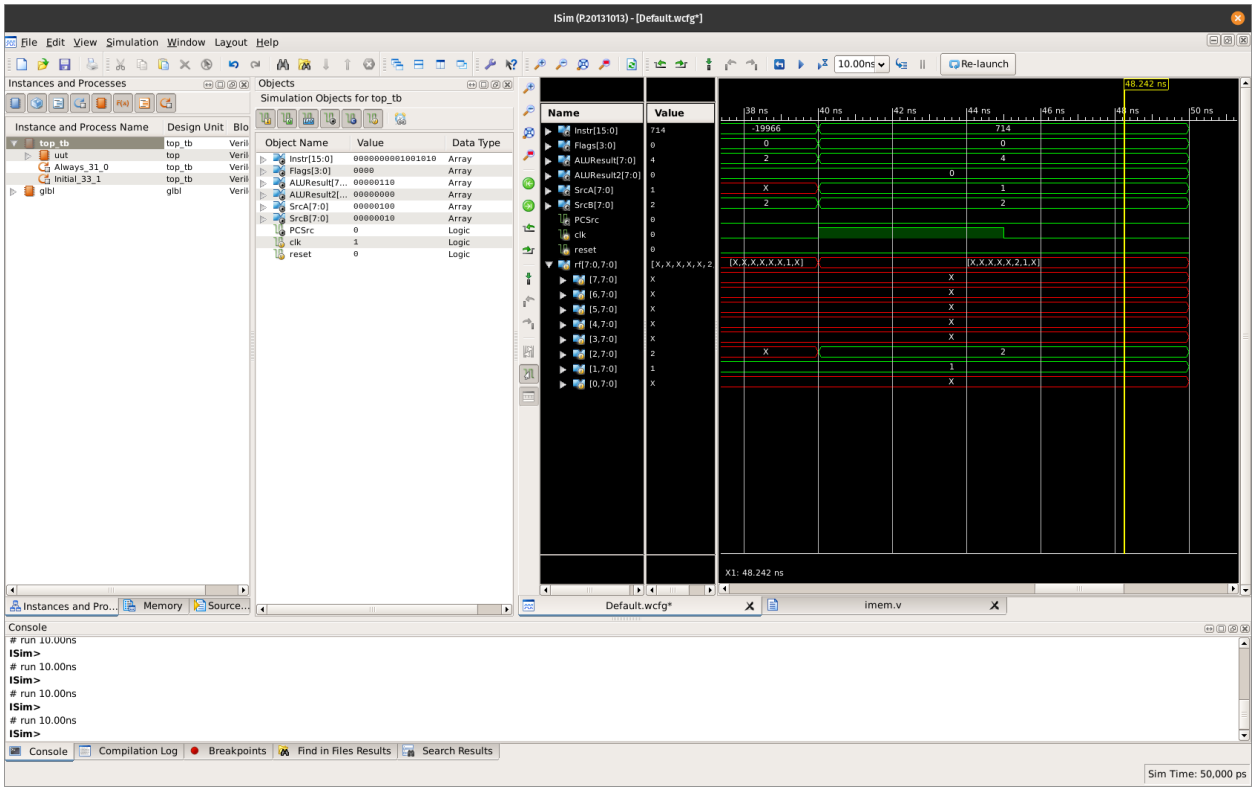


خط اول به صورت زیر بود:

li r1,1

این مورد موجب می‌شود که در رجیستر r1 مقدار یک ریخته شود. و همان طور که در شکل فوق مشاهده می‌شود رجیستر r1 دارای مقدار دوم می‌باشد.

اجرای خط دوم:

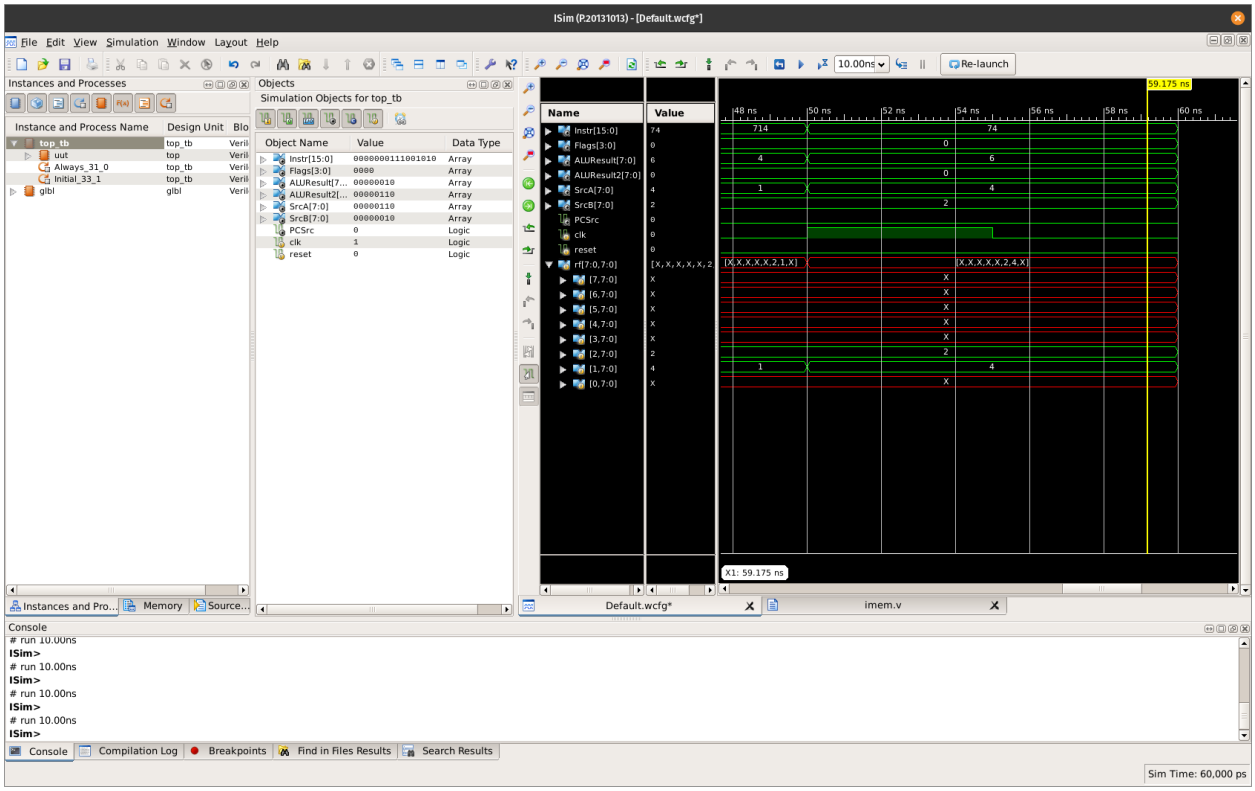


در خط دوم ماشین کد instruction زیر را اجرا کردیم:

li r2,2

و از CPU خواسته‌ایم که مقدار ۲ را در رجیستر r2 قرار دهد و می‌بینیم که مقدار ۲ در رجیستر r2 قرار گرفته است.

اجرای خط سوم:

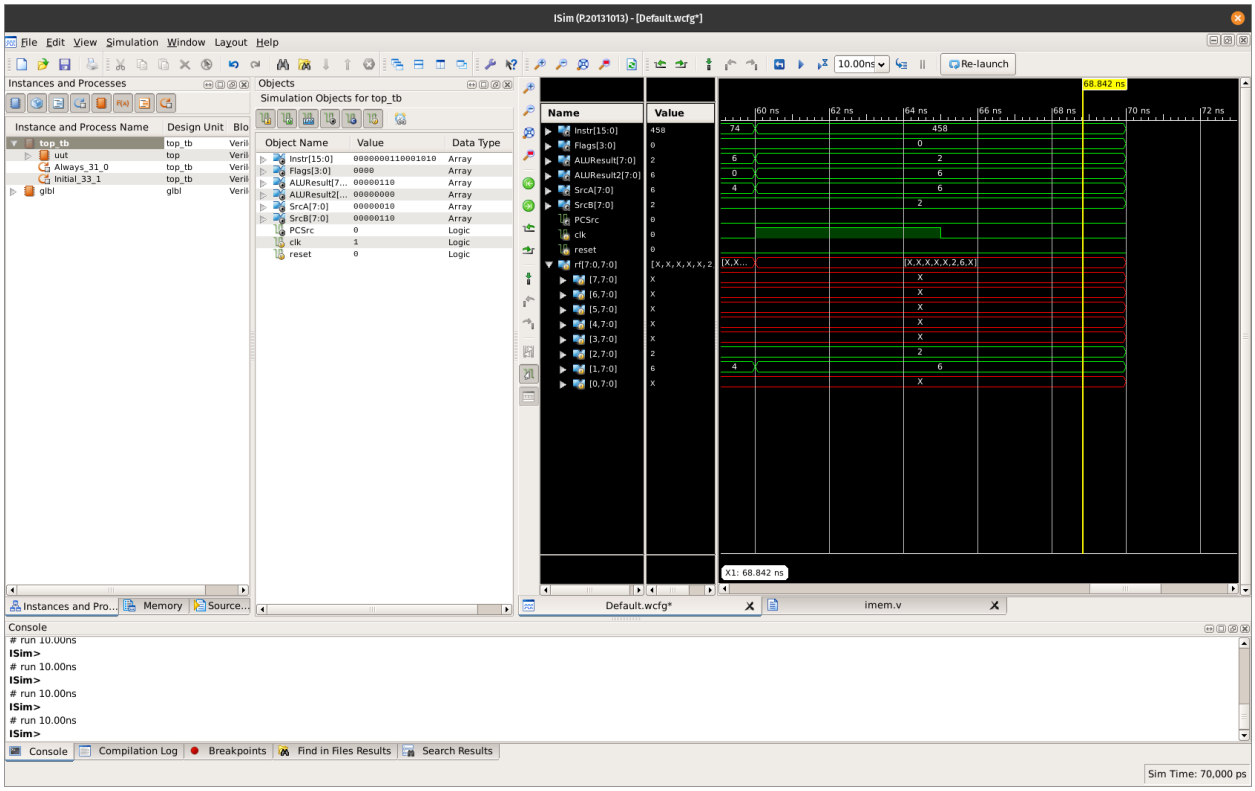


دستور العمل زیر اجرا شده است.

sal r1,2

در این دستورالعمل از CPU خواسته‌ایم که مقدار موجود رجیستر ۱ را به اندازه ۲ تا ره سمت چپ شیفت محاسباتی (منظور Arithmetic Shift left است) بدهد. پس یعنی CPU بایستی مقدار موجود در r1 که الان ۱ است را به اندازه دو بیت به سمت چپ شیف دهد تا مقدار ۱۰۰ در مبنای ۲ حاصل گردد. مقدار مذکور معادل ۴ در مبنای ده می‌باشد. همانطور که می‌بینیم مقدار ۴ در رجیستر r1 باید ذخیره شود که به همین صورت می‌باشد.

اجرای خط چهارم:

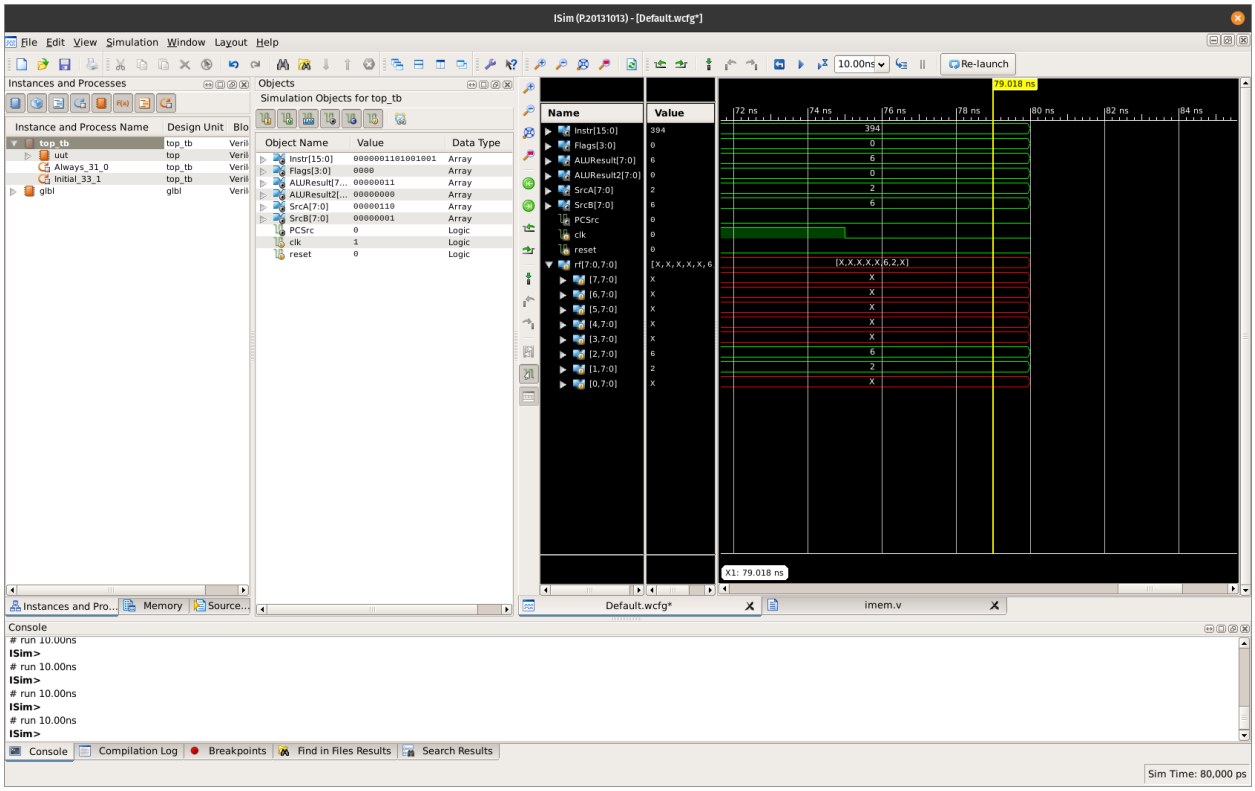


در این خط دستور العمل زیر اجرا شده است:

add r1,r2

این بدان معناست که بایستی r1 با r2 جمع شده و در r1 ریخته شود. تا کنون مقادیر r1 و r2 به ترتیب ۴ و ۲ می‌باشند. پس وقتی با هم جمع شوند حاصل ۶ می‌شود و در نتیجه مقدار ۶ باید در رجیستر r1 ریخته شود و می‌بینیم که رجیستر r1 مقدار شش ریخته شده است.

اجرای خط پنجم:

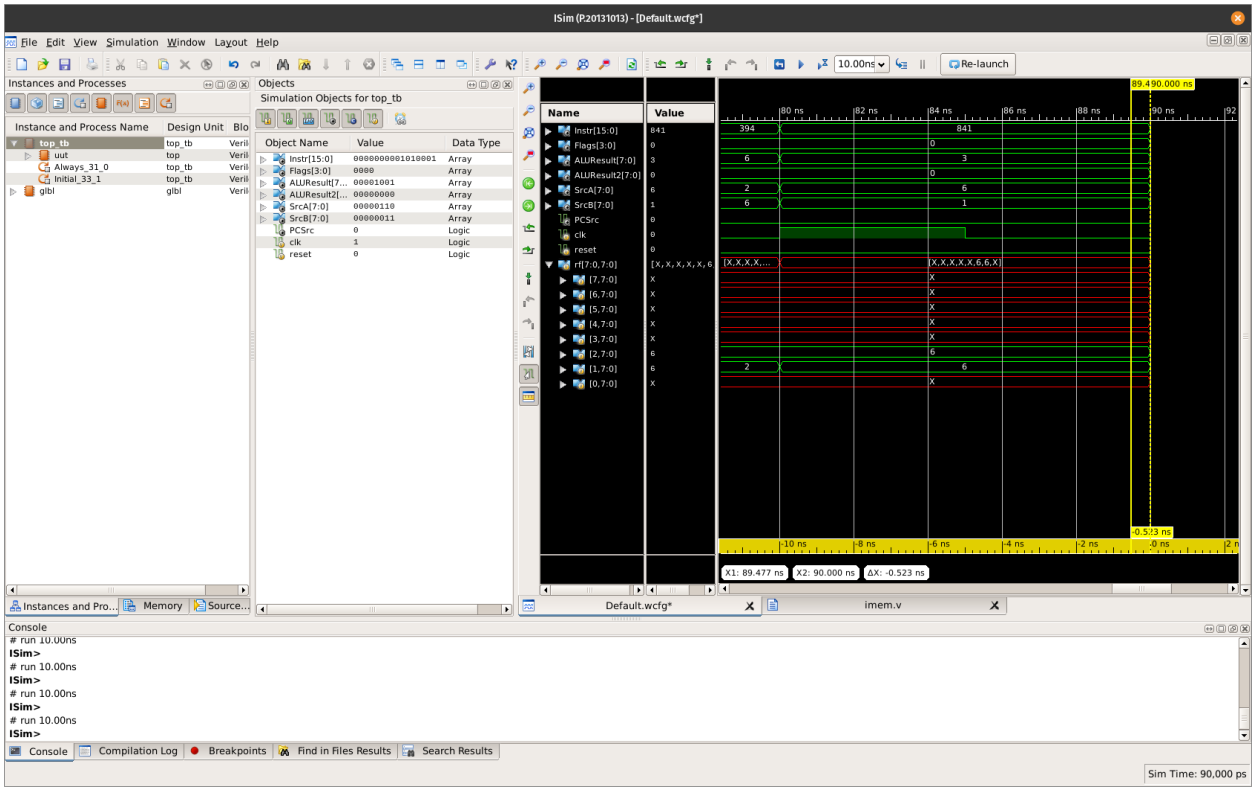


در خط پنجم instruction زیر اجرا شده است.

swap r1,r2

در این خط از کد از CPU خواسته ایم که مقادیر r1 و r2 را جایشان را با هم دیگر عوض کند. یعنی تا الان که مقدار ۲ در r2 بوده و مقدار ۶ در r1 یک بعد از اجرای این خط بایستی مقدار ۲ در r1 قرارا بگیرد و مقدار ۶ در r2. همان طور که می‌بینیم، در شکل موج مقدار ۲ در r1 است و مقدار 6 در r2.

اجرای خط ششم:

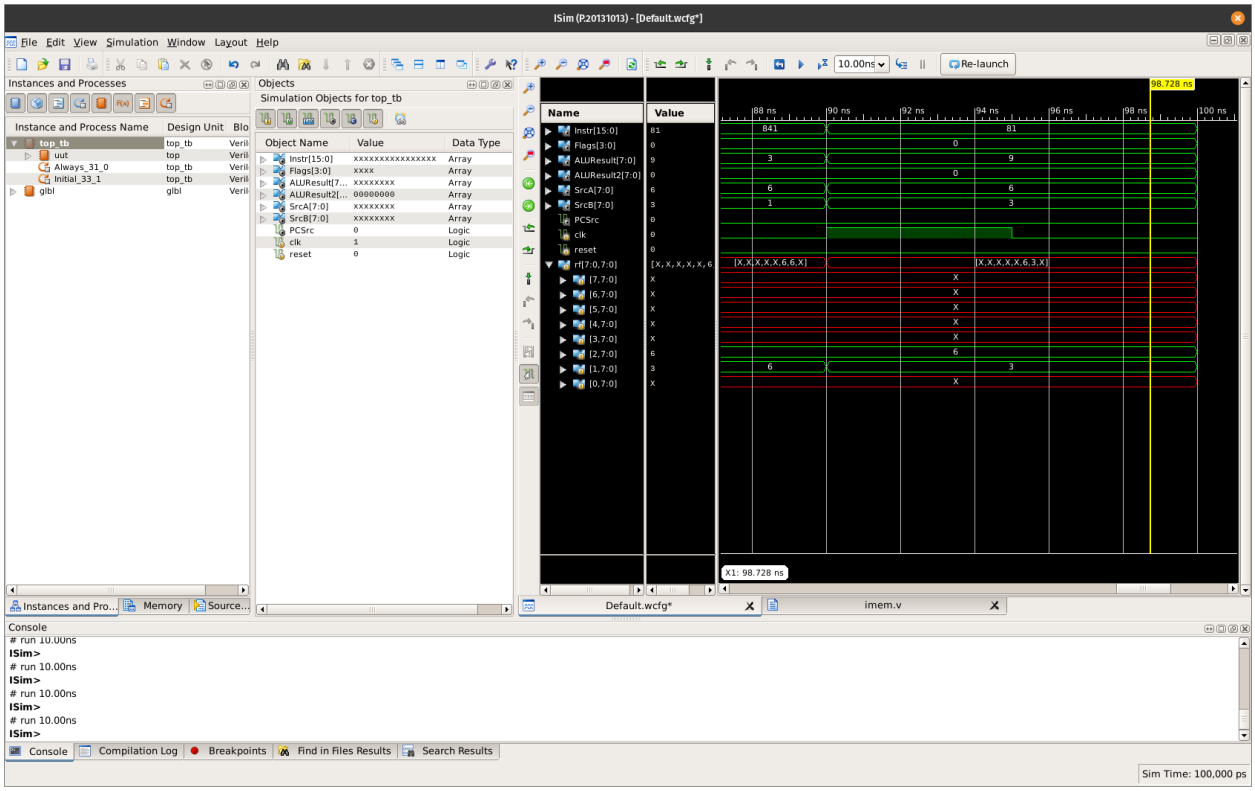


دستور العمل زیر اجرا شده است:

mov r1,r2

یعنی CPU بایستی مقدار موجود در رجیستر r2 را در داخل رجیستر r1 قرار دهد. این بدان معاست که رجیستر r1 نیز بایستی مقدار 6 را درون خود نگه‌داری کند.

اجرای خط ۷:



در این خط باید دستور زیر اجرا شود:

rol r1,1

در اینجا بایستی مقدار موجود در r1 فرم دودویی اش به اندازه یکی به سمت راست چرخش کند. یعنی فعلا که r1 مقدار 110 در مبنای دو را در خود نگه داری می‌کند سپس بایستی مقدار 11 در مبنای در مبنای دو در خود ذخیره کند. این مقدار معادل با ۳ در مبنای ده می‌باشد. می‌بینیم که همین اتفاق هم می‌افتد و شکل موج مقدار ۳ را برای رجیستر r1 نشان می‌دهد.

شرح عملکرد cpu در مواجهه با دستورالعمل li:

ابتدا imem مقدار Instr را به top می‌دهد. سپس top این سیگنال را به cpu می‌دهد. CPU نیز این سیگنال را به controller و datapath می‌دهد. در controller این دستور بیت اول از سمت چپش و ۹ بیت بعدی‌اش مورد استفاده قرار می‌گیرد و به Controller داده می‌شود. از آنجا که Op یا همان بیت اول از سمت چپ می‌باشد و می‌دانیم در دستور li مقدار Op یک است در decoder روی این مورد یک switch گذاشته و در صورتی که Op یک بود سپس به مقدار Funct یا همین Instr[14:6] در Controller نگاه می‌کنیم.

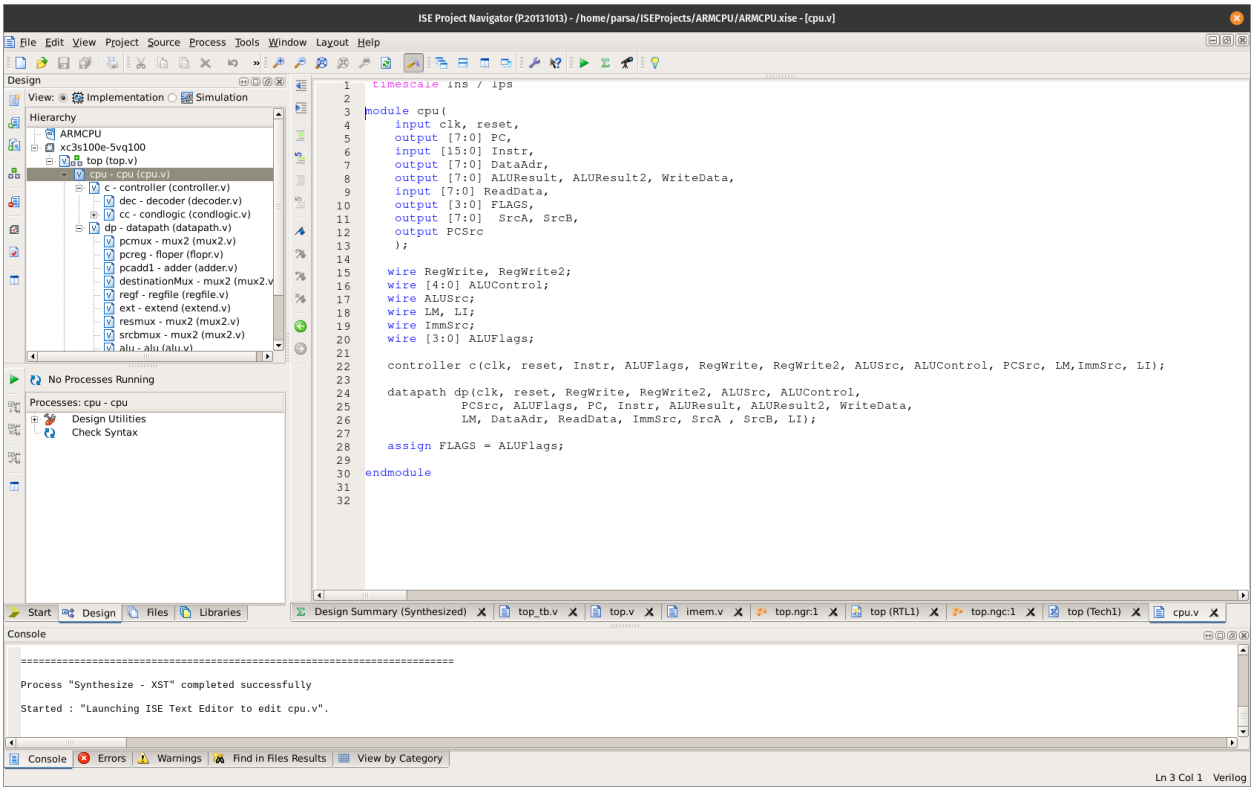
در صورتی که این سیگنال در بیت های ۶ تا ۹ اش دارای مقدار مربوط به دستور LI بود Control های خروجی از decoder را یعنی مقادیر ALUSrc و Regwrite و Regwrite2 و branchtype و LM و ImmSrc و LI و البته سیگنال داخلی ALUOp را برابر با مقدار مربوطه قرار می‌دهیم تا بعدا از آن ها استفاده کنیم.

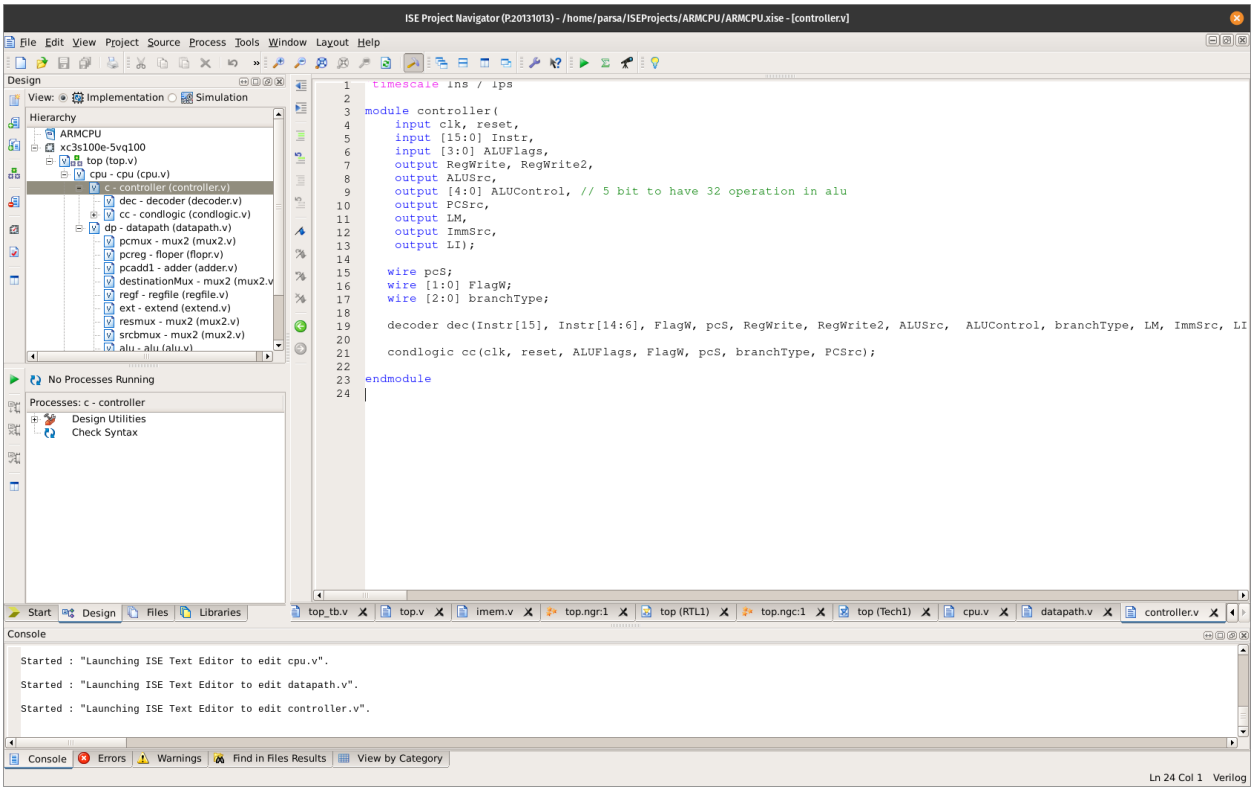
در اینجا ما بایستی ALUOp و ALUSrc و RegWrite و ImmSrc و LI را برابر یک قرار دهیم. سپس در قسمت بعدی از آنجا که ALUOp یک است باید مقدار ALUControl را منصوب کنیم. در اینجا ما بایستی مقدار 10101 یعنی مقدار مربوط به LI را بری ALUControl را منصوب کنیم. همچنین FlagW را برابر 0 قرار دهیم تا Flag هایمان Update نشوند. حال Controller این سیگنال ها را به CPU خروجی می‌دهد و سپس CPU آن ها را به DataPath پاس می‌دهد.

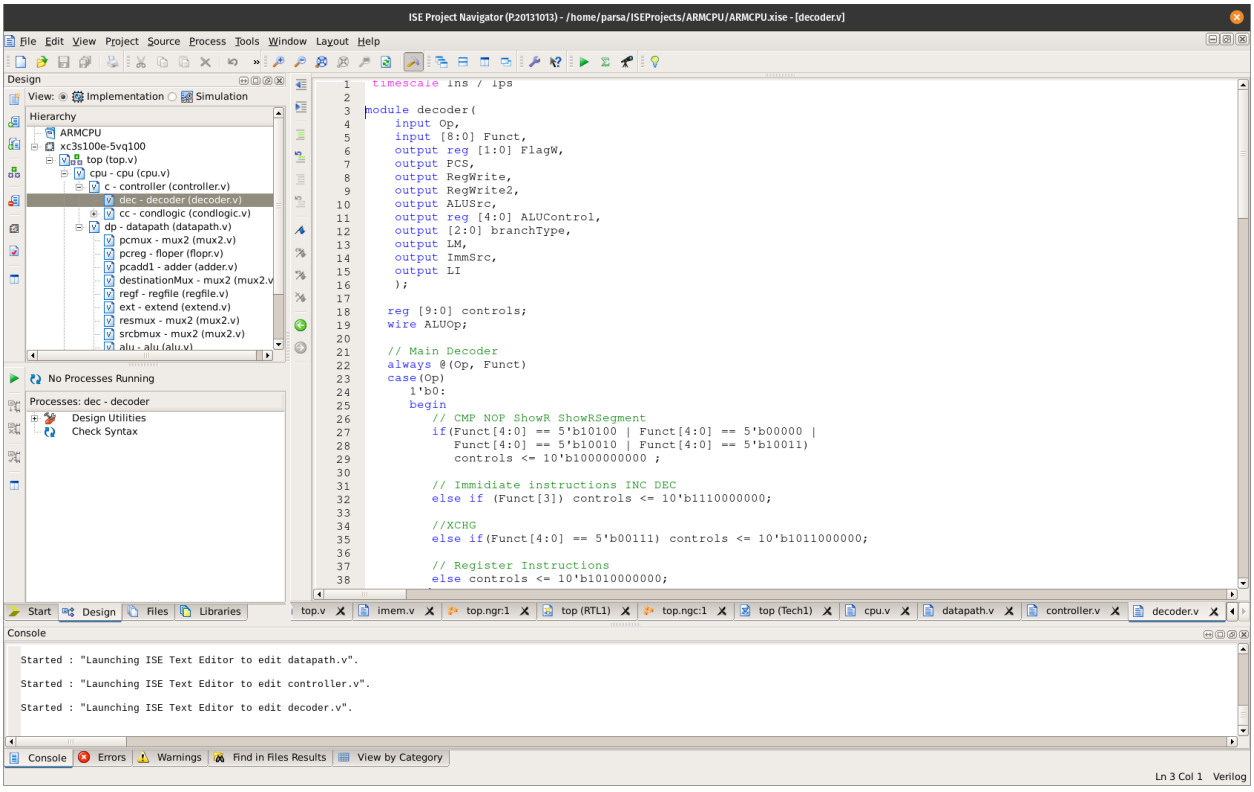
در Datapath مقدار LI برابر یک است پس بنابراین destinationMux مقدار Instr[10:8] را به عنوان destinationReg به regFile پاس می‌دهد. از طرف دیگر ImmSrc دارای مقدار یک است پس بنابراین Extend مقدار Instr[7:0] را به ExtImm می‌رساند. از طرف دیگر ALUSrc برابر یک است پس مقدار ExtImm به عنوان SrcB توسط srcbmux به ALU داده می‌شود و سپس ALU با توجه به مقدار ALUControl که 10101 است مقدار SrcB را به ALUResult می‌رساند. از سویی دیگر مقدار LM برابر 0 است پس بنابراین resmux مقدار ALUResult را به Result میرساند.

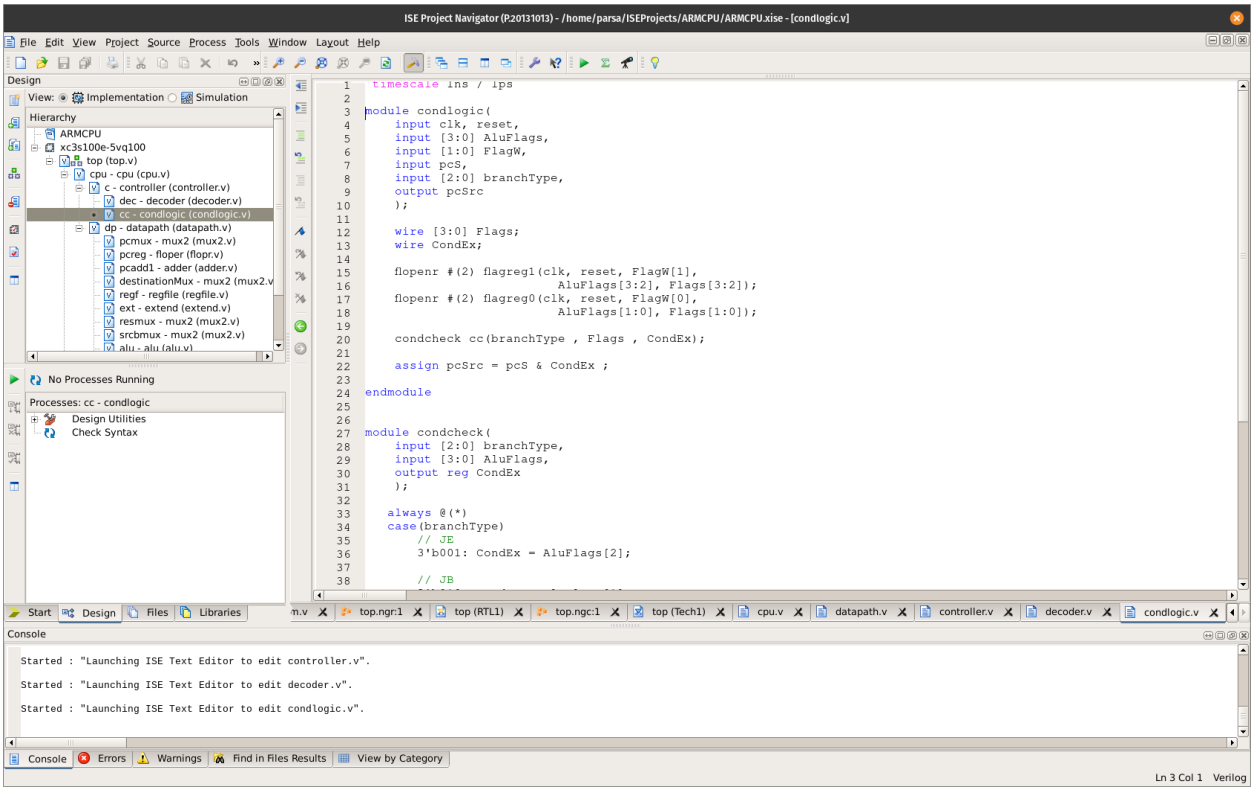
در regfile مقدار wd3 برابر مقدار Result در Datapath که خود توسط ALU ها و Mux های مذکور در پاراگراف فوق برابر با Instr[7:0] است، می‌باشد. از طرف دیگر مقدار ra1 برابر destinationReg در datapath بوده که خود در datapath توسط destinationMux در برابر Instr[10:8] می‌باشد. از طرف دیگر سیگنال Regwrite که از Controller به ما رسیده بود برابر 1 است که datapath آن را به پورت we3 در regfile پاس می‌دهد. حال regFile با توجه به یک بودن we3 مقدار wd3 را در رجسیتر فایل با آدرس ra1 قرار می‌دهد. یا به عبارتی دیگر رجیستر فایل با آدرس Instr[10:8] را برابر Instr[7:0] قرار می‌دهد. که این همان عملکردی است که ما از یک CPU هنگام مواجهه با دستورالعمل LI انتظار داریم.

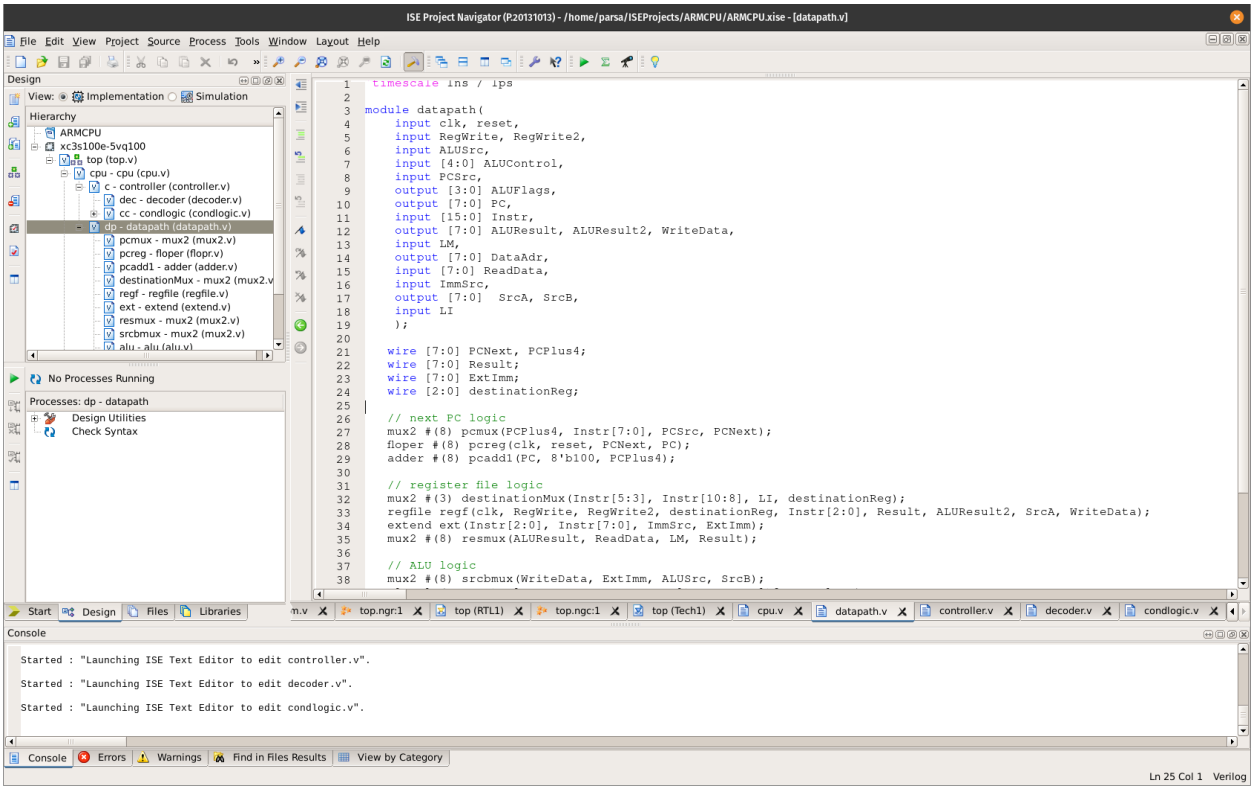
کد ها و شماتیک ها:

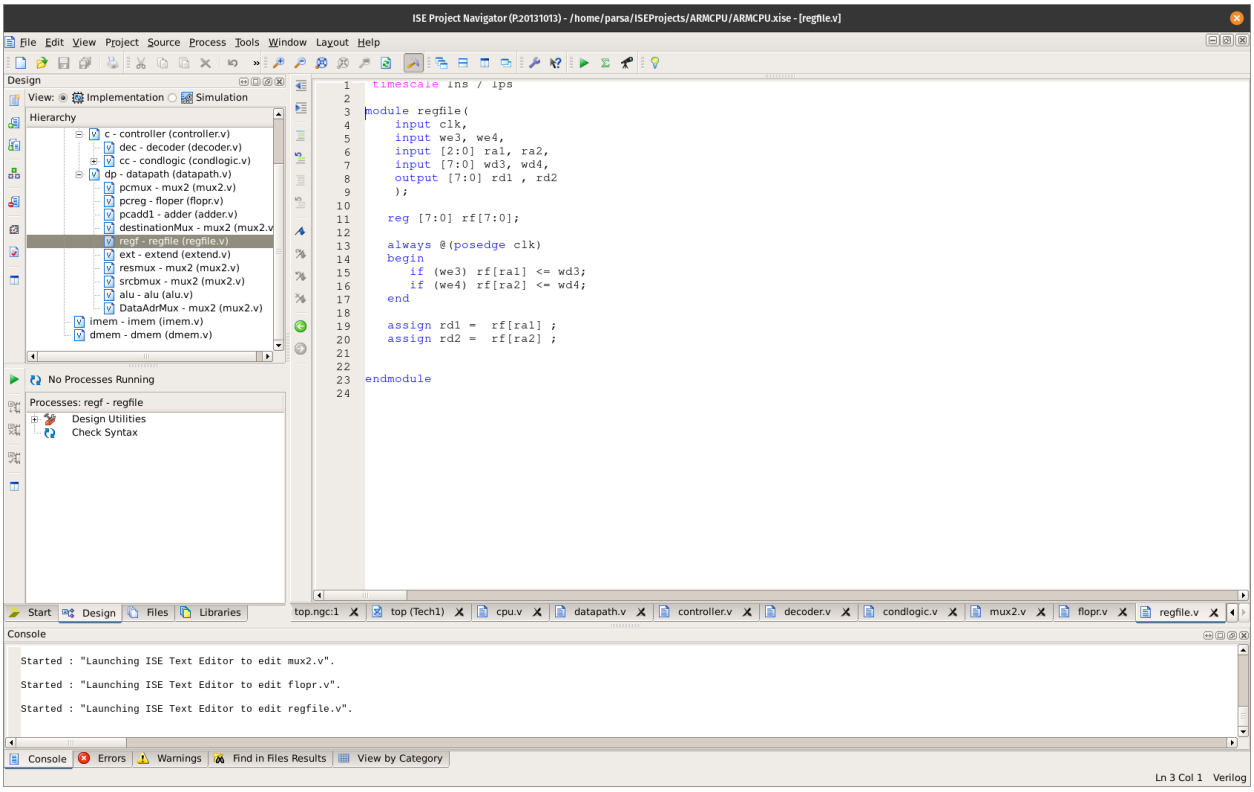


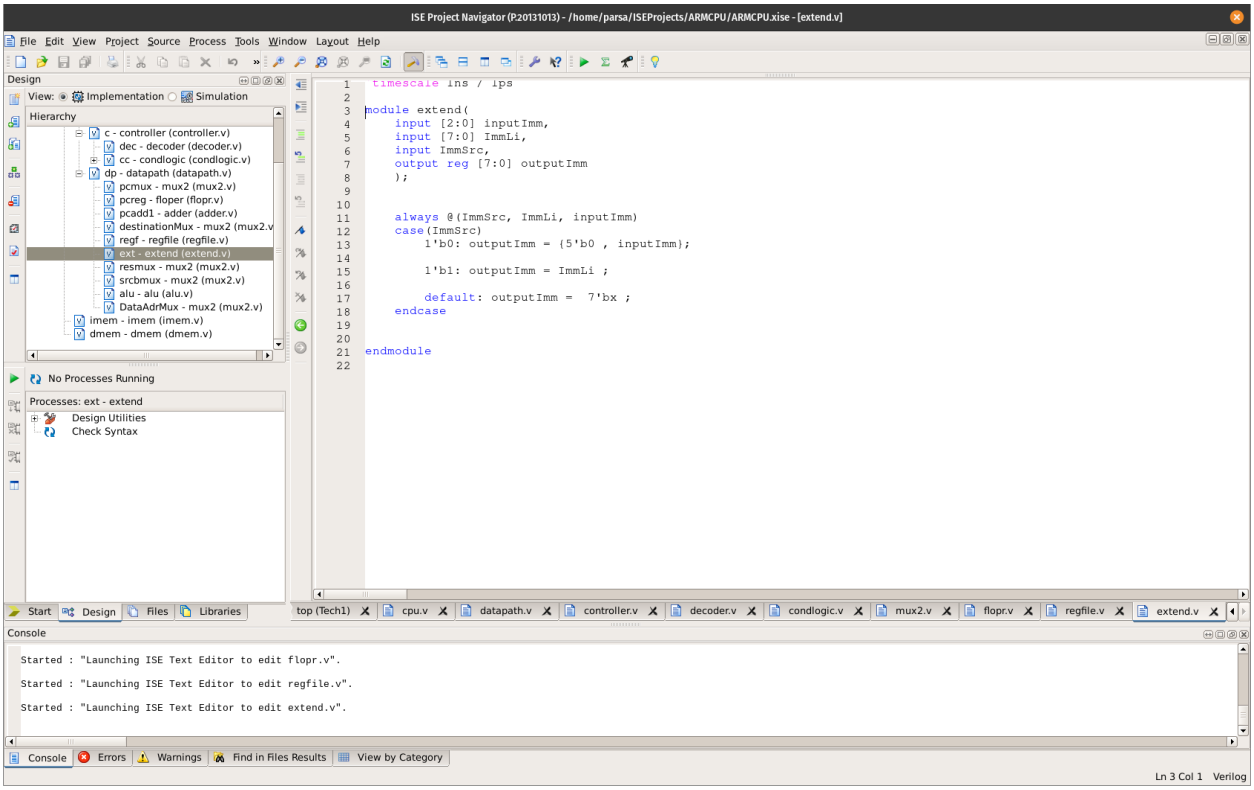


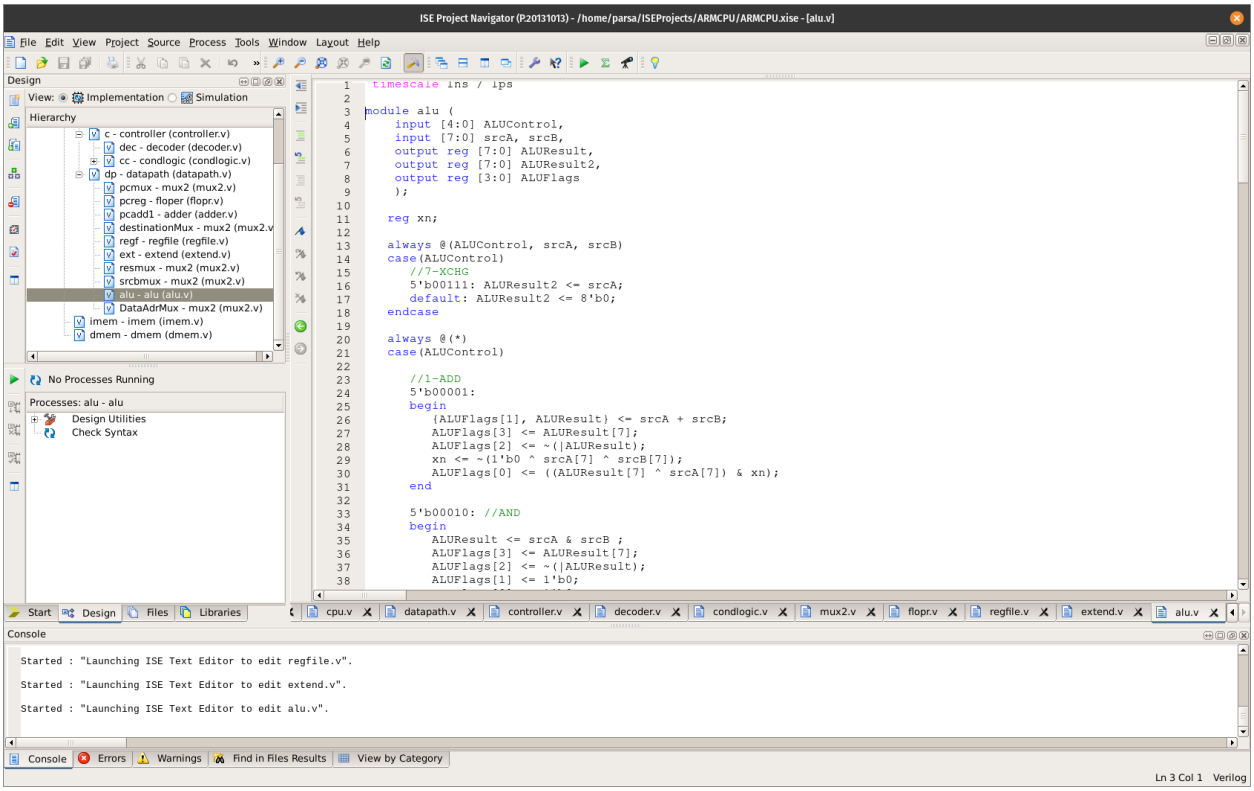

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [decoder.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: dec - decoder
Design Utilities
Check Syntax
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module decoder(
4 input Op,
5 input [8:0] Funct,
6 output reg [1:0] FlagW,
7 output PCS,
8 output RegWrite,
9 output RegWrite2,
10 output ALUSrc,
11 output reg [4:0] ALUControl,
12 output [2:0] branchType,
13 output LM,
14 output ImmSrc,
15 output LI
16);
17
18 reg [9:0] controls;
19 wire ALUOp;
20
21 // Main Decoder
22 always @(Op, Funct)
23 case(Op)
24 1'b0:
25 begin
26 // CMP NOP ShowR ShowRSegment
27 if(Funct[4:0] == 5'b10100 | Funct[4:0] == 5'b00000 |
28 Funct[4:0] == 5'b10010 | Funct[4:0] == 5'b10011)
29 controls <= 10'b1000000000 ;
30
31 // Immidiate instructions INC DEC
32 else if (Funct[3]) controls <= 10'b1110000000;
33
34 //XCHG
35 else if(Funct[4:0] == 5'b00111) controls <= 10'b1011000000;
36
37 // Register Instructions
38 else controls <= 10'b1010000000;
top.v imem.v top.ngr:1 top (RTL1) top.ngc:1 top (Tech1) cpu.v datapath.v controller.v decoder.v
Console
Started : "Launching ISE Text Editor to edit datapath.v".
Started : "Launching ISE Text Editor to edit controller.v".
Started : "Launching ISE Text Editor to edit decoder.v".
Console Errors Warnings Find in Files Results View by Category
Ln 3 Col 1 Verilog

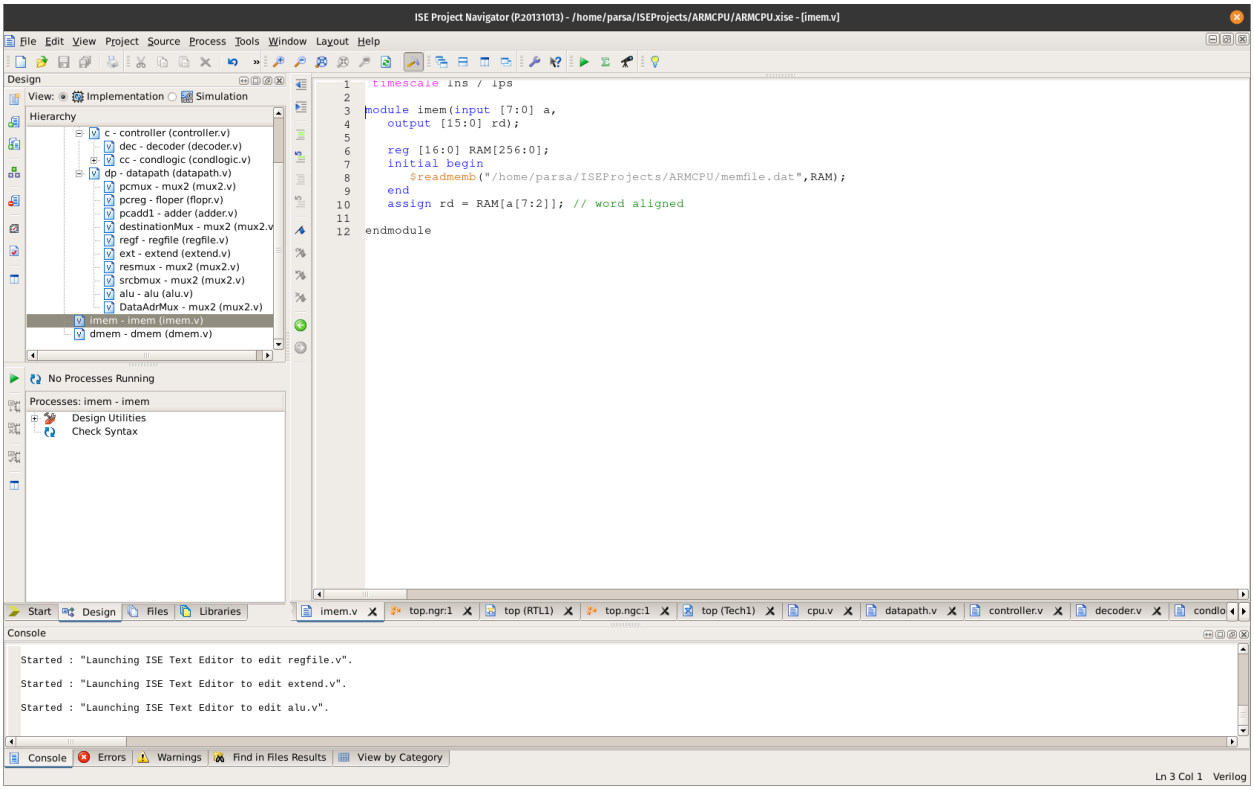

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [condlogic.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: cc - condlogic
Design Utilities
Check Syntax
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module condlogic(
4 input clk, reset,
5 input [3:0] AluFlags,
6 input [1:0] FlagW,
7 input pcS,
8 input [2:0] branchType,
9 output pcSrc
10);
11
12 wire [3:0] Flags;
13 wire CondEx;
14
15 flopenr #(2) flagreg1(clk, reset, FlagW[1],
16 AluFlags[3:2], Flags[3:2]);
17 flopenr #(2) flagreg0(clk, reset, FlagW[0],
18 AluFlags[1:0], Flags[1:0]);
19
20 condcheck cc(branchType , Flags , CondEx);
21
22 assign pcSrc = pcS & CondEx ;
23
24 endmodule
25
26
27 module condcheck(
28 input [2:0] branchType,
29 input [3:0] AluFlags,
30 output reg CondEx
31);
32
33 always @(*)
34 case(branchType)
35 // JE
36 3'b001: CondEx = AluFlags[2];
37
38 // JB
top.ngr:1 top (RTL1) top.ngc:1 top (Tech1) cpu.v datapath.v controller.v decoder.v condlogic.v
Console
Started : "Launching ISE Text Editor to edit controller.v".
Started : "Launching ISE Text Editor to edit decoder.v".
Started : "Launching ISE Text Editor to edit condlogic.v".
Console Errors Warnings Find in Files Results View by Category
Ln 3 Col 1 Verilog

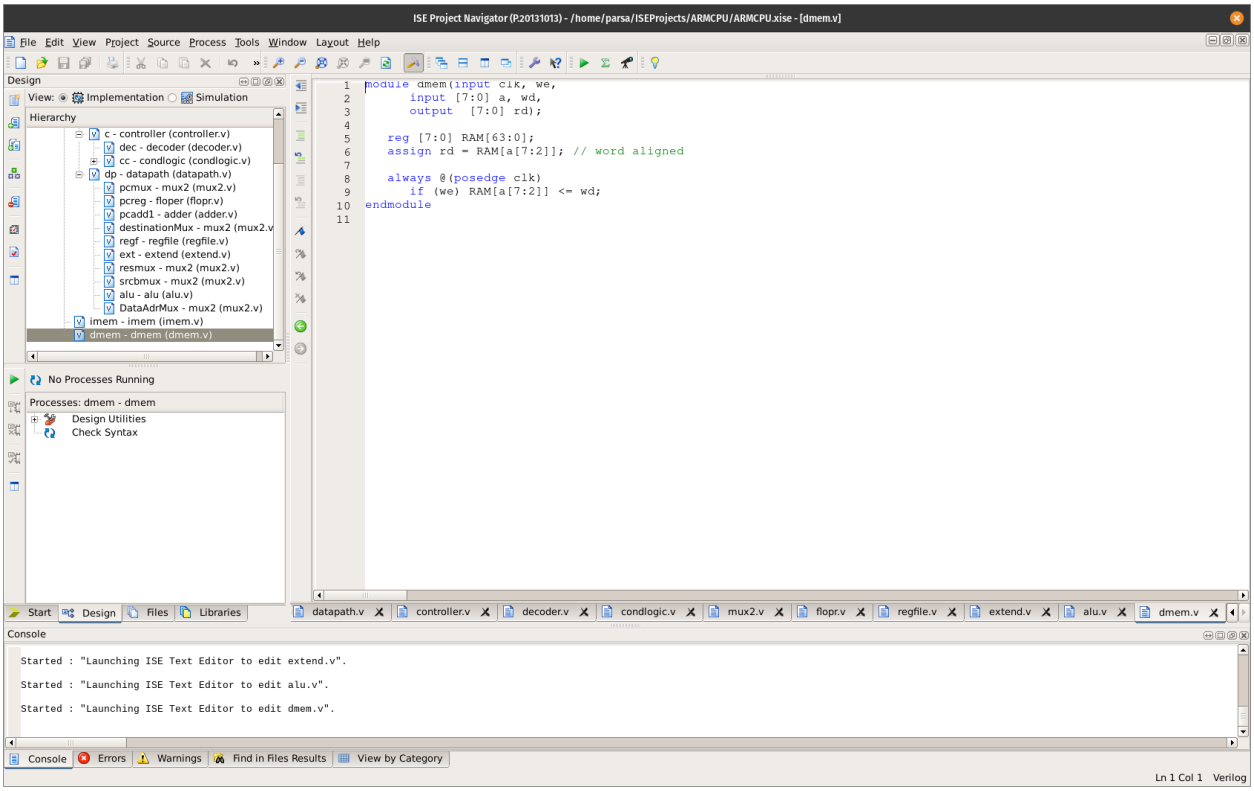

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [datapath.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: dp - datapath
Design Utilities
Check Syntax
Start Design Files Libraries
top.ngr:1
top (RTL1)
top.ngc:1
top (Tech1)
cpu.v
datapath.v
controller.v
decoder.v
condlogic.v
1 timescale 1ns / 1ps
2
3 module datapath(
4 input clk, reset,
5 input RegWrite, RegWrite2,
6 input ALUSrc,
7 input [4:0] ALUControl,
8 input PCSrc,
9 output [3:0] ALUFlags,
10 output [7:0] PC,
11 input [15:0] Instr,
12 output [7:0] ALUResult, ALUResult2, WriteData,
13 input LM,
14 output [7:0] DataAdr,
15 input [7:0] ReadData,
16 input ImmSrc,
17 output [7:0] SrcA, SrcB,
18 input LI
19);
20
21 wire [7:0] PCNext, PCPlus4;
22 wire [7:0] Result;
23 wire [7:0] ExtImm;
24 wire [2:0] destinationReg;
25
26 // next PC logic
27 mux2 #(8) pcmux(PCPlus4, Instr[7:0], PCSrc, PCNext);
28 floper #(8) pcreg(clk, reset, PCNext, PC);
29 adder #(8) pcadd1(PC, 8'b100, PCPlus4);
30
31 // register file logic
32 mux2 #(3) destinationMux(Instr[5:3], Instr[10:8], LI, destinationReg);
33 regfile regf(clk, RegWrite, RegWrite2, destinationReg, Instr[2:0], Result, ALUResult2, SrcA, WriteData);
34 extend ext(Instr[2:0], Instr[7:0], ImmSrc, ExtImm);
35 mux2 #(8) resmux(ALUResult, ReadData, LM, Result);
36
37 // ALU logic
38 mux2 #(8) srcbmux(WriteData, ExtImm, ALUSrc, SrcB);
Console
Started : "Launching ISE Text Editor to edit controller.v".
Started : "Launching ISE Text Editor to edit decoder.v".
Started : "Launching ISE Text Editor to edit condlogic.v".
Console Errors Warnings Find in Files Results View by Category
Ln 25 Col 1 Verilog

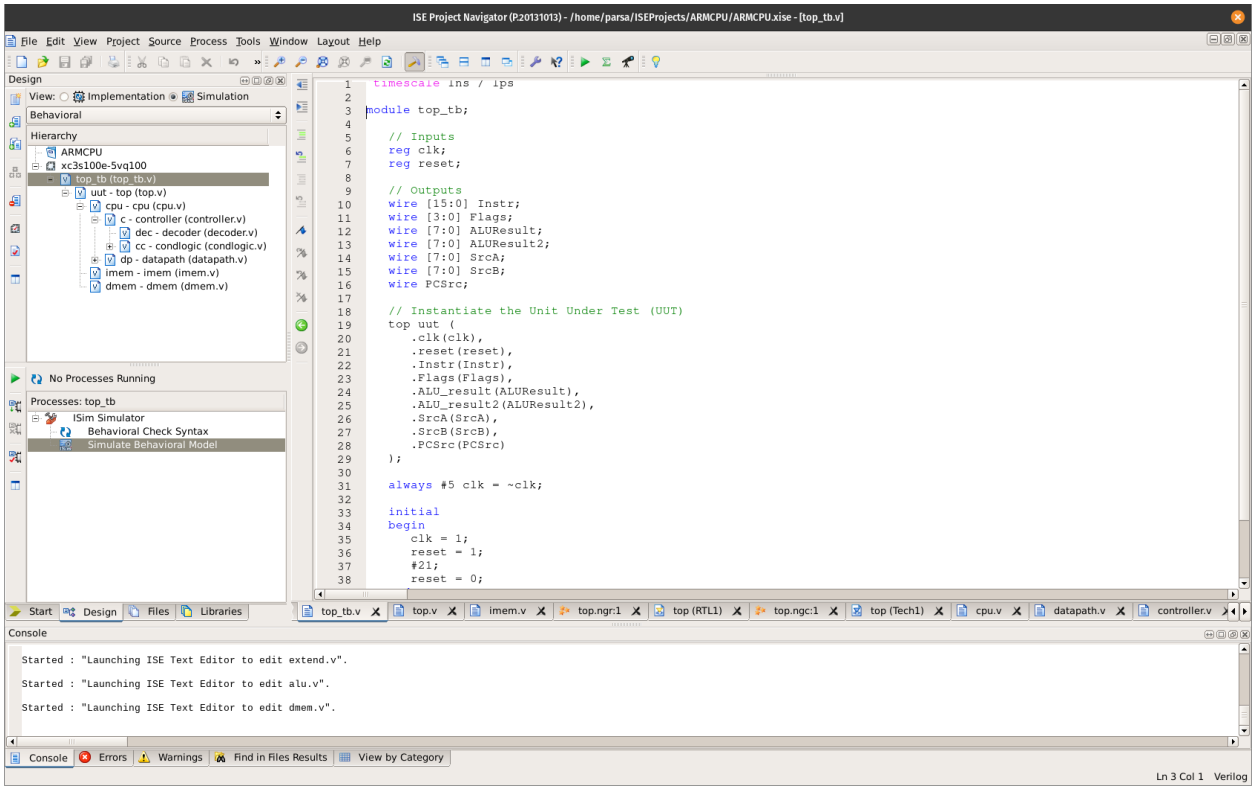

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [regfile.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
DataAdrMux - mux2 (mux2.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: regf - regfile
Design Utilities
Check Syntax
Start Design Files Libraries
top.ngc:1
top (Tech1)
cpu.v
datapath.v
controller.v
decoder.v
condlogic.v
mux2.v
flopr.v
regfile.v
1 timescale 1ns / 1ps
2
3 module regfile(
4 input clk,
5 input we3, we4,
6 input [2:0] ra1, ra2,
7 input [7:0] wd3, wd4,
8 output [7:0] rd1 , rd2
9);
10
11 reg [7:0] rf[7:0];
12
13 always @(posedge clk)
14 begin
15 if (we3) rf[ra1] <= wd3;
16 if (we4) rf[ra2] <= wd4;
17 end
18
19 assign rd1 = rf[ra1] ;
20 assign rd2 = rf[ra2] ;
21
22
23 endmodule
24
Console
Started : "Launching ISE Text Editor to edit mux2.v".
Started : "Launching ISE Text Editor to edit flopr.v".
Started : "Launching ISE Text Editor to edit regfile.v".
Console Errors Warnings Find in Files Results View by Category
Ln 3 Col 1 Verilog

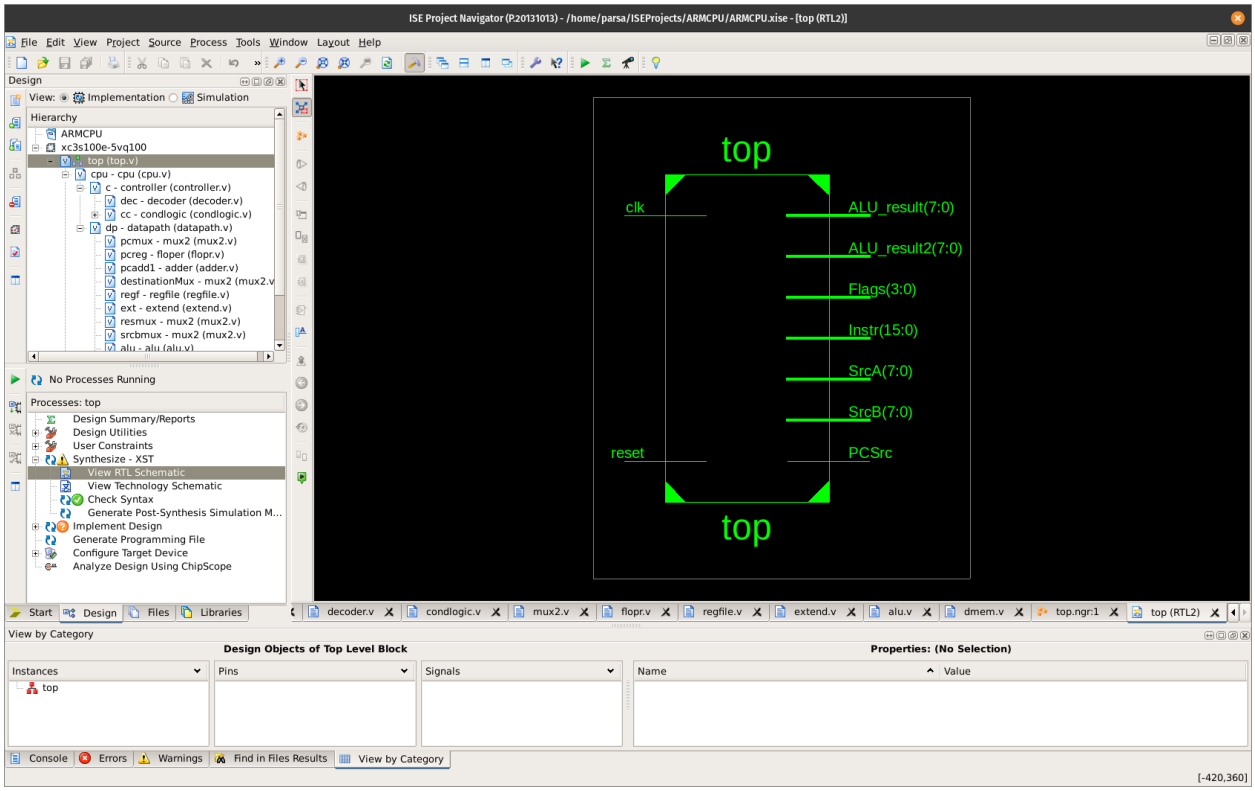

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [extend.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
DataAdrMux - mux2 (mux2.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: ext - extend
Design Utilities
Check Syntax
1 timescale 1ns / 1ps
2
3 module extend(
4 input [2:0] inputImm,
5 input [7:0] ImmLi,
6 input ImmSrc,
7 output reg [7:0] outputImm
8);
9
10
11 always @(ImmSrc, ImmLi, inputImm)
12 case(ImmSrc)
13 1'b0: outputImm = {5'b0 , inputImm};
14
15 1'b1: outputImm = ImmLi ;
16
17 default: outputImm = 7'bx ;
18 endcase
19
20
21 endmodule
22
Start Design Files Libraries
top (Tech1) cpu.v datapath.v controller.v decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v
Console
Started : "Launching ISE Text Editor to edit flopr.v".
Started : "Launching ISE Text Editor to edit regfile.v".
Started : "Launching ISE Text Editor to edit extend.v".
Console Errors Warnings Find in Files Results View by Category
Ln 3 Col 1 Verilog

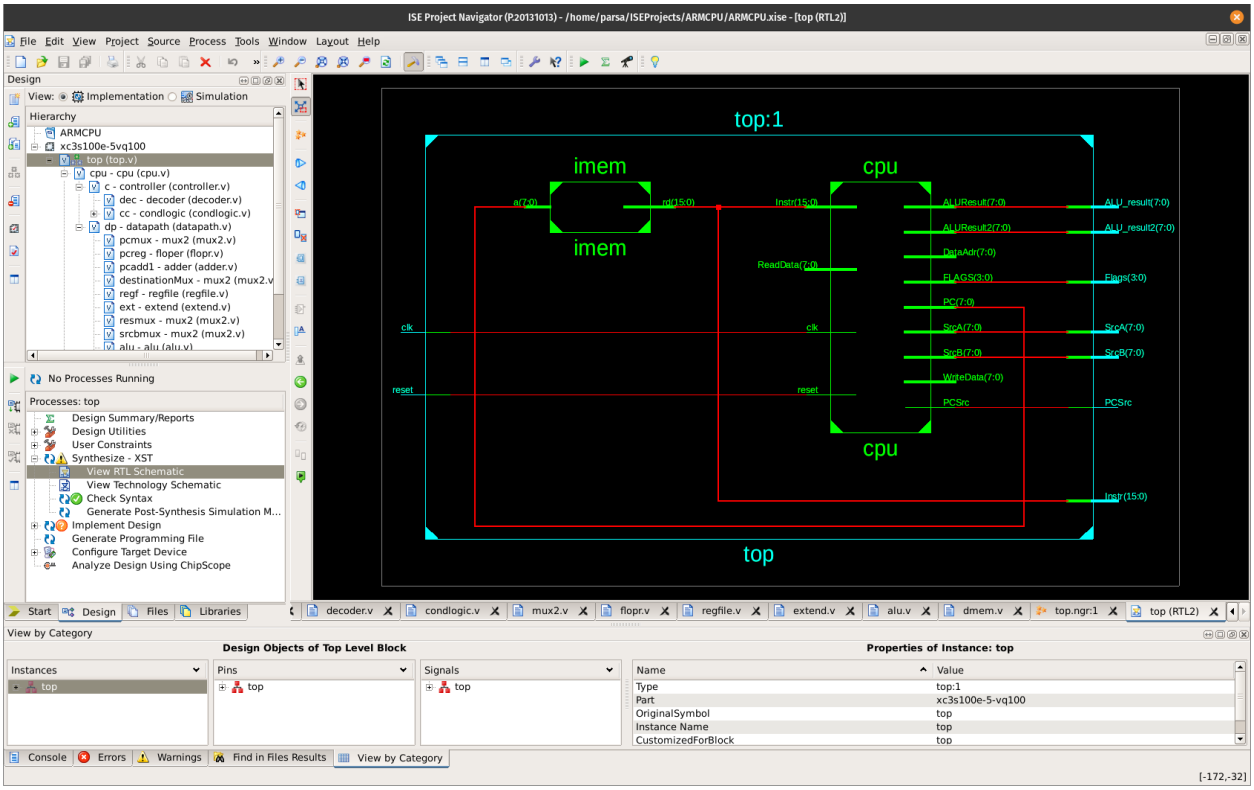

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [alu.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
DataAdrMux - mux2 (mux2.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: alu - alu
Design Utilities
Check Syntax
1 timescale 1ns / 1ps
2
3 module alu (
4 input [4:0] ALUControl,
5 input [7:0] srcA, srcB,
6 output reg [7:0] ALUResult,
7 output reg [7:0] ALUResult2,
8 output reg [3:0] ALUFlags
9);
10
11 reg xn;
12
13 always @(ALUControl, srcA, srcB)
14 case(ALUControl)
15 //7-XCHG
16 5'b00111: ALUResult2 <= srcA;
17 default: ALUResult2 <= 8'b0;
18 endcase
19
20 always @(*)
21 case(ALUControl)
22
23 //1-ADD
24 5'b00001:
25 begin
26 {ALUFlags[1], ALUResult} <= srcA + srcB;
27 ALUFlags[3] <= ALUResult[7];
28 ALUFlags[2] <= ~(|ALUResult);
29 xn <= ~(1'b0 ^ srcA[7] ^ srcB[7]);
30 ALUFlags[0] <= ((ALUResult[7] ^ srcA[7]) & xn);
31 end
32
33 5'b00010: //AND
34 begin
35 ALUResult <= srcA & srcB ;
36 ALUFlags[3] <= ALUResult[7];
37 ALUFlags[2] <= ~(|ALUResult);
38 ALUFlags[1] <= 1'b0;
Start Design Files Libraries
cpu.v datapath.v controller.v decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v alu.v
Console
Started : "Launching ISE Text Editor to edit regfile.v".
Started : "Launching ISE Text Editor to edit extend.v".
Started : "Launching ISE Text Editor to edit alu.v".
Console Errors Warnings Find in Files Results View by Category
Ln 3 Col 1 Verilog

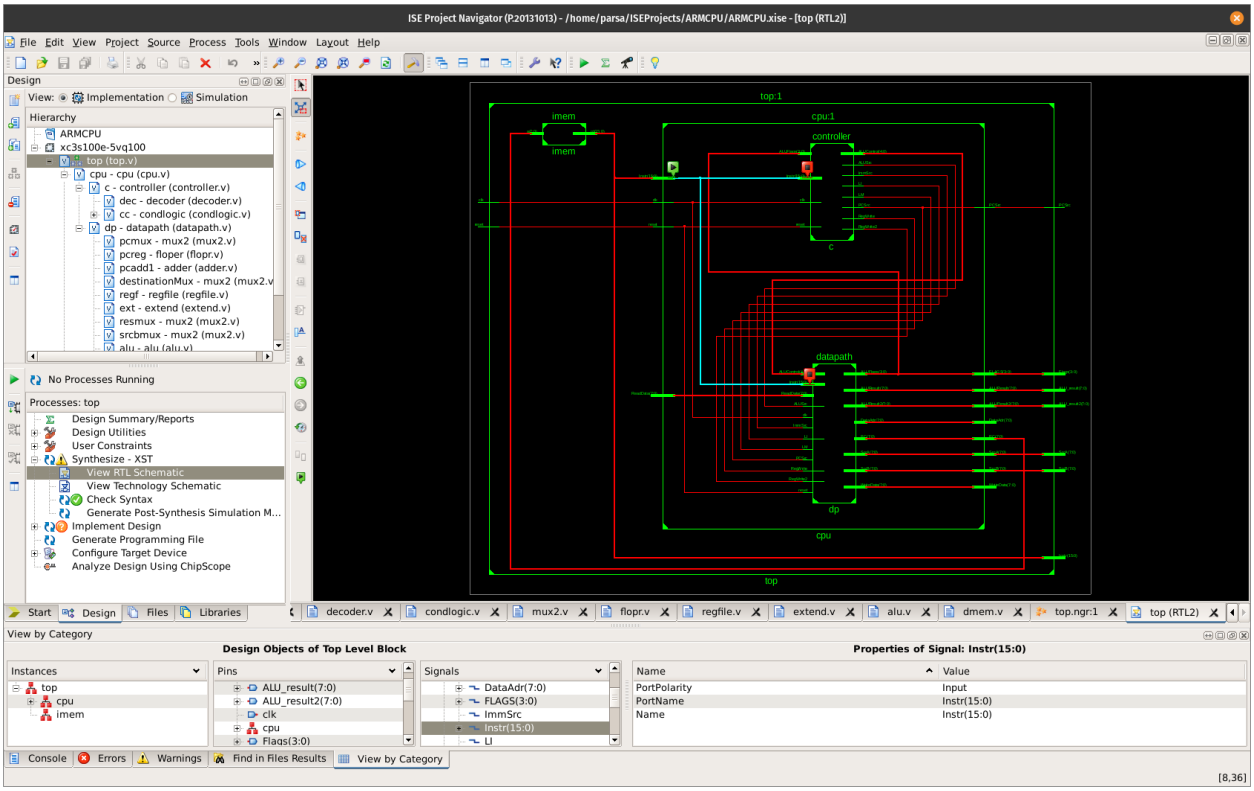

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [imem.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
DataAdrMux - mux2 (mux2.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: imem - imem
Design Utilities
Check Syntax
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module imem(input [7:0] a,
4 output [15:0] rd);
5
6 reg [16:0] RAM[256:0];
7 initial begin
8 $readmemb("/home/parsa/ISEProjects/ARMCPU/memfile.dat",RAM);
9 end
10 assign rd = RAM[a[7:2]]; // word aligned
11
12 endmodule
imem.v top.ngr:1 top (RTL1) top.ngc:1 top (Tech1) cpu.v datapath.v controller.v decoder.v condlo
Console
Started : "Launching ISE Text Editor to edit regfile.v".
Started : "Launching ISE Text Editor to edit extend.v".
Started : "Launching ISE Text Editor to edit alu.v".
Console Errors Warnings Find in Files Results View by Category
Ln 3 Col 1 Verilog

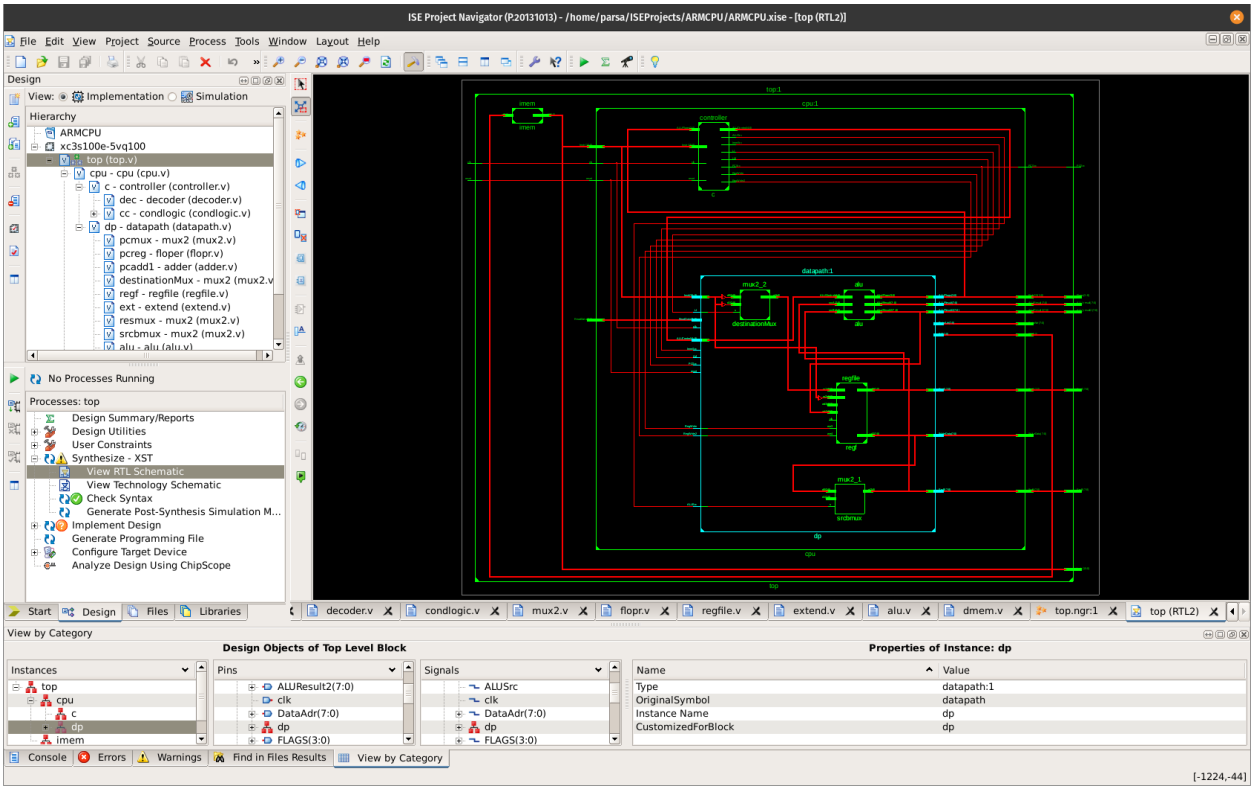

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [dmem.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
DataAdrMux - mux2 (mux2.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: dmem - dmem
Design Utilities
Check Syntax
Start Design Files Libraries
1 module dmem(input clk, we,
2 input [7:0] a, wd,
3 output [7:0] rd);
4
5 reg [7:0] RAM[63:0];
6 assign rd = RAM[a[7:2]]; // word aligned
7
8 always @(posedge clk)
9 if (we) RAM[a[7:2]] <= wd;
10 endmodule
11
datapath.v controller.v decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v alu.v dmem.v
Console
Started : "Launching ISE Text Editor to edit extend.v".
Started : "Launching ISE Text Editor to edit alu.v".
Started : "Launching ISE Text Editor to edit dmem.v".
Console Errors Warnings Find in Files Results View by Category
Ln 1 Col 1 Verilog

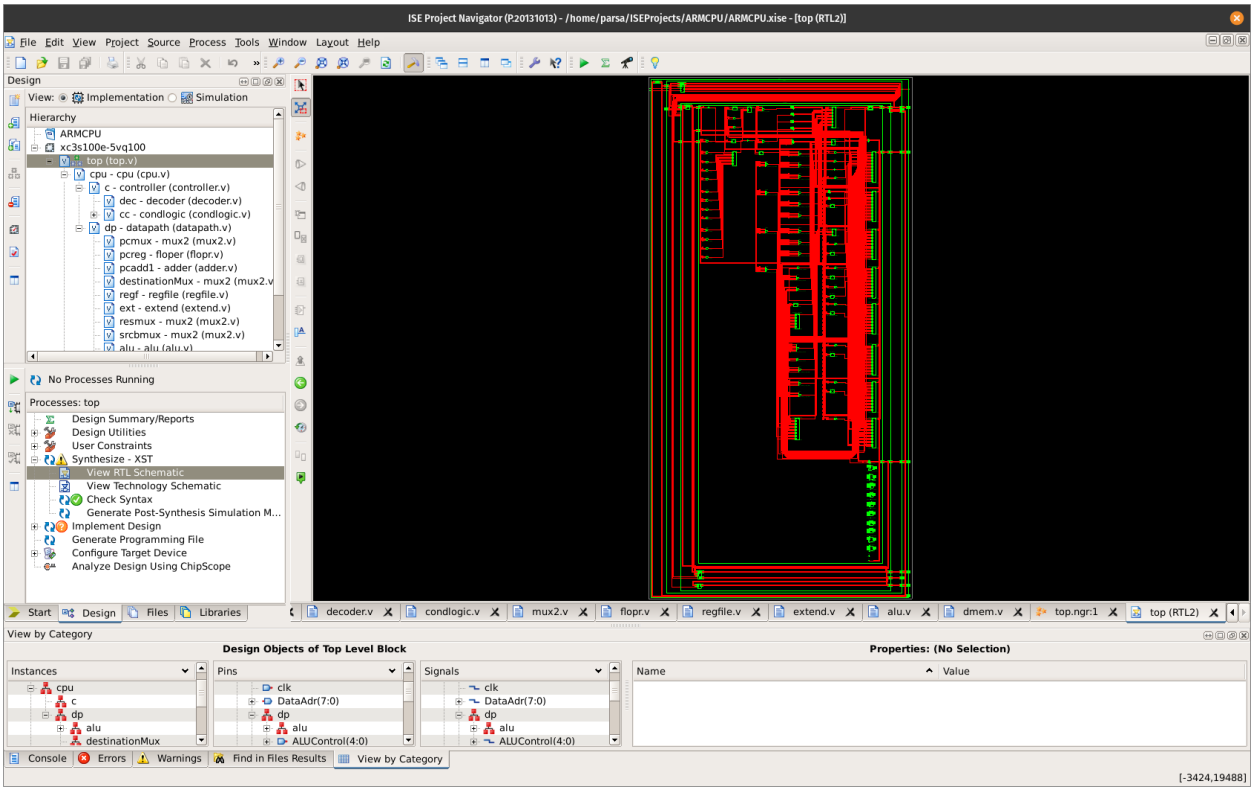

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [top_tb.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
ARMCPU
xc3s100e-5vq100
top_tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: top_tb
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
timescale 1ns / 1ps
module top_tb;
// Inputs
reg clk;
reg reset;
// Outputs
wire [15:0] Instr;
wire [3:0] Flags;
wire [7:0] ALUResult;
wire [7:0] ALUResult2;
wire [7:0] SrcA;
wire [7:0] SrcB;
wire PCSrc;
// Instantiate the Unit Under Test (UUT)
top uut (
.clk(clk),
.reset(reset),
.Instr(Instr),
.Flags(Flags),
.ALU_result(ALUResult),
.ALU_result2(ALUResult2),
.SrcA(SrcA),
.SrcB(SrcB),
.PCSrc(PCSrc)
);
always #5 clk = ~clk;
initial
begin
clk = 1;
reset = 1;
#21;
reset = 0;
Start Design Files Libraries
top_tb.v top.v imem.v top.ngr:1 top (RTL1) top.ngc:1 top (Tech1) cpu.v datapath.v controller.v
Console
Started : "Launching ISE Text Editor to edit extend.v".
Started : "Launching ISE Text Editor to edit alu.v".
Started : "Launching ISE Text Editor to edit dmem.v".
Console Errors Warnings Find in Files Results View by Category
Ln 3 Col 1 Verilog

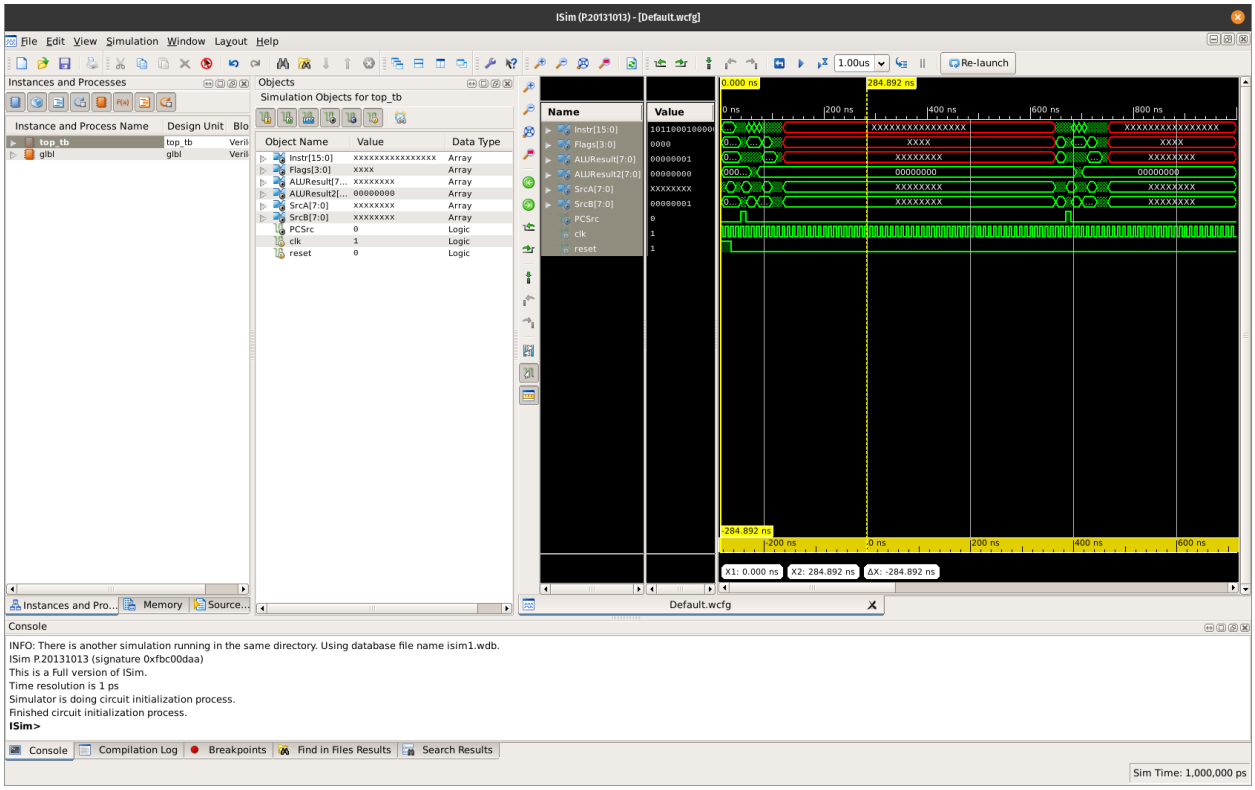

ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [top (RTL2)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation M...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
top
clk
reset
ALU_result(7:0)
ALU_result2(7:0)
Flags(3:0)
Instr(15:0)
SrcA(7:0)
SrcB(7:0)
PCSrc
top
Start Design Files Libraries
decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v alu.v dmem.v top.ngr:1 top (RTL2)
View by Category
Design Objects of Top Level Block
Properties: (No Selection)
Instances
Pins
Signals
Name
Value
top
Console Errors Warnings Find in Files Results View by Category
[-420,360]


ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [top (RTL2)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation M...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
top:1
imem
cpu
a(7:0)
rd(15:0)
Instr(15:0)
ALUResult(7:0)
ALUResult2(7:0)
DataAdr(7:0)
ReadData(7:0)
FLAGS(3:0)
PC(7:0)
SrcA(7:0)
SrcB(7:0)
WriteData(7:0)
PCSrc
clk
reset
ALU_result(7:0)
ALU_result2(7:0)
Flags(3:0)
Instr(15:0)
top
Start Design Files Libraries
decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v alu.v dmem.v top.ngr:1 top (RTL2)
View by Category
Design Objects of Top Level Block
Properties of Instance: top
Instances
Pins
Signals
top
Name
Value
Type
top:1
Part
xc3s100e-5-vq100
OriginalSymbol
top
Instance Name
top
CustomizedForBlock
top
Console Errors Warnings Find in Files Results View by Category
[-172,-32]


ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [top (RTL2)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation M...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
top:1
imem
cpu:1
controller
c
datapath
dp
cpu
top
Start Design Files Libraries
decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v alu.v dmem.v top.ngr:1 top (RTL2)
View by Category
Design Objects of Top Level Block
Properties of Signal: Instr(15:0)
Instances
Pins
Signals
top
cpu
imem
ALU_result(7:0)
ALU_result2(7:0)
clk
cpu
Flags(3:0)
DataAdr(7:0)
FLAGS(3:0)
ImmSrc
Instr(15:0)
LI
Name
Value
PortPolarity
Input
PortName
Instr(15:0)
Name
Instr(15:0)
Console Errors Warnings Find in Files Results View by Category
[8,36]


ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [top (RTL2)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation M...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
Start Design Files Libraries
decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v alu.v dmem.v top.ngr:1 top (RTL2)
View by Category
Design Objects of Top Level Block
Instances
top
cpu
c
dp
imem
Pins
ALUResult2(7:0)
clk
DataAdr(7:0)
dp
FLAGS(3:0)
Signals
ALUSrc
clk
DataAdr(7:0)
dp
FLAGS(3:0)
Properties of Instance: dp
Name
Value
Type
datapath:1
OriginalSymbol
datapath
Instance Name
dp
CustomizedForBlock
dp
Console Errors Warnings Find in Files Results View by Category
[-1224,-44]


ISE Project Navigator (P.20131013) - /home/parsa/ISEProjects/ARMCPU/ARMCPU.xise - [top (RTL2)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
ARMCPU
xc3s100e-5vq100
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
dec - decoder (decoder.v)
cc - condlogic (condlogic.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - floper (flopr.v)
pcadd1 - adder (adder.v)
destinationMux - mux2 (mux2.v
regf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
srcbmux - mux2 (mux2.v)
alu - alu (alu.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation M...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
Start Design Files Libraries
decoder.v condlogic.v mux2.v flopr.v regfile.v extend.v alu.v dmem.v top.ngr:1 top (RTL2)
View by Category
Design Objects of Top Level Block
Instances
cpu
c
dp
alu
destinationMux
Pins
clk
DataAdr(7:0)
dp
alu
ALUControl(4:0)
Signals
clk
DataAdr(7:0)
dp
alu
ALUControl(4:0)
Properties: (No Selection)
Name
Value
Console Errors Warnings Find in Files Results View by Category
[-3424,19488]


ISim (P.20131013) - [Default.wcfg]
File Edit View Simulation Window Layout Help
Re-launch
Instances and Processes
Instance and Process Name
Design Unit
top_tb
glbl
Objects
Simulation Objects for top_tb
Object Name
Value
Data Type
Instr[15:0]
Flags[3:0]
ALUResult[7...
ALUResult2[...
SrcA[7:0]
SrcB[7:0]
PCSrc
clk
reset
Name
Value
0.000 ns
284.892 ns
Default.wcfg
Console
INFO: There is another simulation running in the same directory. Using database file name isim1.wdb.
ISim P.20131013 (signature 0xfbc00daa)
This is a Full version of ISim.
Time resolution is 1 ps
Simulator is doing circuit initialization process.
Finished circuit initialization process.
ISim>
Console
Compilation Log
Breakpoints
Find in Files Results
Search Results
Sim Time: 1,000,000 ps