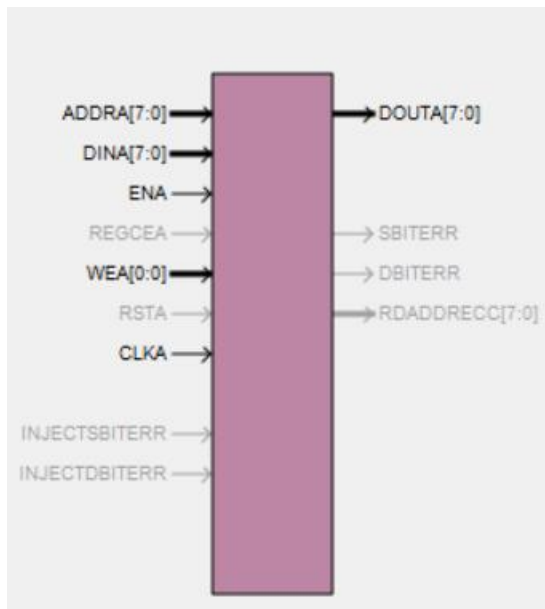


## آزمایش چهارم : طراحی RAM و ROM با استفاده از BLOCK RAM

گروه ۱: سپهر ابراهیمی، آرش رجب‌پور، ابوالفضل اخوی

### ابتدا توضیح حافظه ی RAM :



با استفاده از BLOCK MEMORY GENERATOR

یک حافظه ی RAM طراحی کردیم که هشت بیت آدرس،

هشت بیت ورودی، سیگنال کلاک، en، نوشتن داده

و هشت بیت خروجی دارد.

```
module RAM_mod(  
    input [7:0] address,  
    input [7:0] data,  
    input w_r,  
    input clk,  
    input cs,  
    output [7:0] out  
);  
B_RAM your_instance_name (  
    .clka(clk), // input clka  
    .ena(cs), // input ena  
    .wea(w_r), // input [0 : 0] wea  
    .addra(address), // input [7 : 0] addra  
    .dina(data), // input [7 : 0] dina  
    .douta(out) // output [7 : 0] douta  
);  
endmodule
```

برای محاسبه تایمینگ و نمایش خروجی، یک ماژول

طراحی کردیم و IP طراحی شده را به عنوان یک

instance از آن ماژول طراحی شده قرار دادیم.

همچنین برای تست صحت کد و IP طراحی شده،

تست بنچ نیز طراحی کردیم که در فایل ضمیمه

موجود میباشد.

	Destination ▲	Clk to PAD	Edge	Internal Clock(s)	Phase
1	out<0>	9.592	(R)	clk_BUFGP	0.000
2	out<1>	8.768	(R)	clk_BUFGP	0.000
3	out<2>	8.998	(R)	clk_BUFGP	0.000
4	out<3>	10.087	(R)	clk_BUFGP	0.000
5	out<4>	9.929	(R)	clk_BUFGP	0.000
6	out<5>	9.782	(R)	clk_BUFGP	0.000
7	out<6>	9.490	(R)	clk_BUFGP	0.000
8	out<7>	9.950	(R)	clk_BUFGP	0.000

در اینجا تاخیرهای این رم قابل مشاهده هستند.

همانطور که مشخص است بیشترین تاخیر یا

تاخیر بحرانی برابر 10.087 میباشد.

در قسمت اول آزمایش تاخیر بحرانی بدست آمده

برابر 12.371 بود.

در قسمت زیر به مقایسه device utilization دو طراحی میپردازیم:

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slices containing only related logic	0	0	0%
Number of Slices containing unrelated logic	0	0	0%
Number of bonded <a href="#">IOBs</a>	27	66	40%
Number of RAMB16s	1	4	25%
Number of BUFGMUXs	1	24	4%
Average Fanout of Non-Clock Nets	1.38		

طراحی با Block RAM

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of 4 input LUTs	169	1,920	8%
Number of occupied Slices	85	960	8%
Number of Slices containing only related logic	85	85	100%
Number of Slices containing unrelated logic	0	85	0%
Total Number of 4 input LUTs	169	1,920	8%
Number used as logic	41		
Number used for 32x1 RAMs	128		
Number of bonded <a href="#">IOBs</a>	27	66	40%
Number of BUFGMUXs	1	24	4%
Average Fanout of Non-Clock Nets	7.18		

طراحی BEHAVIORAL

## توضیح حافظه ی ROM:

با استفاده از BLOCK MEMORY GENERATOR

یک حافظه ی ROM طراحی کردیم که سه بیت آدرس،

سیگنال کلاک، en و هشت بیت خروجی دارد.

برای محاسبه تایمینگ و نمایش خروجی، یک ماژول

طراحی کردیم و IP طراحی شده را به عنوان یک

instance از آن ماژول طراحی شده قرار دادیم.

همچنین برای تست صحت کد و IP طراحی شده،

تست بنچ نیز طراحی کردیم که در فایل ضمیمه

موجود میباشد.

```
module ROM_mod(
    input clk,
    input cs,
    input [2:0] address,
    output [7:0] out
);

  B_ROM your_instance_name (
    .clka(clk), // input clka
    .ena(cs), // input ena
    .addra(address), // input [2 : 0] addra
    .douta(out) // output [7 : 0] douta
  );

endmodule
```

Destination	Clk to PAD	Edge	Internal Clock(s)	Phase
out<0>	9.186	(R)	clk_BUFGP	0.000
out<1>	9.035	(R)	clk_BUFGP	0.000
out<2>	9.455	(R)	clk_BUFGP	0.000
out<3>	9.001	(R)	clk_BUFGP	0.000
out<4>	8.786	(R)	clk_BUFGP	0.000
out<5>	9.285	(R)	clk_BUFGP	0.000
out<6>	9.216	(R)	clk_BUFGP	0.000
out<7>	8.995	(R)	clk_BUFGP	0.000

در اینجا تاخیرهای این رام قابل مشاهده هستند.

همانطور که مشخص است بیشترین تاخیر یا

تاخیر بحرانی برابر 9.455 میباشد.

در قسمت اول آزمایش تاخیر بحرانی بدست آمده برابر 7.268 بود.

در قسمت زیر به مقایسه device utilization دو طراحی میپردازیم:

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slices containing only related logic	0	0	0%
Number of Slices containing unrelated logic	0	0	0%
Number of bonded <a href="#">IOBs</a>	13	66	19%
Number of RAMB16s	1	4	25%
Number of BUFGMUXs	1	24	4%
Average Fanout of Non-Clock Nets	1.33		

طراحی با Block ROM

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of 4 input LUTs	8	1,920	1%
Number of occupied Slices	4	960	1%
Number of Slices containing only related logic	4	4	100%
Number of Slices containing unrelated logic	0	4	0%
Total Number of 4 input LUTs	8	1,920	1%
Number of bonded <a href="#">IOBs</a>	12	66	18%
Average Fanout of Non-Clock Nets	3.33		