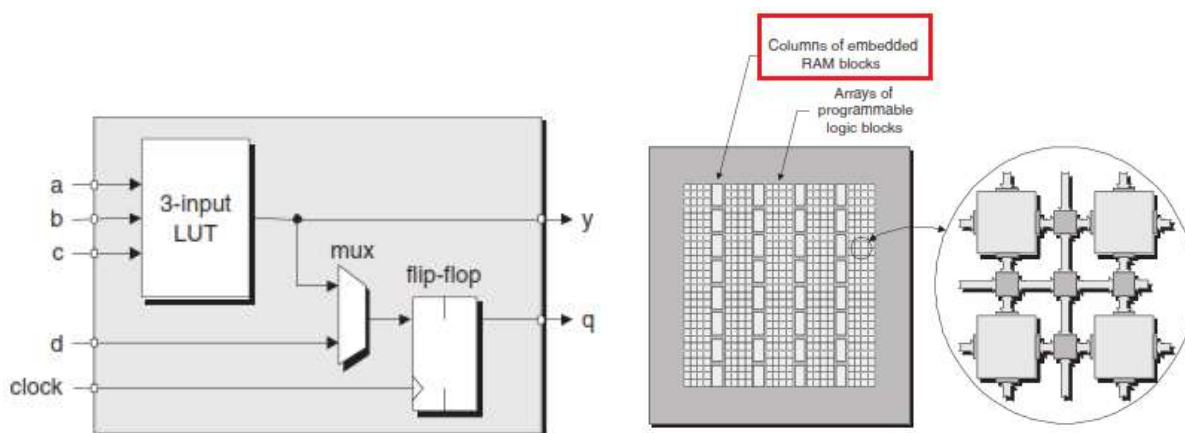


دستور کار آزمایشگاه مجازی مدارهای منطقی و معماری کامپیوتر

آزمایش چهارم (واحد حافظه)

یکی از بخش‌های اصلی در مدارهای دیجیتال، بخش حافظه است. در صورتی که حافظه مدل‌سازی نامناسبی داشته باشد، ممکن است زمان شبیه‌سازی را طولانی کند و همچنین در صورت توصیف نادرست آن در هنگام سنتز نیز باعث استفاده غیرعادی از منابع سخت‌افزاری می‌شود. در این آزمایش هدف اصلی آشنایی با نحوه مدل کردن انواع حافظه‌ها در داخل FPGA است.

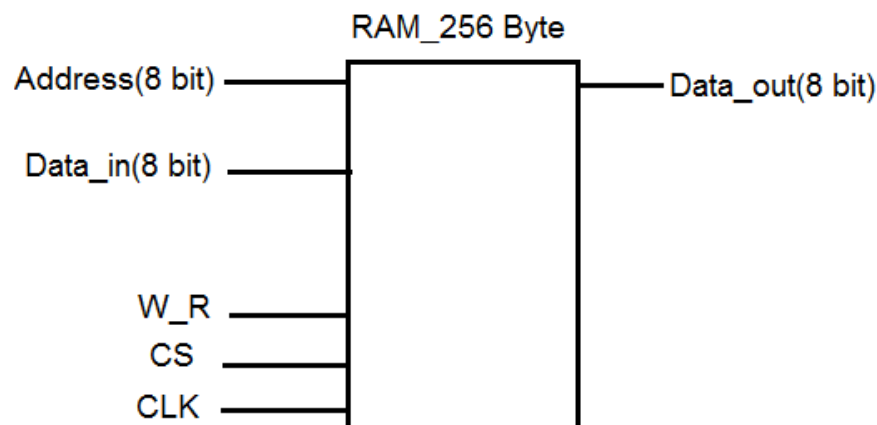
در مشخصات FPGA ها دو نوع حافظه موقت RAM وجود دارد، یکی حافظه‌های بلوکی (Block RAM) و دیگری حافظه‌های توزیع شده (Distributed RAM) که هر کدام باید در کاربرد مناسب خودش استفاده شود.



شکل (۱) یک نمونه از ساختار حافظه‌های بلوکی در FPGA های شرکت Xilinx شکل (۲) واحد اصلی تشکیل دهنده حافظه های توزیع شده یا Distributed RAM

حافظه‌های بلوکی یا Block RAM ها حافظه های مستقل و واقعی در FPGA ها هستند که در بخش های خاصی از یک تراشه FPGA از قبل به صورت سخت افزاری تعبیه شده اند.

حافظه‌های توزیع شده یا Distributed RAM ها در حقیقت از اتصال چندین LUT ساخته می شوند. بعضی از LUT ها در FPGA، این قابلیت را دارند که با اتصال به یکدیگر، حافظه های موقت کوچکی را ایجاد کنند. اغلب برای ساخت مدارهای ترکیبی و ترتیبی است و نه استفاده به عنوان حافظه.



شکل (۳) ساختار این حافظه RAM به همراه سیگنال‌های موردنیاز آن

هدف از این آزمایش، آشنایی با حافظه‌ها و نحوه تولید، زمان‌بندی خواندن و نوشتن در آن و شبیه‌سازی آنها می‌باشد.

طراحی و پیاده‌سازی کد قابل سنتز موارد ذیل را انجام دهید:

۱- مطابق شکل ۳ یک حافظه RAM ۲۵۶ بیتی سنکرون طراحی کنید.

W_R: در صورت فعال بودن W_R مقدار Data_in بر روی خانه‌ای از حافظه که در مقدار Address است نوشته شود.

CS: این پایه به معنی Chip Select است. یعنی در صورتی که مقدار آن برابر ۱ باشد این چیپ از حافظه فعال است در غیر این صورت خروجی‌ها مقدار high impedance باید داشته باشند و مقدارهای داخل چپ تغییری نمی‌کند.

CLK: مدار با لبه مثبت کلاک کار می‌کند.

۲- یک حافظه ROM طراحی کنید به طوری که هر دارای هشت خط آدرس و ۸ بیت دیتا باشد.

• در گزارش تفاوت طراحی حافظه ROM با RAM در FPGA را توضیح دهید.

۳- یک حافظه Cache طراحی کنید به طوریکه این حافظه دارای ۸ بیت آدرس و ۸ بیت دیتا باشد. این حافظه دارای یک خروجی hit و یک باس ۸ بیتی برای نمایش داده ی خروجی است.

۴- حافظه RAM و ROM ،

را بار دیگر با استفاده از Block RAM ها در IP(CORE Generator & Architecture Wizard) خود ISE پیاده سازی کنید، مراحل را در گزارش توضیح دهید و نتایج را از نظر تاخیر و Design Summary با کد خود مقایسه کنید.

❖ دانشجویان گرامی کد مدار توصیف شده به همراه گزارش مناسبی از انجام آزمایش را تا مهلت تعیین شده توسط استاد مربوطه برای ایشان ارسال کنند. در گزارش ابتدا راجع به آزمایش (طرح مدار، تفاوت حافظه‌های بلوکی و حافظه‌های توزیع شده FPGA) توضیحی مفید را ارائه کنید و مراحل ایجاد آن‌ها و سپس کد مدار توصیف شده را به همراه توضیحات مناسبی در گزارش شرح دهید. پس از اینکه طرح توصیف شده را با نوشتن Test Bench برای مدار شبیه‌سازی کردید، با انتخاب چند نمونه از ورودی‌ها، شکل‌های موج خروجی را در گزارش توضیح دهید. مجموع فایل‌های کد و گزارش را در قالب یک فایل فشرده شده برای استاد مربوطه ارسال کنید. نام فایل فشرده: Lab Number, Group Name.Zip