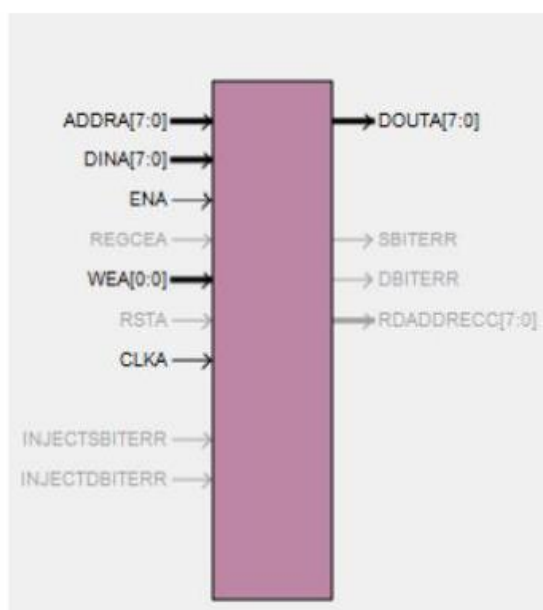


گزارش بخش 4

عرفان رفیعی - فرید فولادی - پارسا نوری (گروه 1)

ابتدا توضیح حافظه ی RAM:



با استفاده از BLOCK MEMORY GENERATOR

یک حافظه ی RAM طراحی کردیم که هشت بیت آدرس،

هشت بیت ورودی، سیگنال کلاک، en، نوشتن داده

و هشت بیت خروجی دارد.

```
module RAM_mod(
    input [7:0] address,
    input [7:0] data,
    input w_r,
    input clk,
    input cs,
    output [7:0] out
);
    B_RAM your_instance_name (
        .clka(clk), // input clka
        .ena(cs), // input ena
        .wea(w_r), // input [0 : 0] wea
        .addra(address), // input [7 : 0] addra
        .dina(data), // input [7 : 0] dina
        .douta(out) // output [7 : 0] douta
    );
endmodule
```

برای محاسبه تایمینگ و نمایش خروجی، یک ماژول

طراحی کردیم و IP طراحی شده را به عنوان یک

instance از آن ماژول طراحی شده قرار دادیم.

همچنین برای تست صحت کد و IP طراحی شده،

تست بنچ نیز طراحی کردیم که در فایل ضمیمه

موجود میباشد.

ابتدا تاخیر بحرانی این RAM با رم بخش 1 را مقایسه میکنیم :

RAM بخش 1 : تاخیر بحرانی 7.791

Clock clk to Pad

Destination	clk (edge) to PAD	Internal Clock(s)	Clock Phase
data_out<0>	6.870 (R)	clk_BUFGP	0.000
data_out<1>	7.791 (R)	clk_BUFGP	0.000
data_out<2>	7.497 (R)	clk_BUFGP	0.000
data_out<3>	7.680 (R)	clk_BUFGP	0.000
data_out<4>	7.104 (R)	clk_BUFGP	0.000
data_out<5>	7.176 (R)	clk_BUFGP	0.000
data_out<6>	6.876 (R)	clk_BUFGP	0.000
data_out<7>	7.161 (R)	clk_BUFGP	0.000


RAM بخش 4 : تاخیر بحرانی 10.087

Clock clk to Pad

Destination	clk (edge) to PAD	Internal Clock(s)	Clock Phase
out<0>	9.592 (R)	clk_BUFGP	0.000
out<1>	8.768 (R)	clk_BUFGP	0.000
out<2>	8.998 (R)	clk_BUFGP	0.000
out<3>	10.087 (R)	clk_BUFGP	0.000
out<4>	9.929 (R)	clk_BUFGP	0.000
out<5>	9.782 (R)	clk_BUFGP	0.000
out<6>	9.490 (R)	clk_BUFGP	0.000
out<7>	9.950 (R)	clk_BUFGP	0.000

مقایسه design summary :

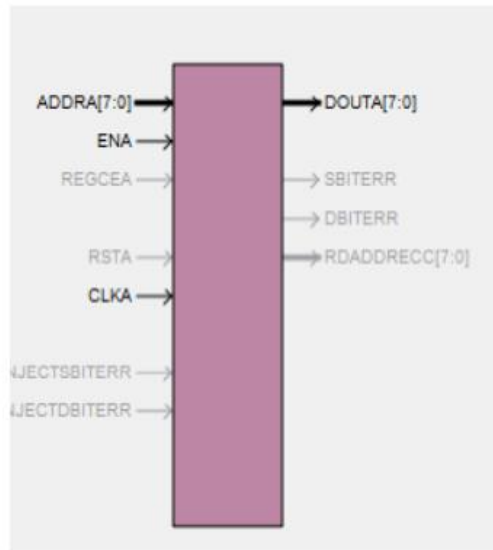
RAM بخش 1 :

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	8	1,920	1%	
Number of 4 input LUTs	177	1,920	9%	
Number of occupied Slices	89	960	9%	
Number of Slices containing only related logic	89	89	100%	
Number of Slices containing unrelated logic	0	89	0%	
Total Number of 4 input LUTs	177	1,920	9%	
Number used as logic	49			
Number used for 32x1 RAMs	128			
Number of bonded IOBs	27	66	40%	
IOB Flip Flops	8			
Number of BUFGMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	6.85			

RAM بخش 4 :

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slices containing only related logic	0	0	0%
Number of Slices containing unrelated logic	0	0	0%
Number of bonded IOBs	27	66	40%
Number of RAMB16s	1	4	25%
Number of BUFGMUXs	1	24	4%
Average Fanout of Non-Clock Nets	1.38		

توضیح حافظه ی ROM :



با استفاده از BLOCK MEMORY GENERATOR

یک حافظه ی ROM طراحی کردیم که سه بیت آدرس،

سیگنال کلاک، en و هشت بیت خروجی دارد.

برای محاسبه تایمینگ و نمایش خروجی، یک ماژول

طراحی کردیم و IP طراحی شده را به عنوان یک

instance از آن ماژول طراحی شده قرار دادیم.

همچنین برای تست صحت کد و IP طراحی شده،

تست بنچ نیز طراحی کردیم که در فایل ضمیمه

موجود میباشد.

```
module ROM_mod(  
    input clk,  
    input cs,  
    input [2:0] address,  
    output [7:0] out  
);  
  
B_ROM your_instance_name (  
    .clka(clk), // input clka  
    .ena(cs), // input ena  
    .addra(address), // input [2 : 0] addra  
    .douta(out) // output [7 : 0] douta  
);  
  
endmodule
```

حال به مقایسه تاخیر بحرانی دو ROM میپردازیم:

تأخیر بحرانی ROM بخش 1 : 9.982

Clock clk to Pad

Destination	clk (edge) to PAD	Internal Clock(s)	Clock Phase
out<0>	8.982 (R)	clk_BUFPG	0.000
out<1>	8.952 (R)	clk_BUFPG	0.000
out<2>	8.979 (R)	clk_BUFPG	0.000
out<3>	9.340 (R)	clk_BUFPG	0.000
out<4>	9.560 (R)	clk_BUFPG	0.000
out<5>	9.317 (R)	clk_BUFPG	0.000
out<6>	9.341 (R)	clk_BUFPG	0.000
out<7>	9.406 (R)	clk_BUFPG	0.000

تأخیر بحرانی ROM بخش 4 : 9.455

Clock clk to Pad

Destination	clk (edge) to PAD	Internal Clock(s)	Clock Phase
out<0>	9.186 (R)	clk_BUFPG	0.000
out<1>	9.035 (R)	clk_BUFPG	0.000
out<2>	9.455 (R)	clk_BUFPG	0.000
out<3>	9.001 (R)	clk_BUFPG	0.000
out<4>	8.786 (R)	clk_BUFPG	0.000
out<5>	9.285 (R)	clk_BUFPG	0.000
out<6>	9.216 (R)	clk_BUFPG	0.000
out<7>	8.995 (R)	clk_BUFPG	0.000

مقایسه : design summary

ROM بخش 1 :

Device Utilization Summary				[1]
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slices containing only related logic	0	0	0%	
Number of Slices containing unrelated logic	0	0	0%	
Number of bonded IOBs	18	66	27%	
Number of RAMB16s	1	4	25%	
Number of BUFGMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	1.00			

ROM بخش 4 :

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slices containing only related logic	0	0	0%
Number of Slices containing unrelated logic	0	0	0%
Number of bonded IOBs	13	66	19%
Number of RAMB16s	1	4	25%
Number of BUFGMUXs	1	24	4%
Average Fanout of Non-Clock Nets	1.33		