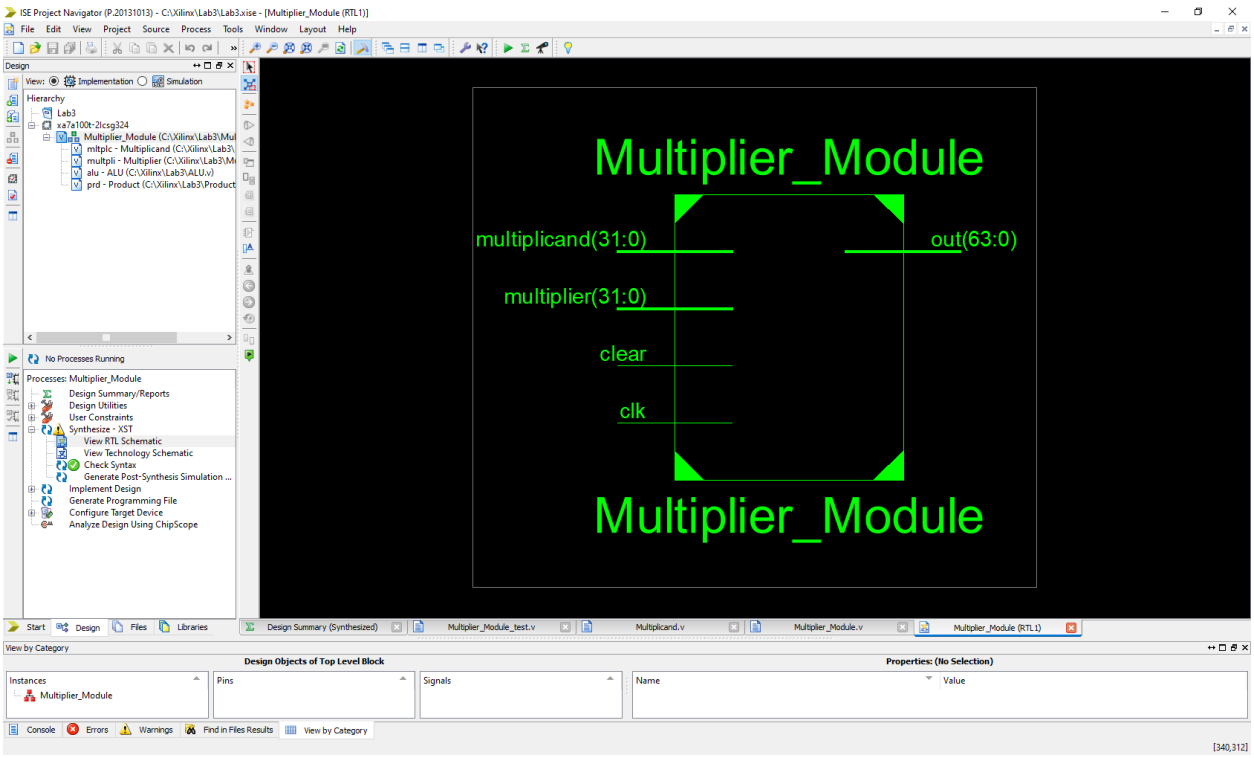
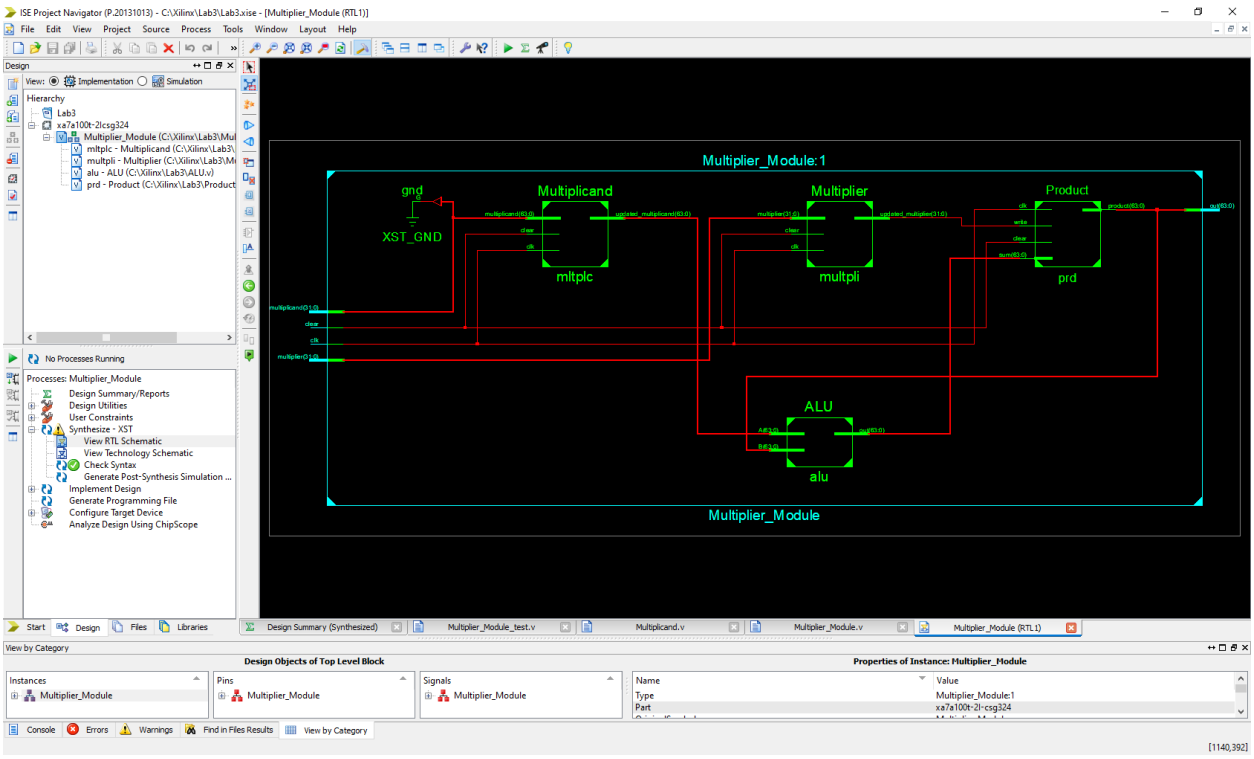
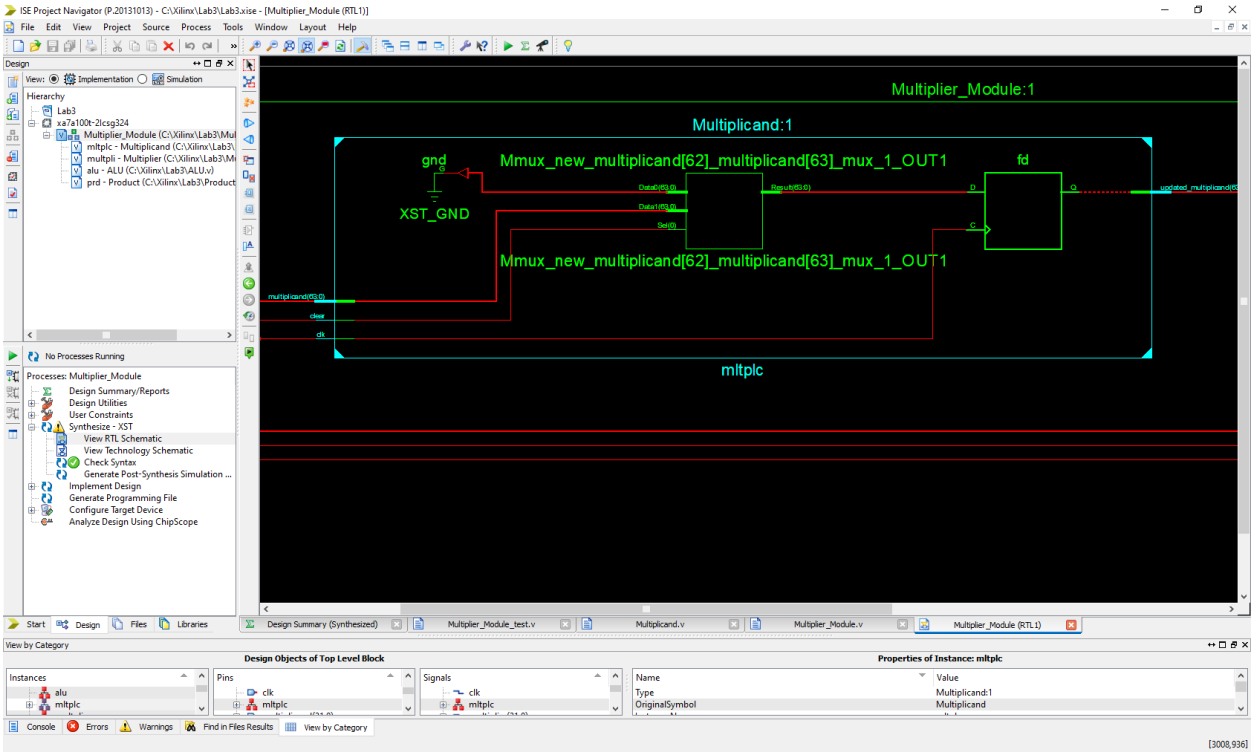
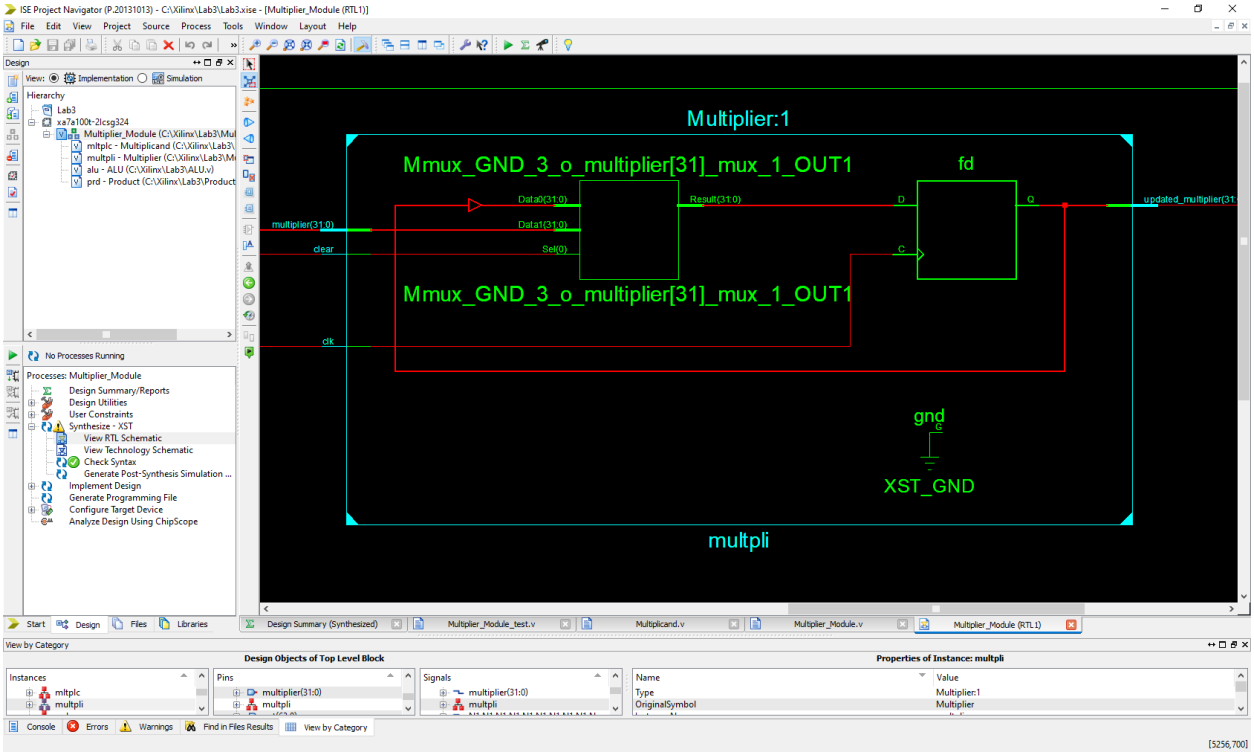
آزمایش ضرب با استفاده از شیفت و اضافه کردن

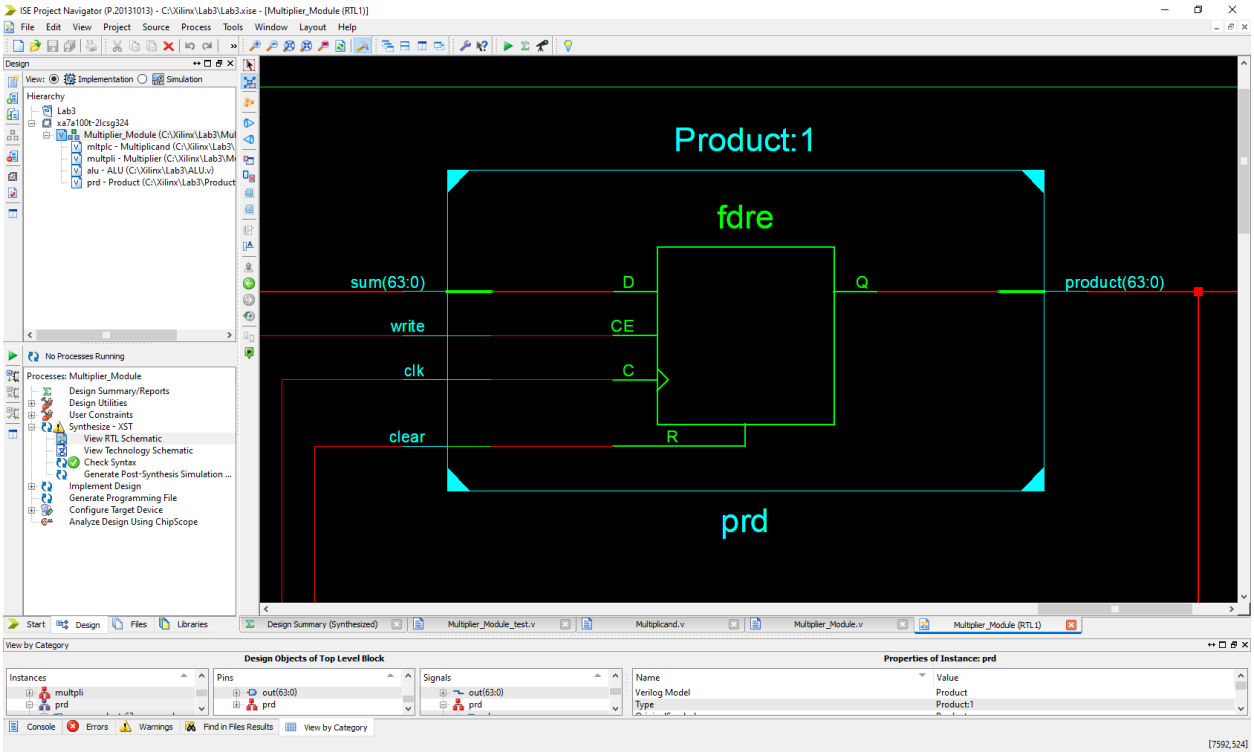
تصویر RTL Schematic:

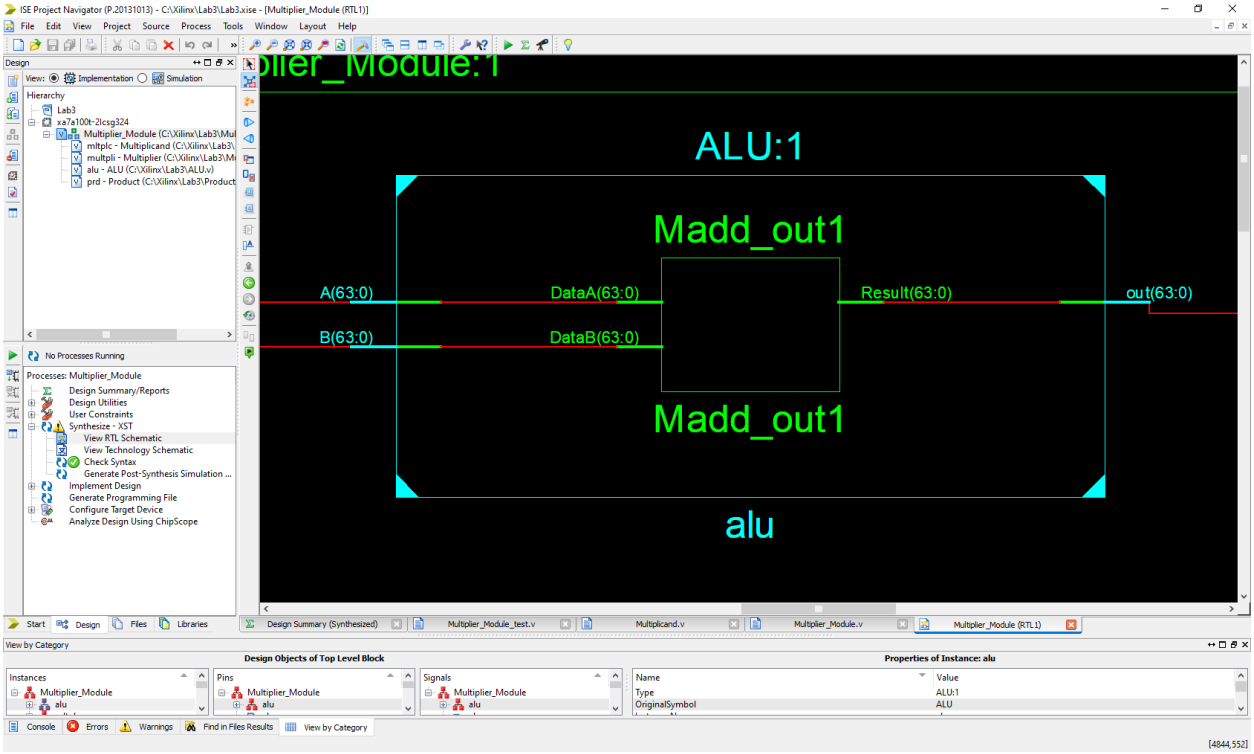


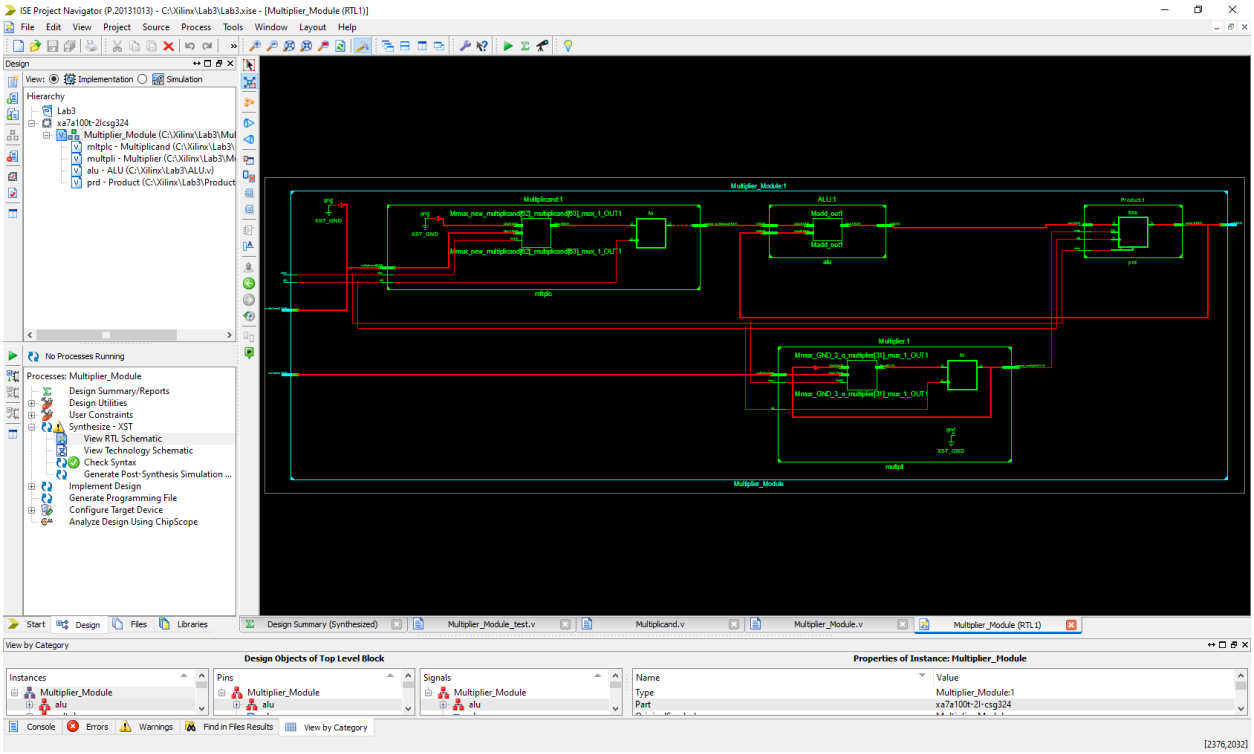



ISE Project Navigator (P.20131013) - C:\Xilinx\Lab3\Lab3.xise - [Multiplier_Module (RTL1)]
Multiplier_Module:1
Multiplicand:1
gnd
XST_GND
Mmux_new_multiplicand[62]_multiplicand[63]_mux_1_OUT1
fd
Mmux_new_multiplicand[62]_multiplicand[63]_mux_1_OUT1
multiplicand(63:0)
clear
clk
mltplc
Design Objects of Top Level Block
Properties of Instance: mltplc

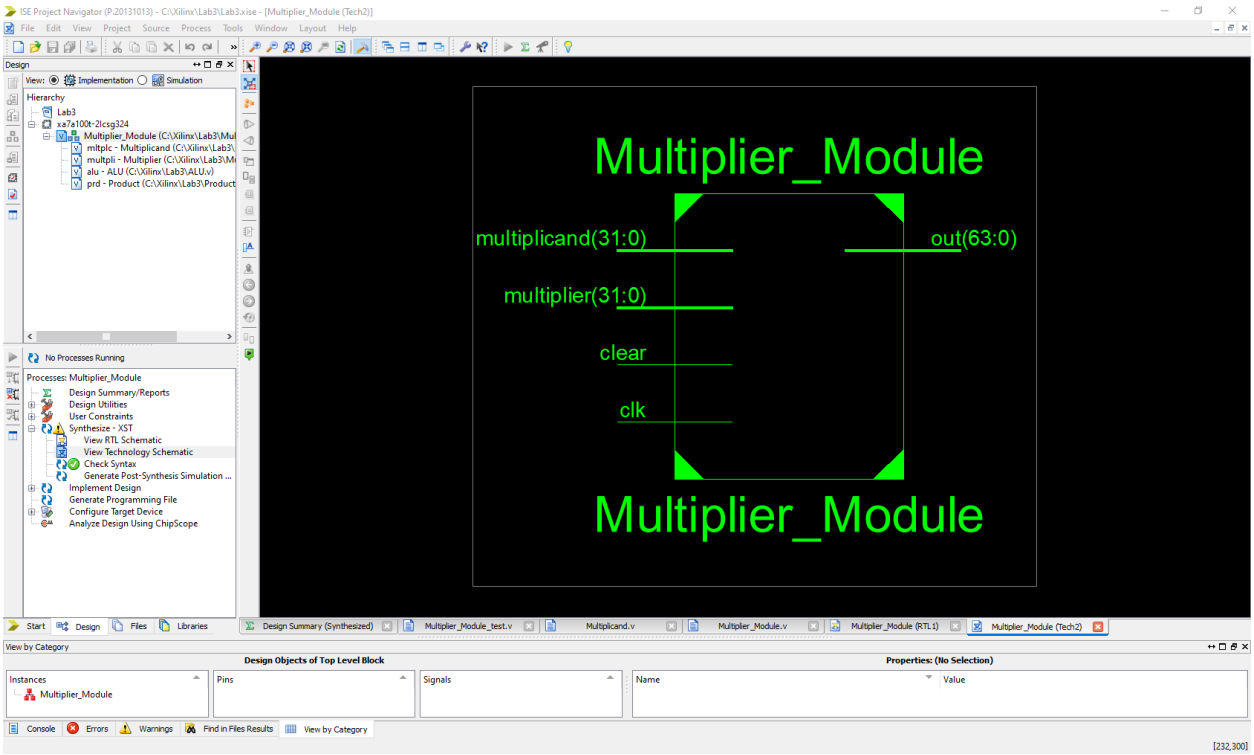

ISE Project Navigator (P.20131013) - C:\Xilinx\Lab3\Lab3.xise - [Multiplier_Module (RTL1)]
Multiplier:1
Mmux_GND_3_o_multiplier[31]_mux_1_OUT1
fd
Data0(31:0)
Data1(31:0)
Sel(0)
Result(31:0)
D
Q
C
multiplier(31:0)
clear
clk
Mmux_GND_3_o_multiplier[31]_mux_1_OUT1
gnd
XST_GND
multpli
Design Objects of Top Level Block
Properties of Instance: multpli

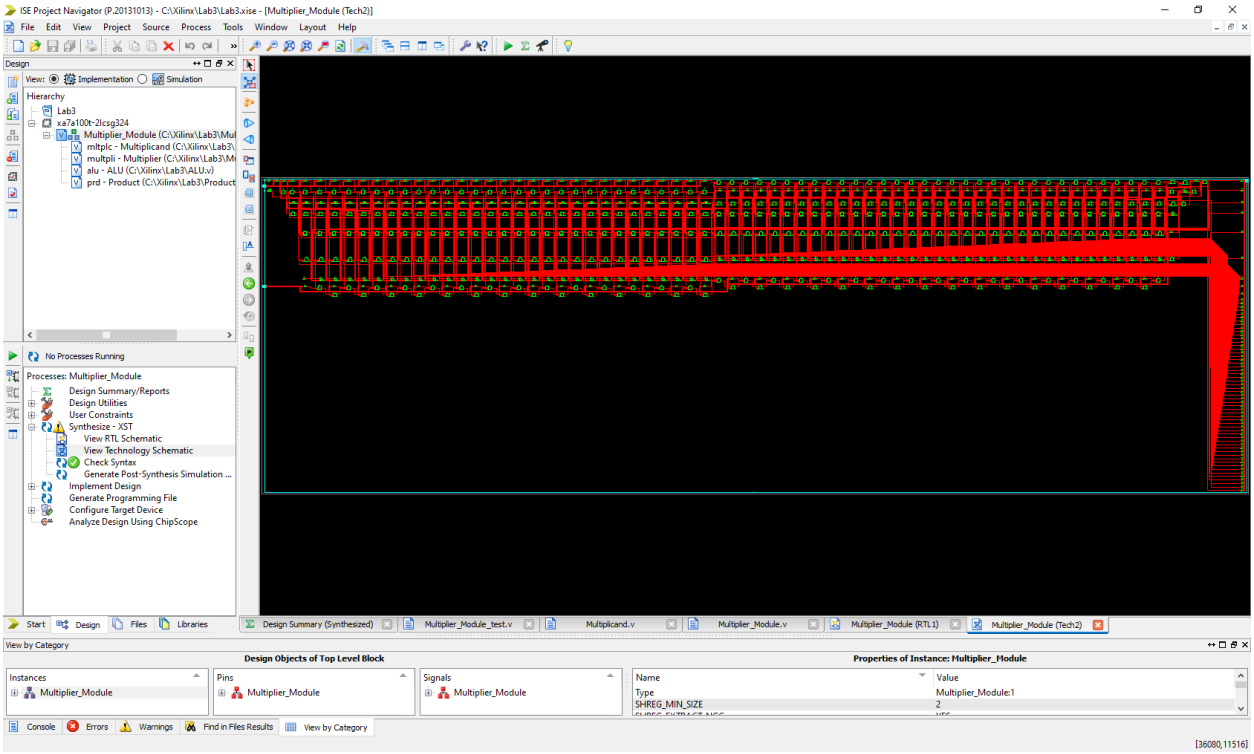

Product:1
fdre
sum(63:0)
D
Q
product(63:0)
write
CE
clk
C
clear
R
prd


ALU:1
Madd_out1
A(63:0)
DataA(63:0)
Result(63:0)
out(63:0)
B(63:0)
DataB(63:0)
Madd_out1
alu

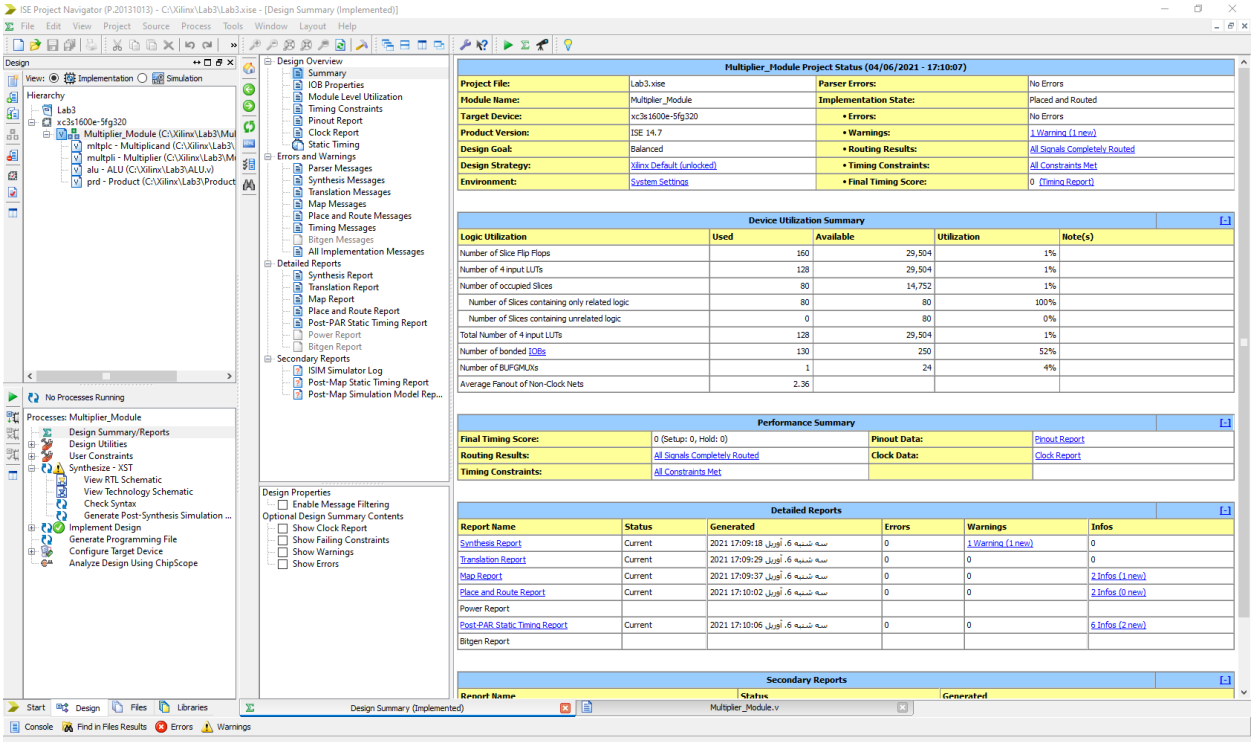


تصویری از Technology Schematic:





خروجی design summary:



خروجی delay ها:

```
Delay:               6.222ns (Levels of Logic = 65)
  Source:            mltplc/new_multiplicand_0 (FF)
  Destination:       prd/new_product_63 (FF)
  Source Clock:      clk rising
  Destination Clock: clk rising

  Data Path: mltplc/new_multiplicand_0 to prd/new_product_63
                              Gate     Net
    Cell:in->out      fanout   Delay   Delay  Logical Name (Net Name)
    ----------------------------------------  ------------
     FD:C->Q               2   0.514   0.532
mltplc/new_multiplicand_0 (mltplc/new_multiplicand_0)
     LUT2:I0->O            1   0.612   0.000  alu/Madd_out_lut<0>
(alu/Madd_out_lut<0>)
     MUXCY:S->O            1   0.404   0.000  alu/Madd_out_cy<0>
(alu/Madd_out_cy<0>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<1>
(alu/Madd_out_cy<1>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<2>
(alu/Madd_out_cy<2>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<3>
(alu/Madd_out_cy<3>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<4>
(alu/Madd_out_cy<4>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<5>
(alu/Madd_out_cy<5>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<6>
(alu/Madd_out_cy<6>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<7>
(alu/Madd_out_cy<7>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<8>
(alu/Madd_out_cy<8>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<9>
(alu/Madd_out_cy<9>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<10>
(alu/Madd_out_cy<10>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<11>
(alu/Madd_out_cy<11>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<12>
(alu/Madd_out_cy<12>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<13>
(alu/Madd_out_cy<13>)
```

```
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<14>
(alu/Madd_out_cy<14>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<15>
(alu/Madd_out_cy<15>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<16>
(alu/Madd_out_cy<16>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<17>
(alu/Madd_out_cy<17>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<18>
(alu/Madd_out_cy<18>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<19>
(alu/Madd_out_cy<19>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<20>
(alu/Madd_out_cy<20>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<21>
(alu/Madd_out_cy<21>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<22>
(alu/Madd_out_cy<22>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<23>
(alu/Madd_out_cy<23>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<24>
(alu/Madd_out_cy<24>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<25>
(alu/Madd_out_cy<25>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<26>
(alu/Madd_out_cy<26>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<27>
(alu/Madd_out_cy<27>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<28>
(alu/Madd_out_cy<28>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<29>
(alu/Madd_out_cy<29>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<30>
(alu/Madd_out_cy<30>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<31>
(alu/Madd_out_cy<31>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<32>
(alu/Madd_out_cy<32>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<33>
(alu/Madd_out_cy<33>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<34>
(alu/Madd_out_cy<34>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<35>
(alu/Madd_out_cy<35>)
```

```
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<36>
(alu/Madd_out_cy<36>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<37>
(alu/Madd_out_cy<37>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<38>
(alu/Madd_out_cy<38>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<39>
(alu/Madd_out_cy<39>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<40>
(alu/Madd_out_cy<40>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<41>
(alu/Madd_out_cy<41>)
     MUXCY:CI->O           1   0.052   0.000  alu/Madd_out_cy<42>
(alu/Madd_out_cy<42>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<43>
(alu/Madd_out_cy<43>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<44>
(alu/Madd_out_cy<44>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<45>
(alu/Madd_out_cy<45>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<46>
(alu/Madd_out_cy<46>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<47>
(alu/Madd_out_cy<47>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<48>
(alu/Madd_out_cy<48>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<49>
(alu/Madd_out_cy<49>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<50>
(alu/Madd_out_cy<50>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<51>
(alu/Madd_out_cy<51>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<52>
(alu/Madd_out_cy<52>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<53>
(alu/Madd_out_cy<53>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<54>
(alu/Madd_out_cy<54>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<55>
(alu/Madd_out_cy<55>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<56>
(alu/Madd_out_cy<56>)
     MUXCY:CI->O           1   0.051   0.000  alu/Madd_out_cy<57>
(alu/Madd_out_cy<57>)
```

```
     MUXCY:CI->O           1    0.051    0.000  alu/Madd_out_cy<58>
(alu/Madd_out_cy<58>)
     MUXCY:CI->O           1    0.051    0.000  alu/Madd_out_cy<59>
(alu/Madd_out_cy<59>)
     MUXCY:CI->O           1    0.051    0.000  alu/Madd_out_cy<60>
(alu/Madd_out_cy<60>)
     MUXCY:CI->O           1    0.051    0.000  alu/Madd_out_cy<61>
(alu/Madd_out_cy<61>)
     MUXCY:CI->O           0    0.051    0.000  alu/Madd_out_cy<62>
(alu/Madd_out_cy<62>)
     XORCY:CI->O           1    0.699    0.000  alu/Madd_out_xor<63>
(sum<63>)
     FDRE:D                     0.268           prd/new_product_63
    ----------------------------------------
    Total                       6.222ns (5.690ns logic, 0.532ns route)
                                        (91.5% logic, 8.5% route)
```

تصویری از شکل موج: