

## گزارش بخش 1 و 2

عرفان رفیعی - پارسا نوری - فرید فولادی

حافظه ی RAM همانطور که از اسمش پیداست random access memory است و حافظه ی ROM نیز Read only memory است.

پس میتوان نتیجه گرفته که حافظه ی ROM یک حافظه ی read only میباشد که فقط یکبار خانه ها ی حافظه ی آن مقدار داده میشوند و همواره همان مقدار ها استفاده میشوند و یعنی قابلیت write کردن در آن نداریم.

اما در حافظه ی RAM موضوع برعکس است و ما توانایی write کردن داریم و میتوانیم همواره مقادیر داخل خانه ها را تغییر بدهیم.

ما در کد بخش ۱ و ۲ این دو حافظه ها را به صورت behavioral پیاده سازی کردیم و برای ROM نیز مقادی اولیه ای به آدرس حافظه داده ایم که این مقادیر با توجه به دانسته های ما قابل تغییر نیستند و این ورودی های داده شده در انتهای کار در خروجی آدرس خانه ی مورد نظر نمایش داده میشوند و در حافظه ی RAM ما قابلیت write و read را به صورت همزمان داریم و تعریف کردیم و همچنین یک en نیز برای آنها در نظر گرفته ایم.

در ادامه تصاویری از تایمینگ ریپورت RAM مربوط به حالت عادی و سپس ROM در حالت عادی و RAM و ROM با IP را نیز آورده ایم:

Clock clk to Pad

	clk (edge)		
Destination	to PAD	Internal Clock(s)	Clock Phase
data_out<0>	6.870 (R)	clk_BUF GP	0.000
data_out<1>	7.791 (R)	clk_BUF GP	0.000
data_out<2>	7.497 (R)	clk_BUF GP	0.000
data_out<3>	7.680 (R)	clk_BUF GP	0.000
data_out<4>	7.104 (R)	clk_BUF GP	0.000
data_out<5>	7.176 (R)	clk_BUF GP	0.000
data_out<6>	6.876 (R)	clk_BUF GP	0.000
data_out<7>	7.161 (R)	clk_BUF GP	0.000

Clock clk to Pad

	clk (edge)		
Destination	to PAD	Internal Clock(s)	Clock Phase
out<0>	8.982 (R)	clk_BUF GP	0.000
out<1>	8.952 (R)	clk_BUF GP	0.000
out<2>	8.979 (R)	clk_BUF GP	0.000
out<3>	9.340 (R)	clk_BUF GP	0.000
out<4>	9.560 (R)	clk_BUF GP	0.000
out<5>	9.317 (R)	clk_BUF GP	0.000
out<6>	9.341 (R)	clk_BUF GP	0.000
out<7>	9.406 (R)	clk_BUF GP	0.000

در ادامه ی کار نیز تعدادی تصاویر از جدول LUT ها و شماتیک RTL و شماتیک technology و خروجی simulation برای RAM و سپس تعدادی برای ROM آورده ایم:

**ROM\_256\_to\_8 Project Status (10/27/2020 - 22:35:14)**

Project File:	lab4_4.xise	Parser Errors:	No Errors
Module Name:	RAM_256	Implementation State:	Placed and Routed
Target Device:	xilinx100e-5vq100	* Errors:	No Errors
Product Version:	ISE 14.7	* Warnings:	No Warnings
Design Goal:	Balanced	* Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	* Timing Constraints:	All Constraints Met
Environment:	System Settings	* Final Timing Score:	0 (Timing Report)

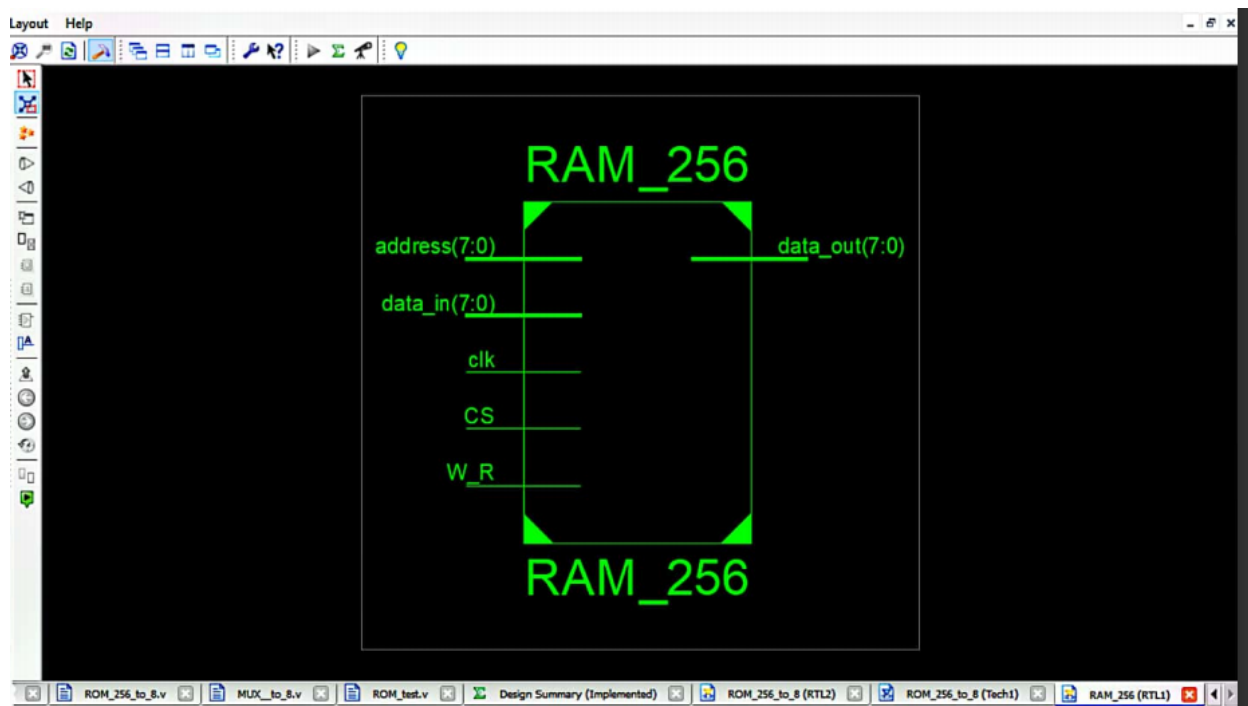
**Device Utilization Summary**

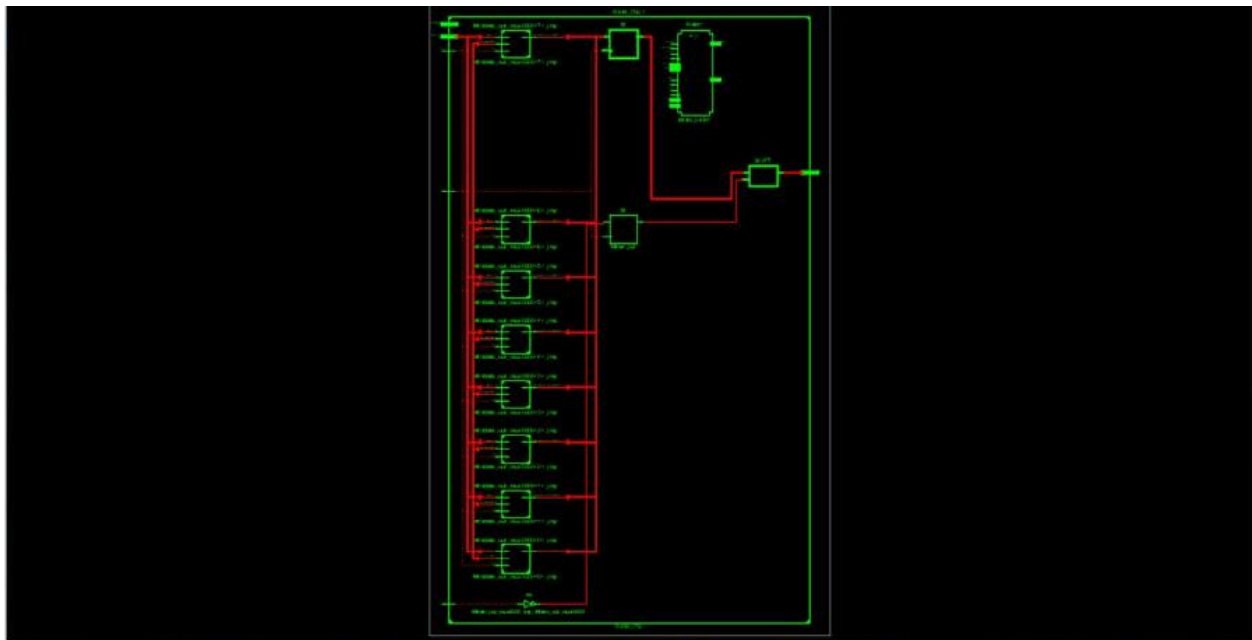
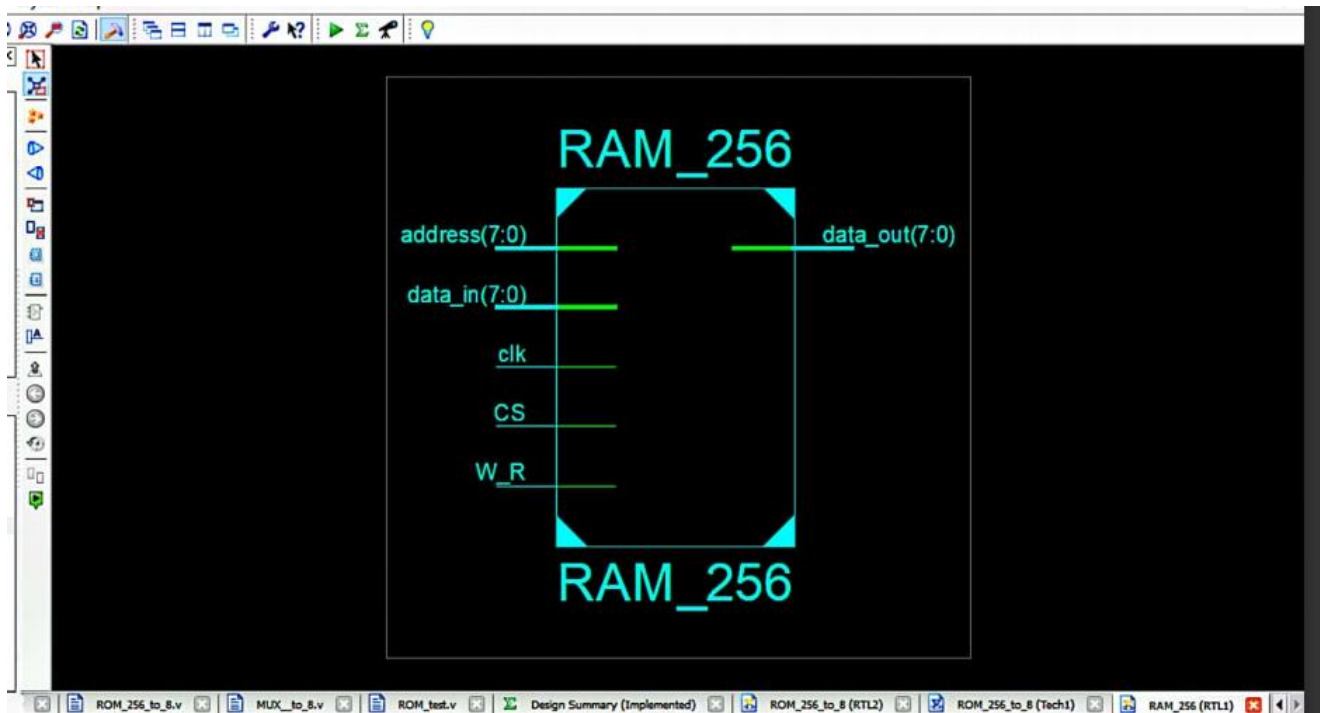
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	8	1,920	1%	
Number of 4 input LUTs	177	1,920	9%	
Number of occupied Slices	89	960	9%	
Number of Slices containing only related logic	89	89	100%	
Number of Slices containing unrelated logic	0	89	0%	
Total Number of 4 input LUTs	177	1,920	9%	
Number used as logic	49			
Number used for 32x1 RAMs	128			
Number of bonded IOBs	27	66	40%	
IOB Flip Flops	8			
Number of BUFMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	6.85			

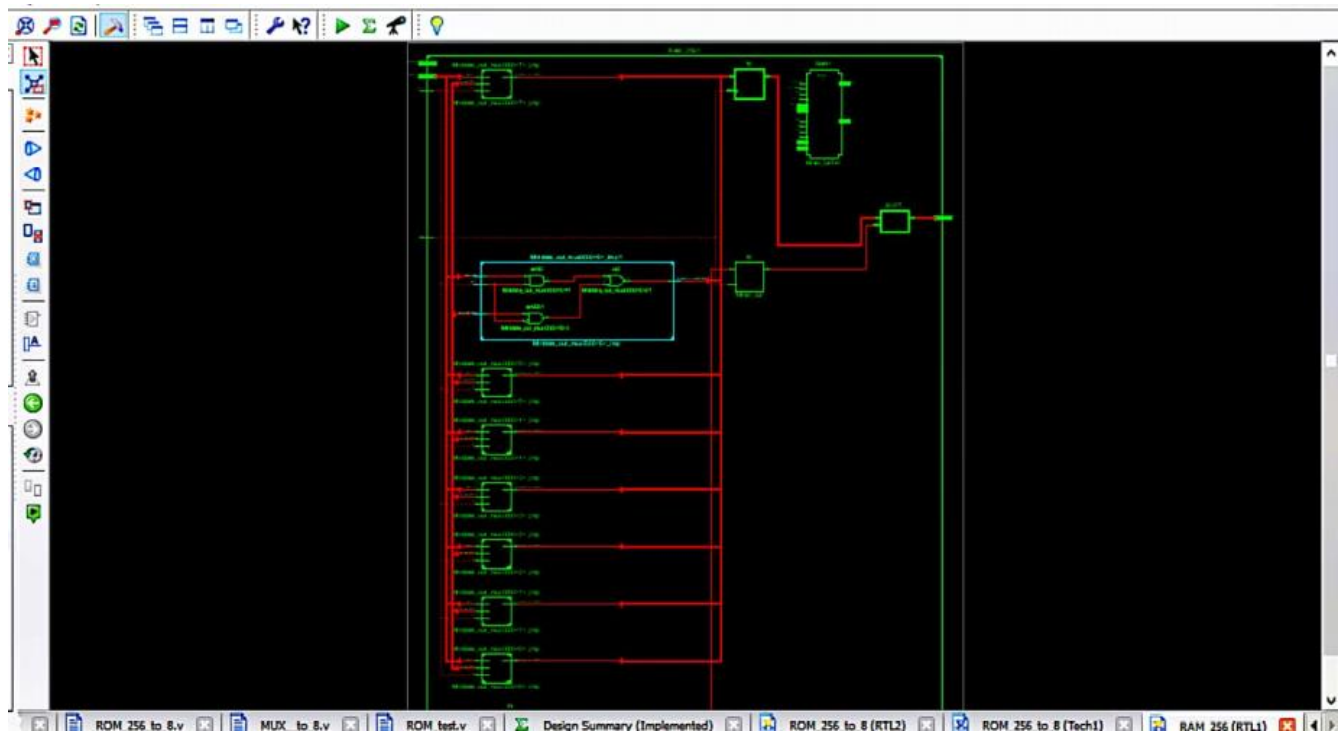
  

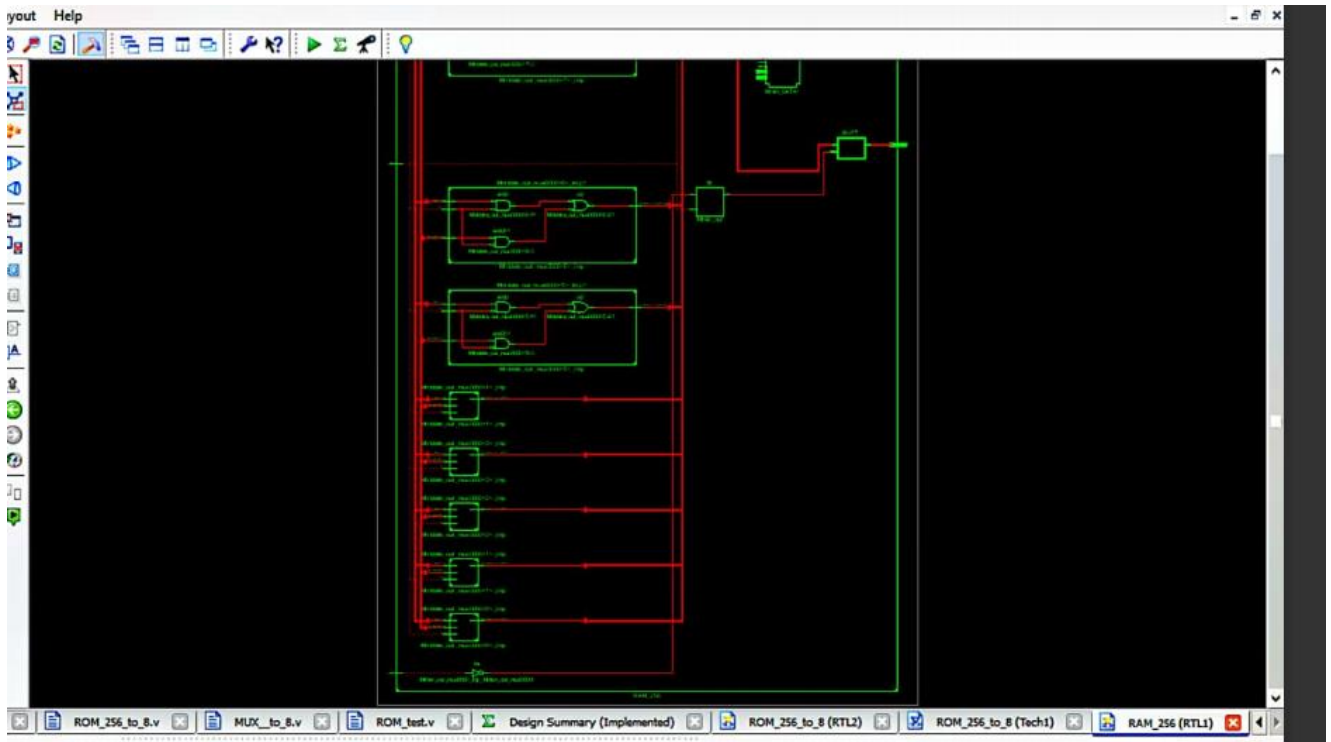
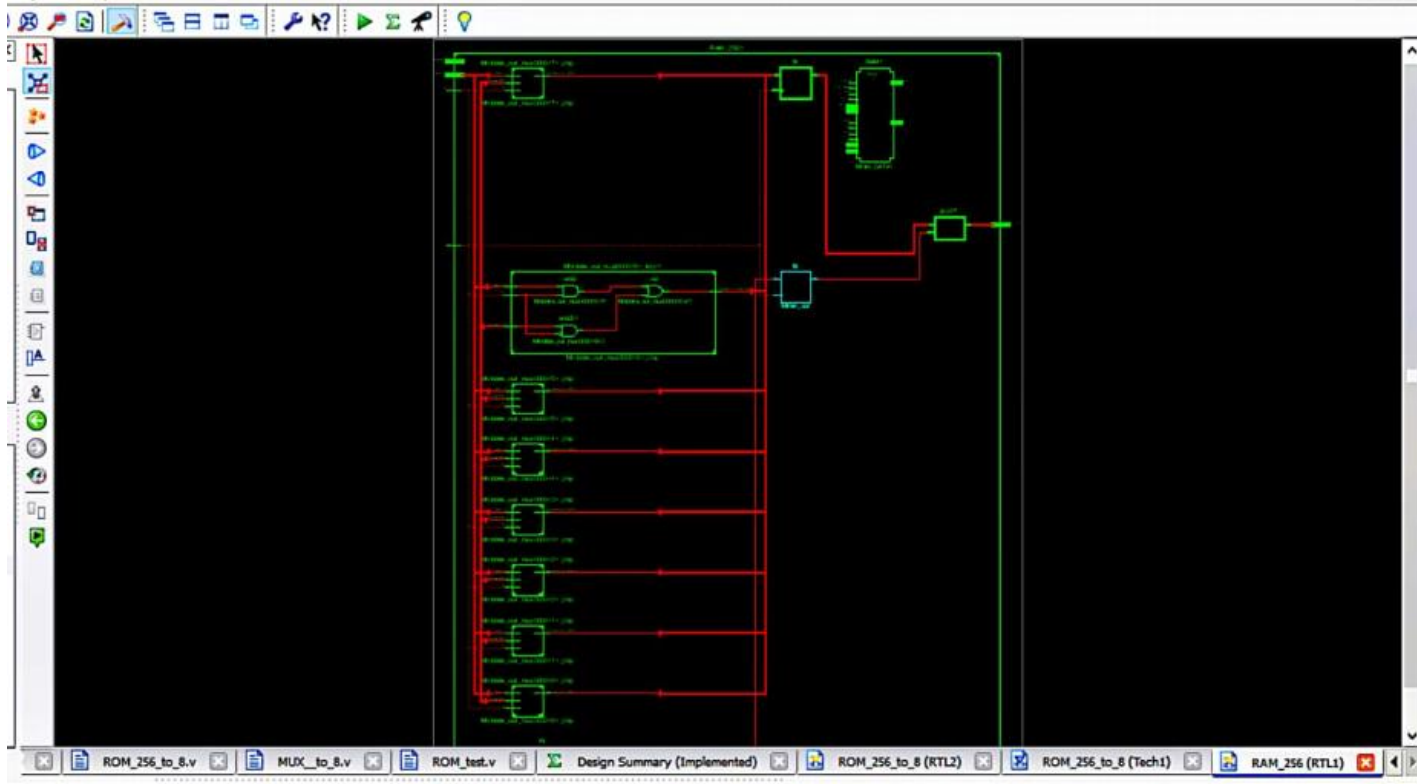
**Performance Summary**

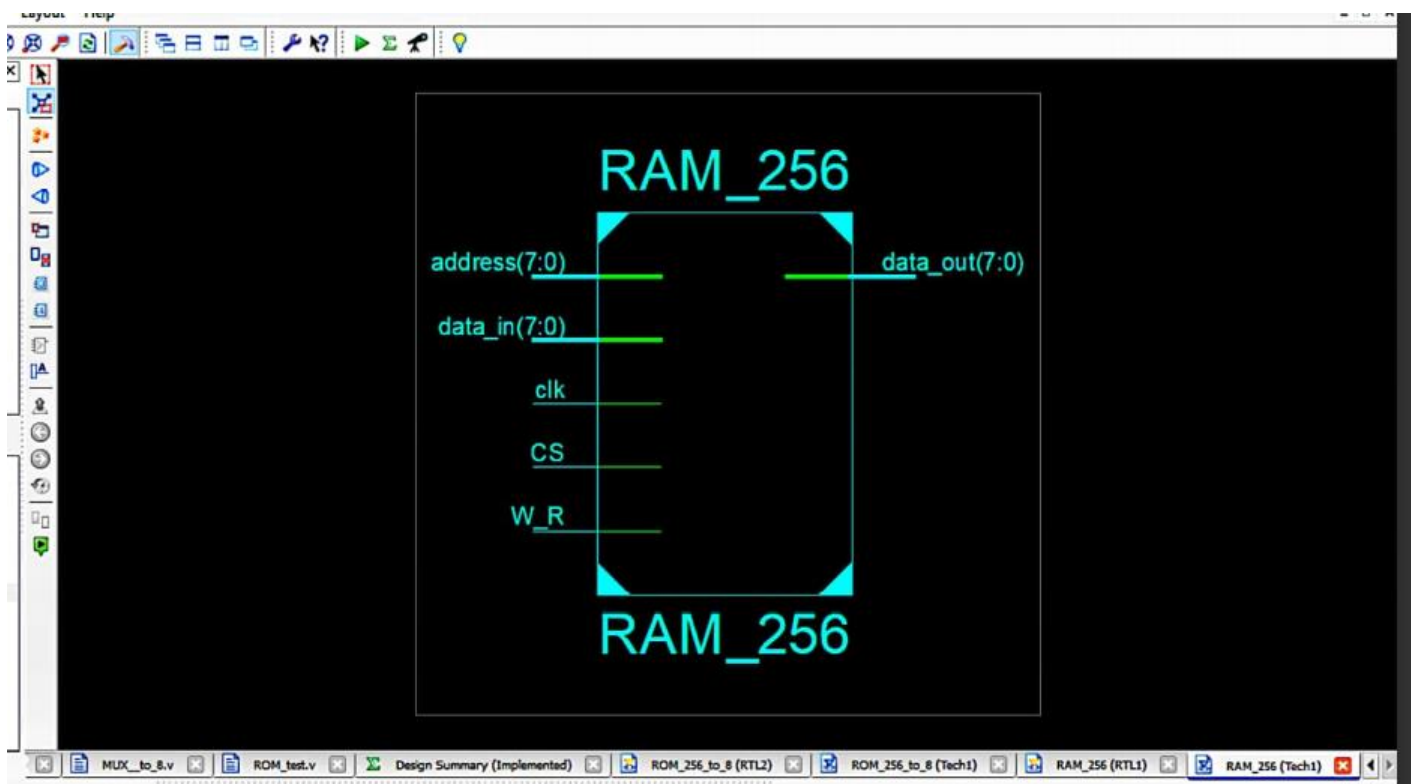
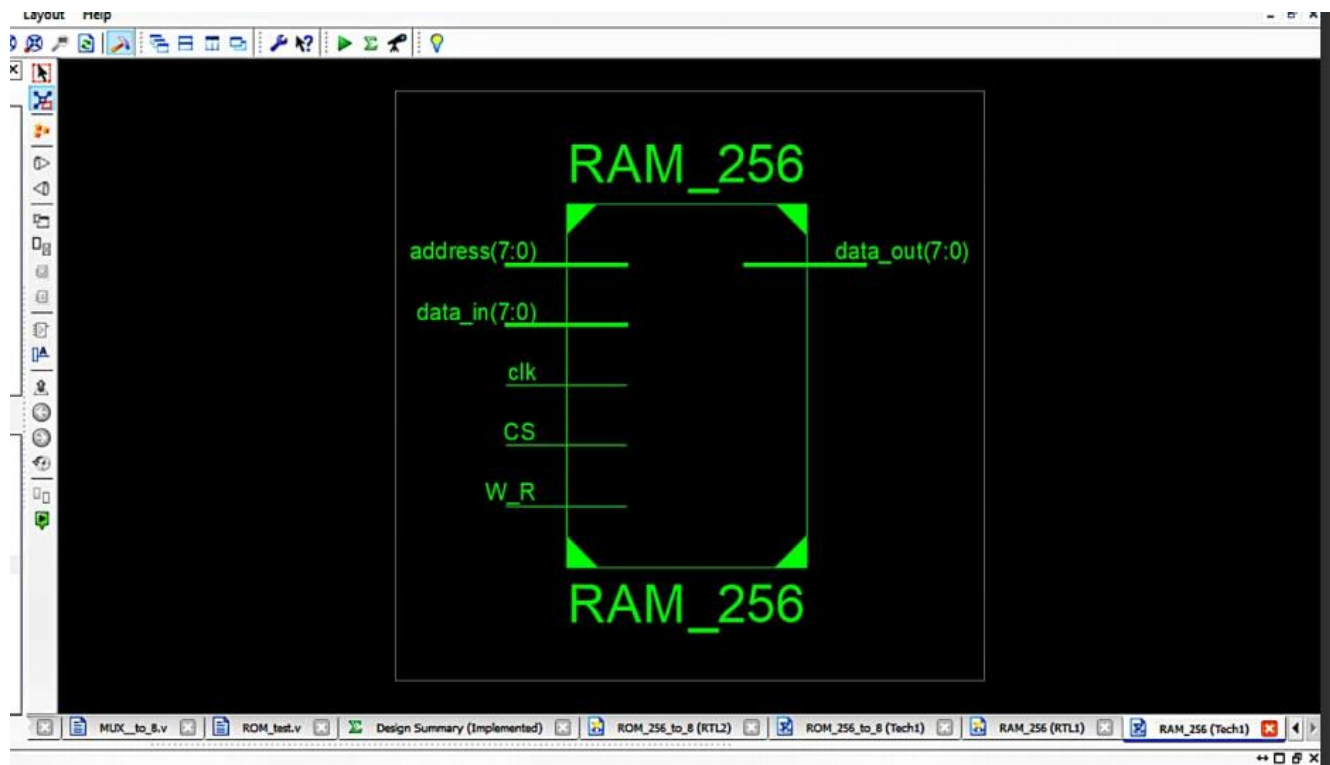
Final Timing Score:	0 (Setup: 0, Hold: 0)	Pinout Data:	Pinout Report
---------------------	-----------------------	--------------	---------------



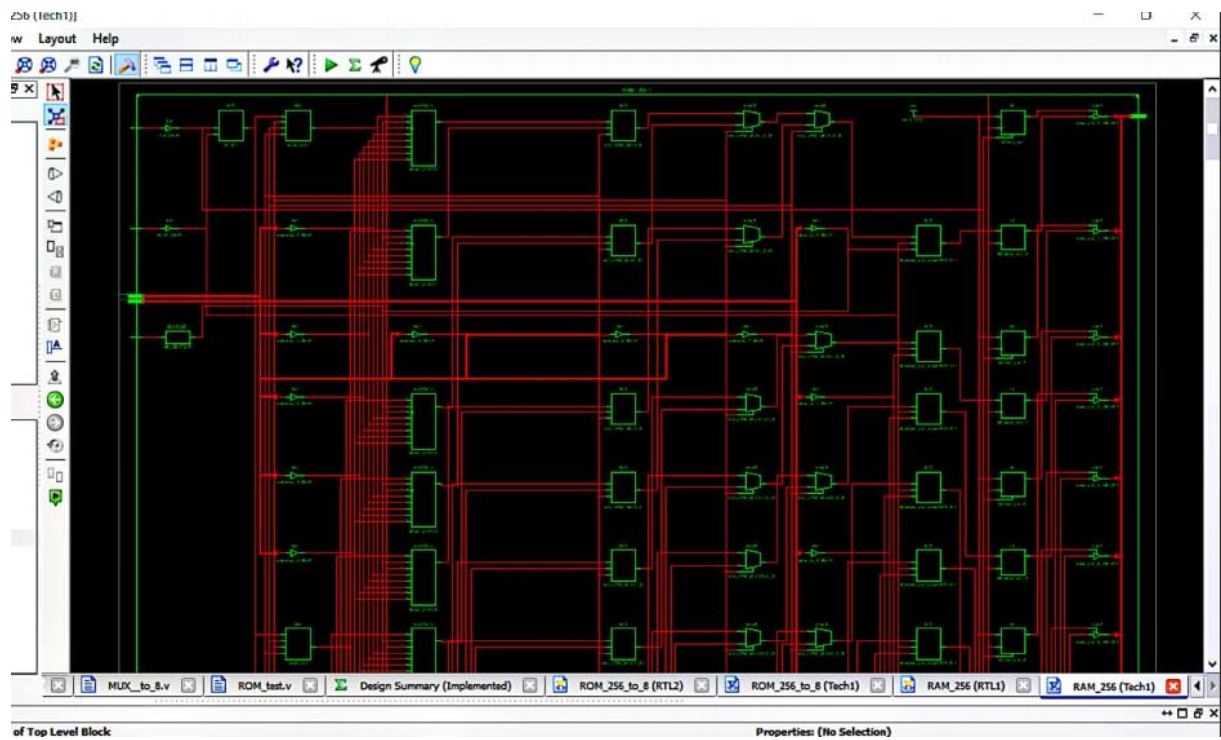
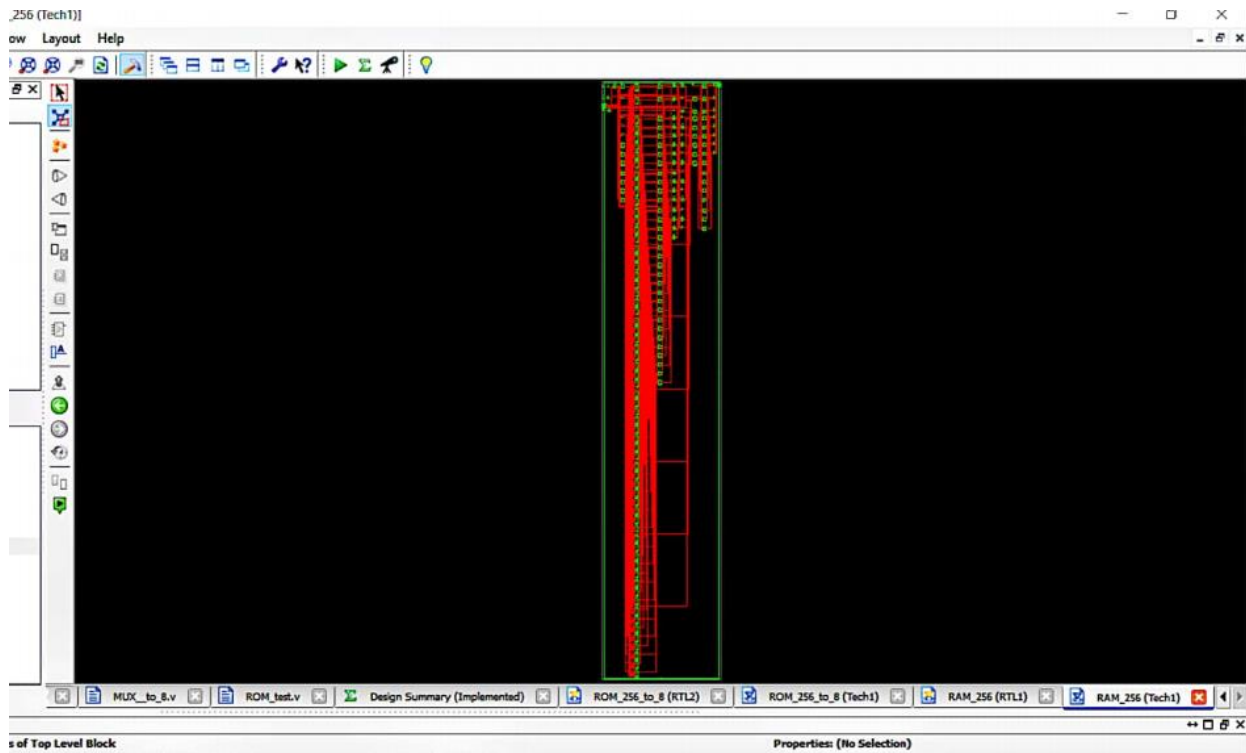




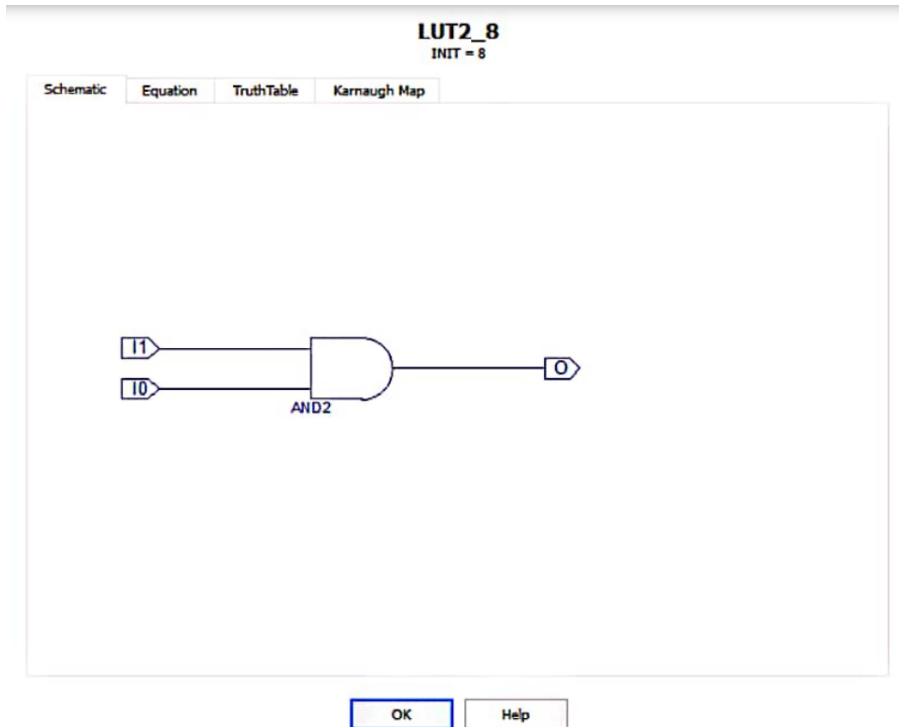
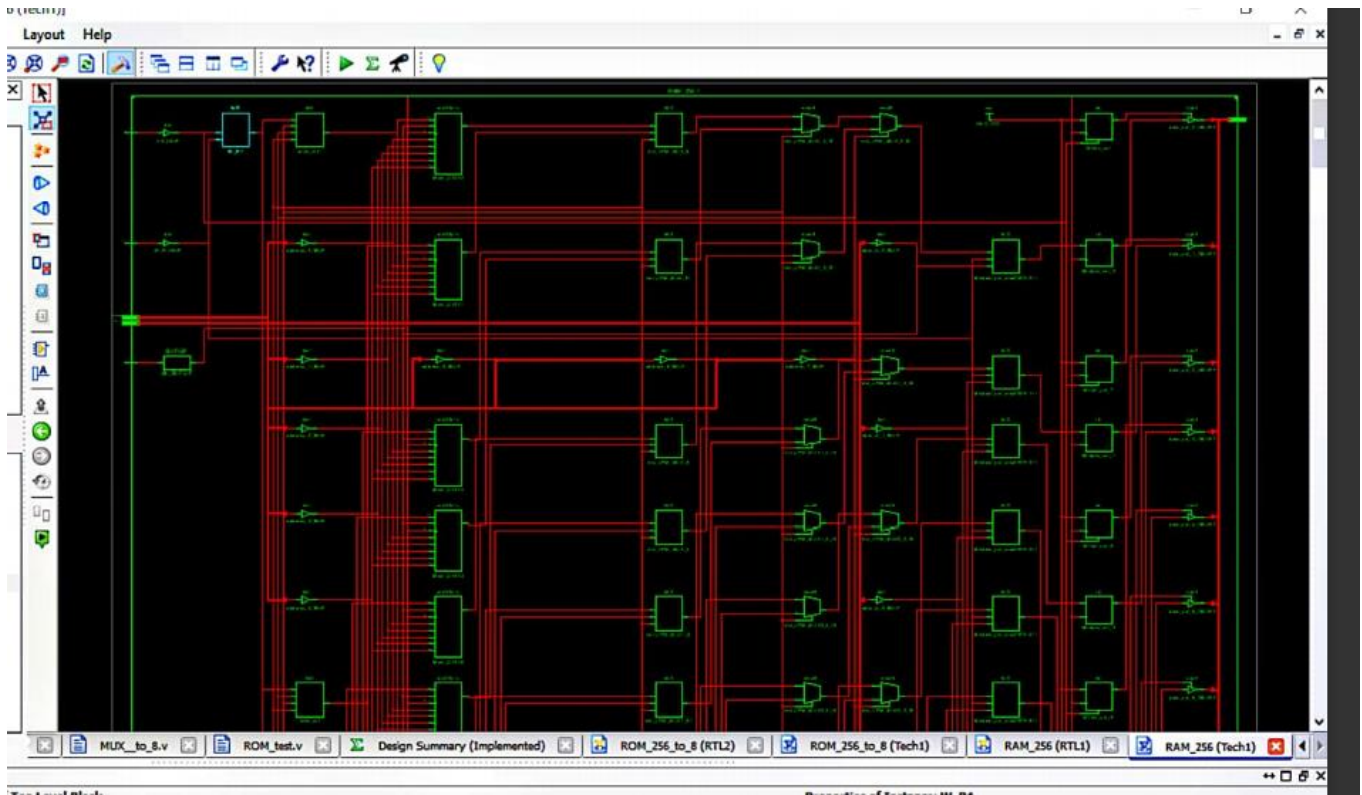












## LUT2\_8

INIT = 8

Schematic

Equation

TruthTable

Karnaugh Map

**O = (I0 \* I1);**

OK

Help

# **LUT2\_8** INIT = 8

SchematicEquationTruthTableKarnaugh Map

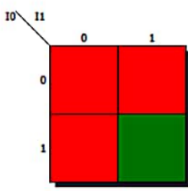
I1	I0	O
0	0	0
0	1	0
1	0	0
1	1	1

<

OK

Help

# **LUT2\_8** INIT = 8

Schematic	Equation	TruthTable	Karnaugh Map
			

OK

Help

any] out Help

ROM\_256\_to\_8 Project Status (10/27/2020 - 22:31:41)

Project File:	lab4_4.xise	Parser Errors:	No Errors
Module Name:	ROM_256_to_8	Implementation State:	Placed and Routed
Target Device:	xc3s100e-5vq100	* Errors:	
Product Version:	ISE 14.7	* Warnings:	
Design Goal:	Balanced	* Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	* Timing Constraints:	All Constraints Met
Environment:	System Settings	* Final Timing Score:	0 (Timing Report)

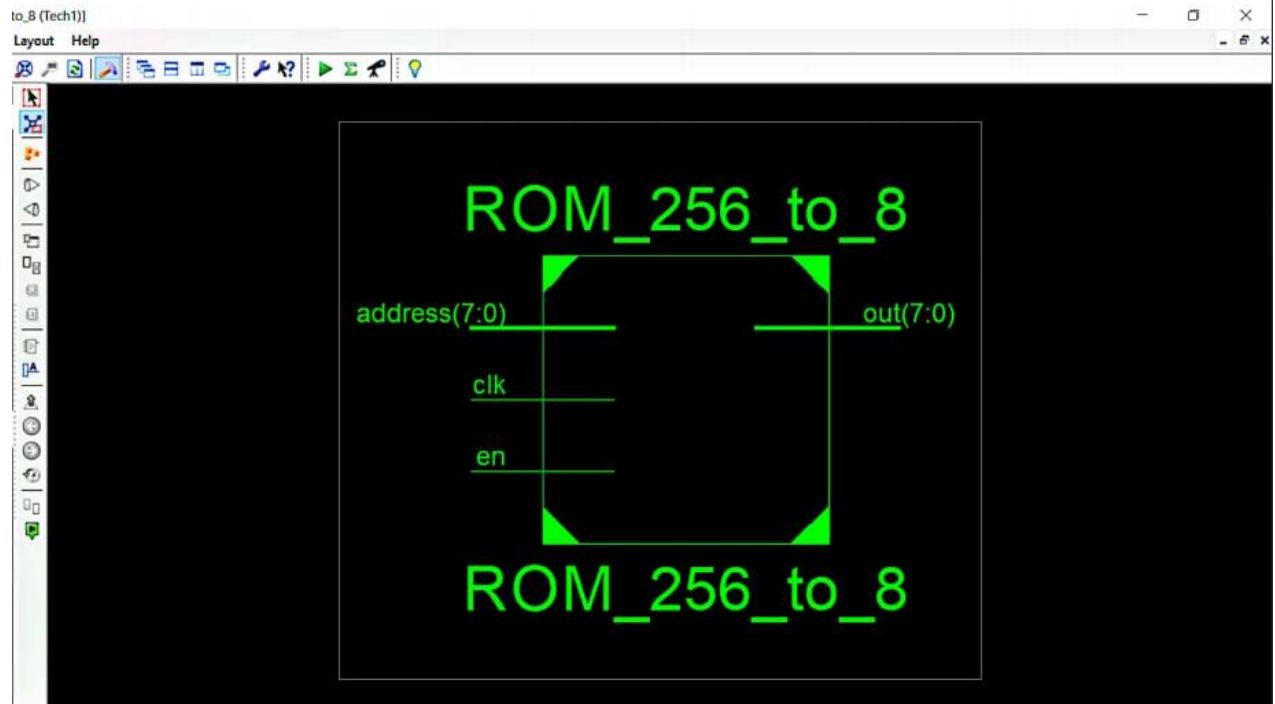
Device Utilization Summary

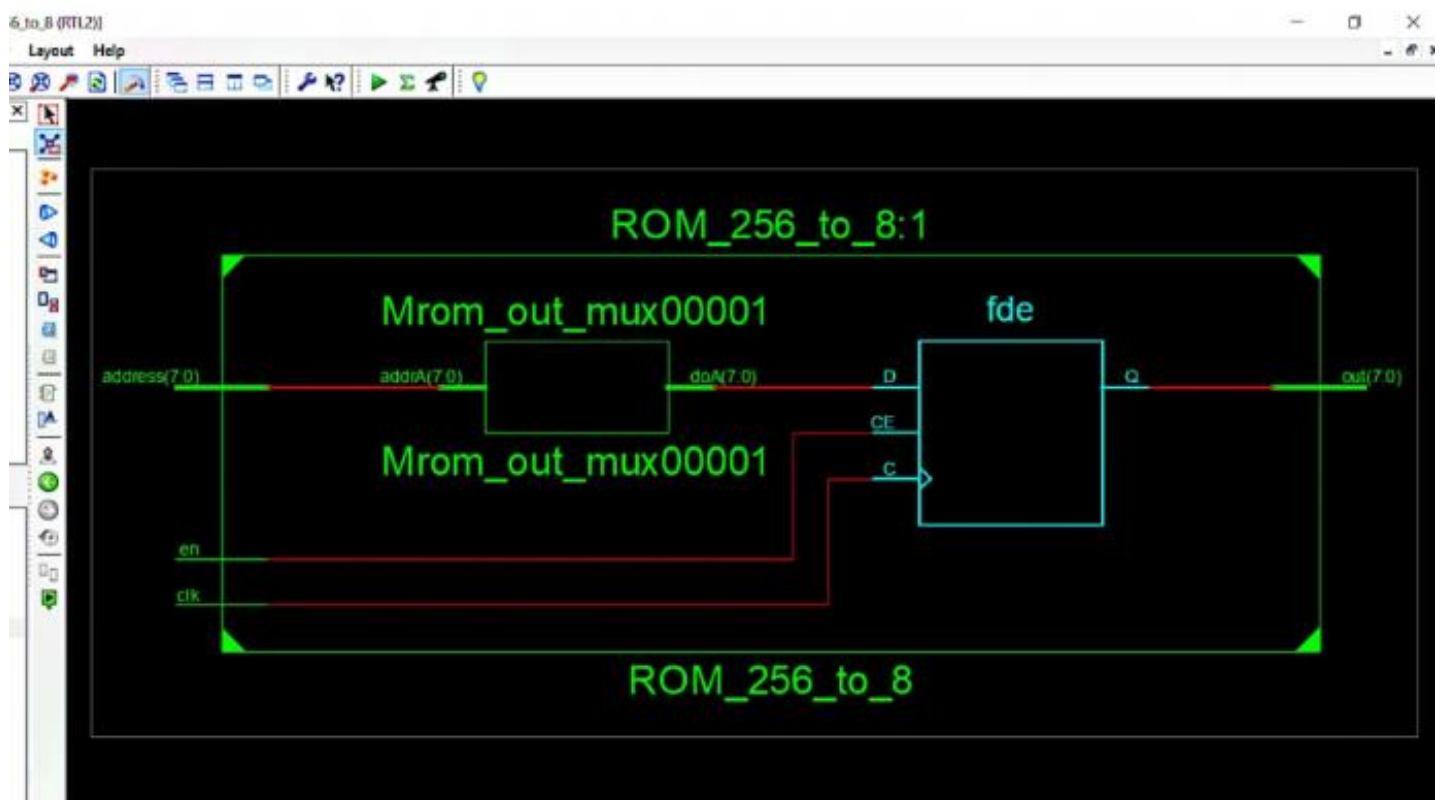
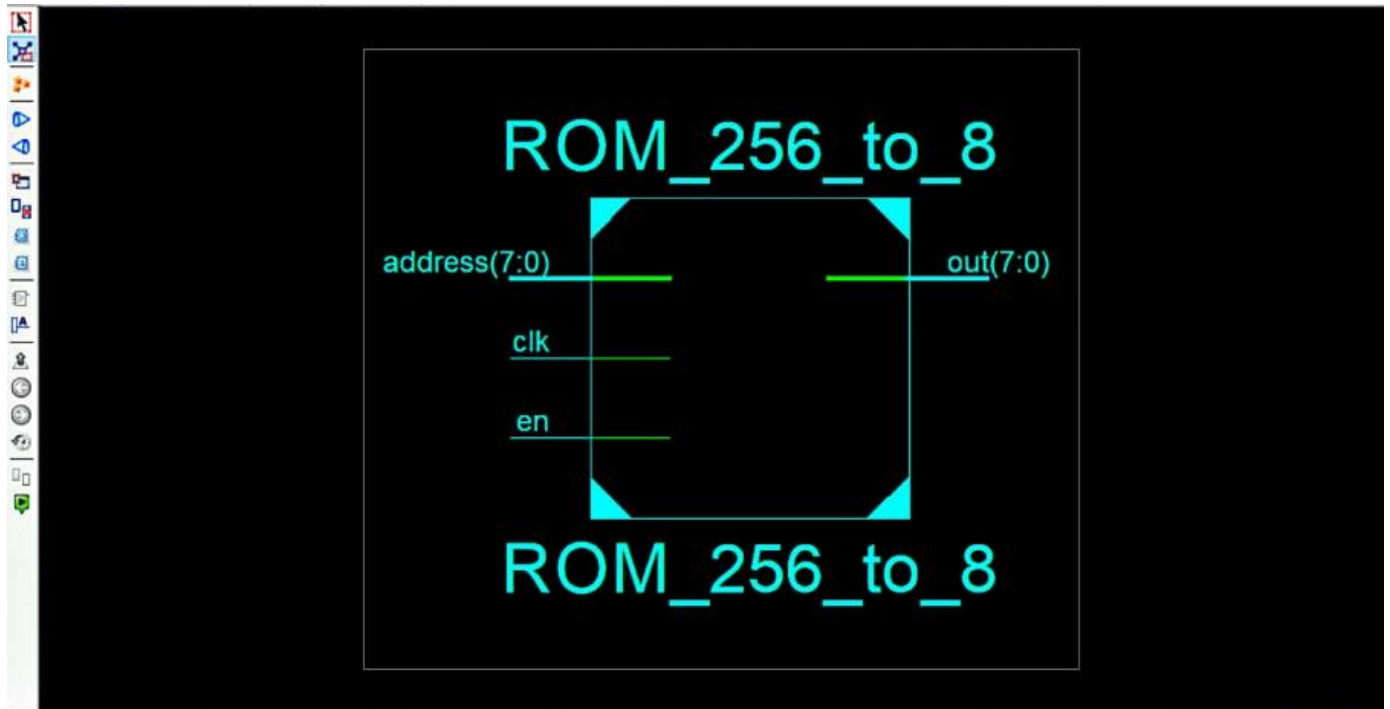
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	8	1,920	1%	
Number of 4 input LUTs	177	1,920	9%	
Number of occupied Slices	89	960	9%	
Number of Slices containing only related logic	89	89	100%	
Number of Slices containing unrelated logic	0	89	0%	
Total Number of 4 input LUTs	177	1,920	9%	
Number used as logic	49			
Number used for 32x1 RAMs	128			
Number of bonded IOBs	27	66	40%	
IOB Flip Flops	8			
Number of BUFGMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	6.85			

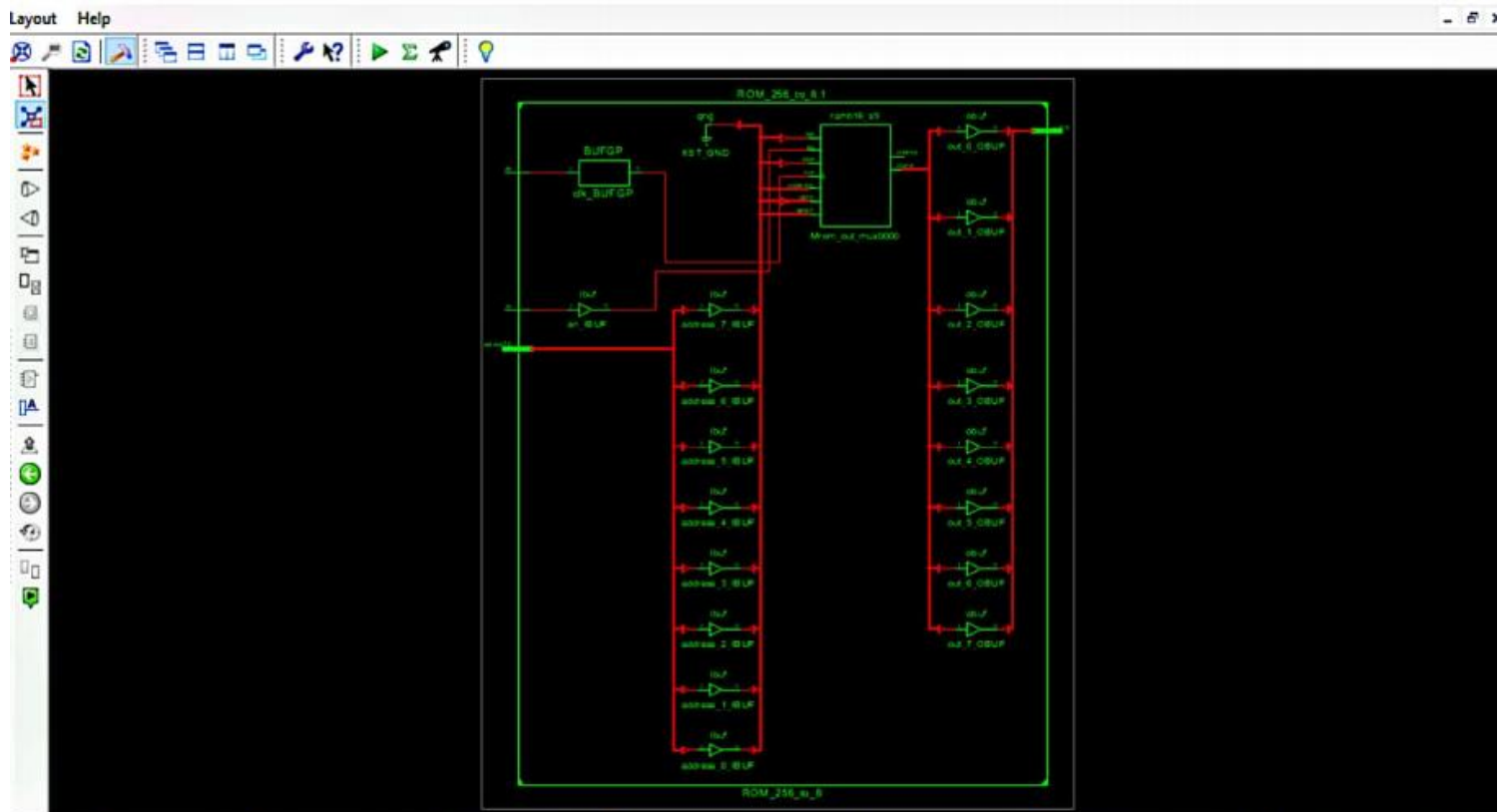
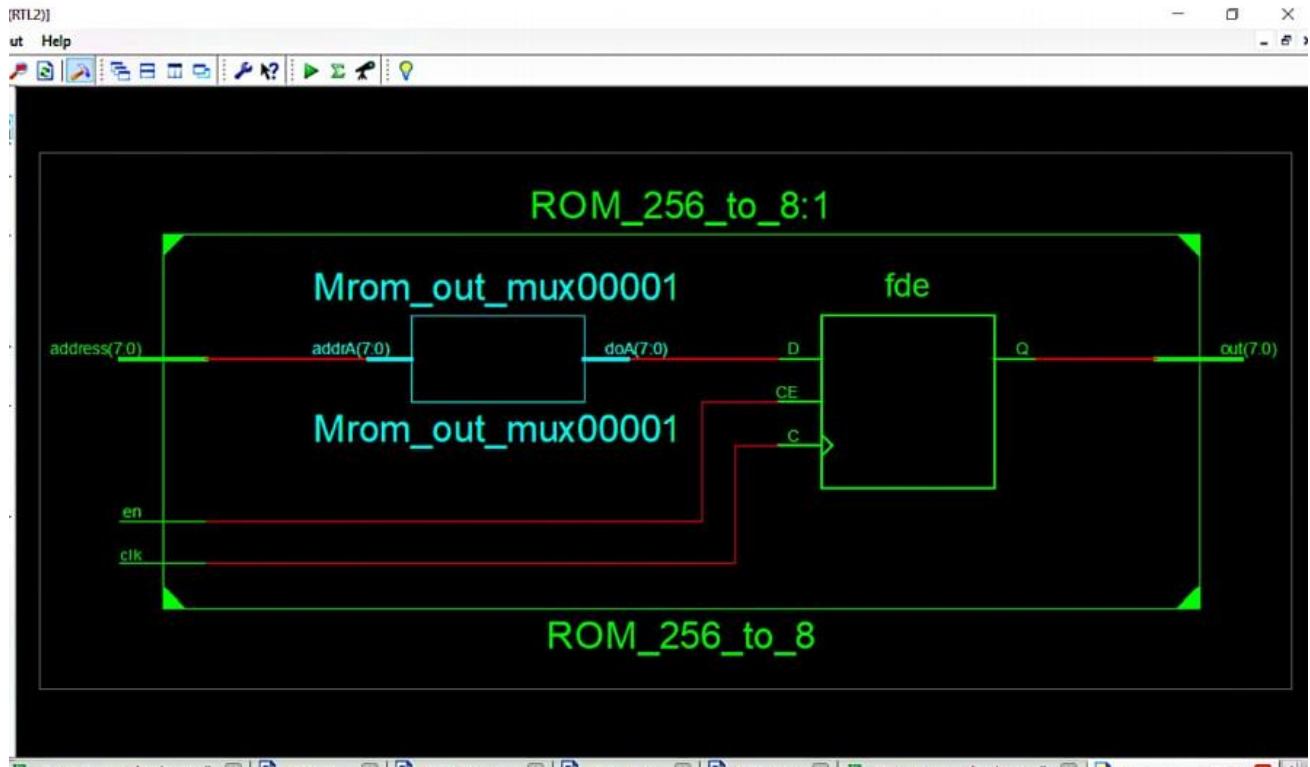
Performance Summary

Final Timing Score:	0 (Setup: 0, Hold: 0)	Pinout Data:	Pinout Report
---------------------	-----------------------	--------------	---------------

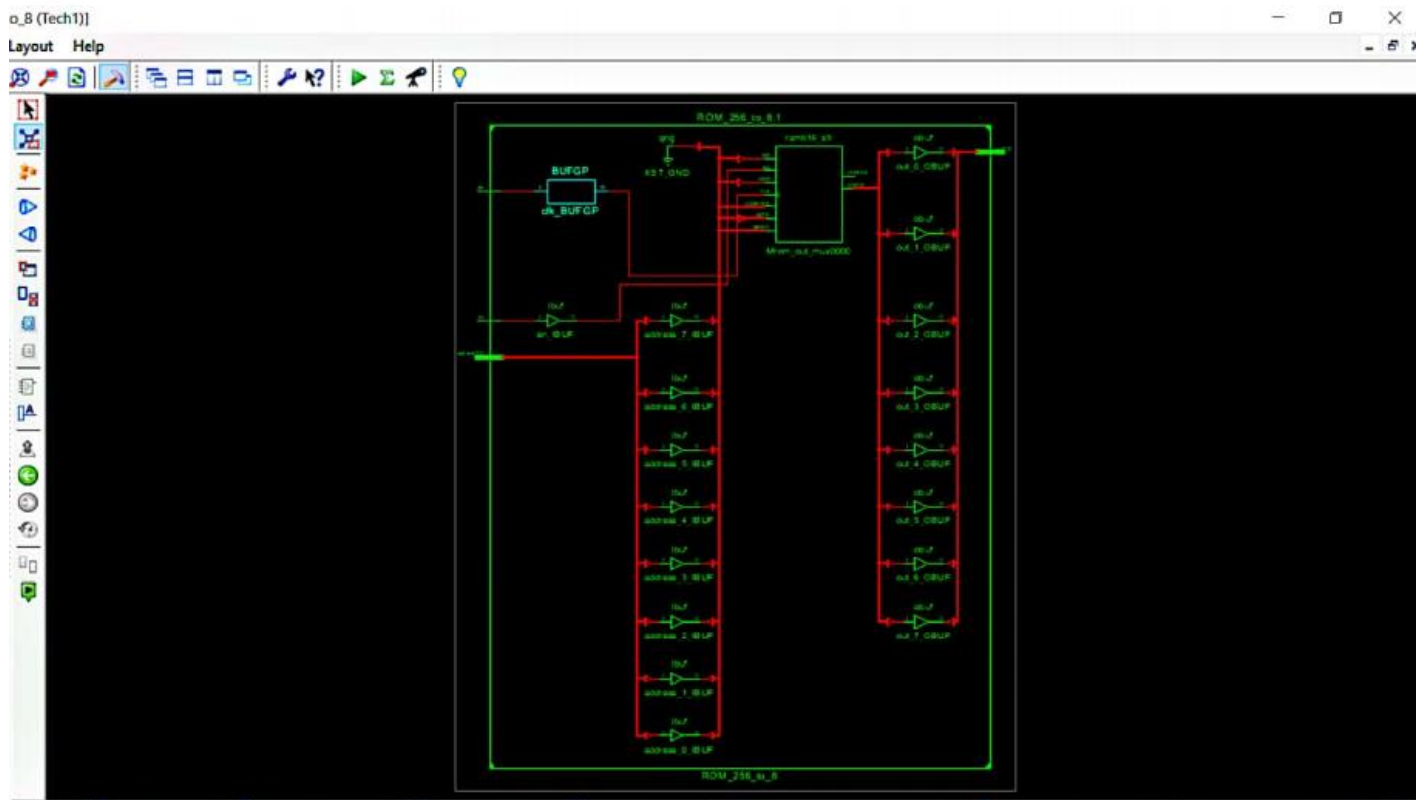
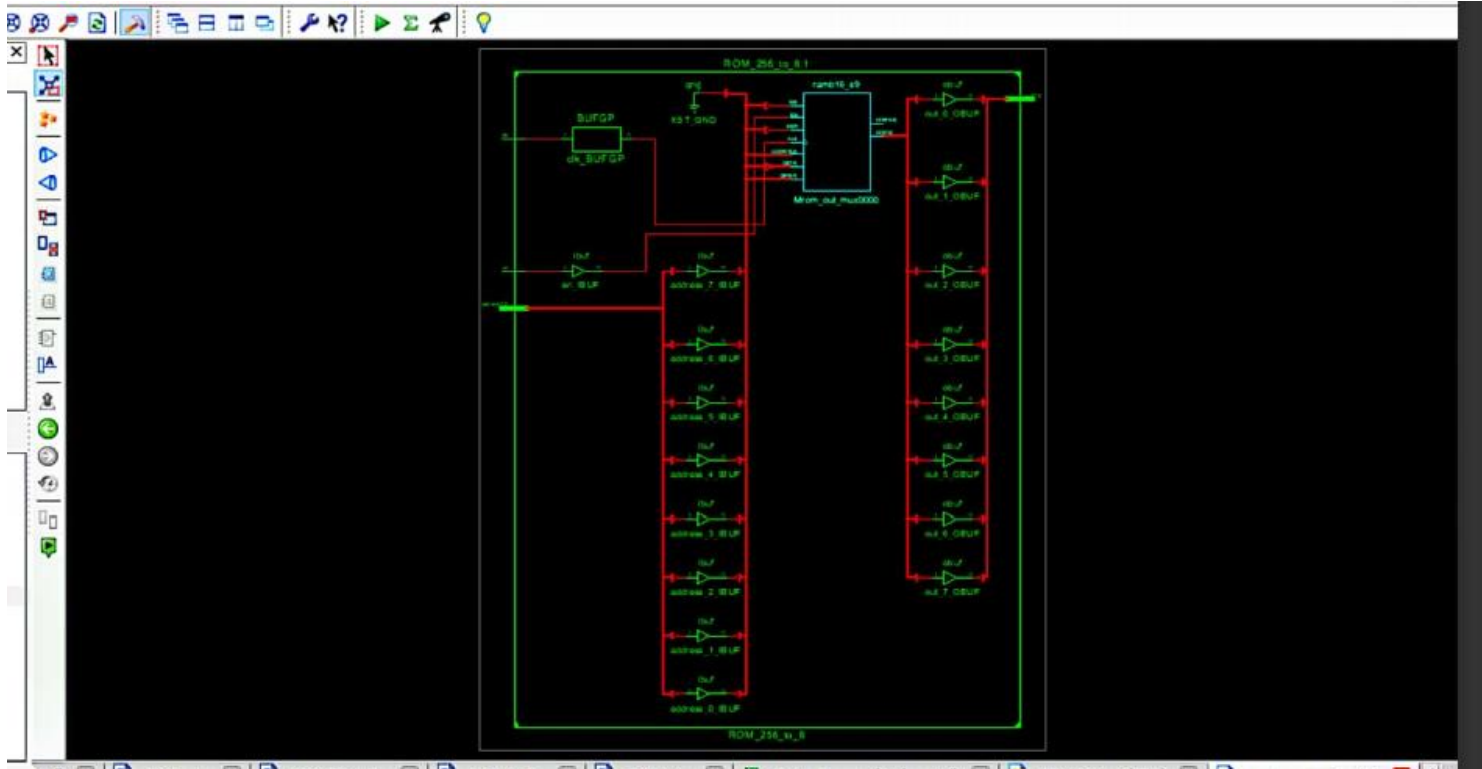
Design Summary (Implemented) ROM\_test.v MLX\_to\_8.v RAM\_test.v Design Summary



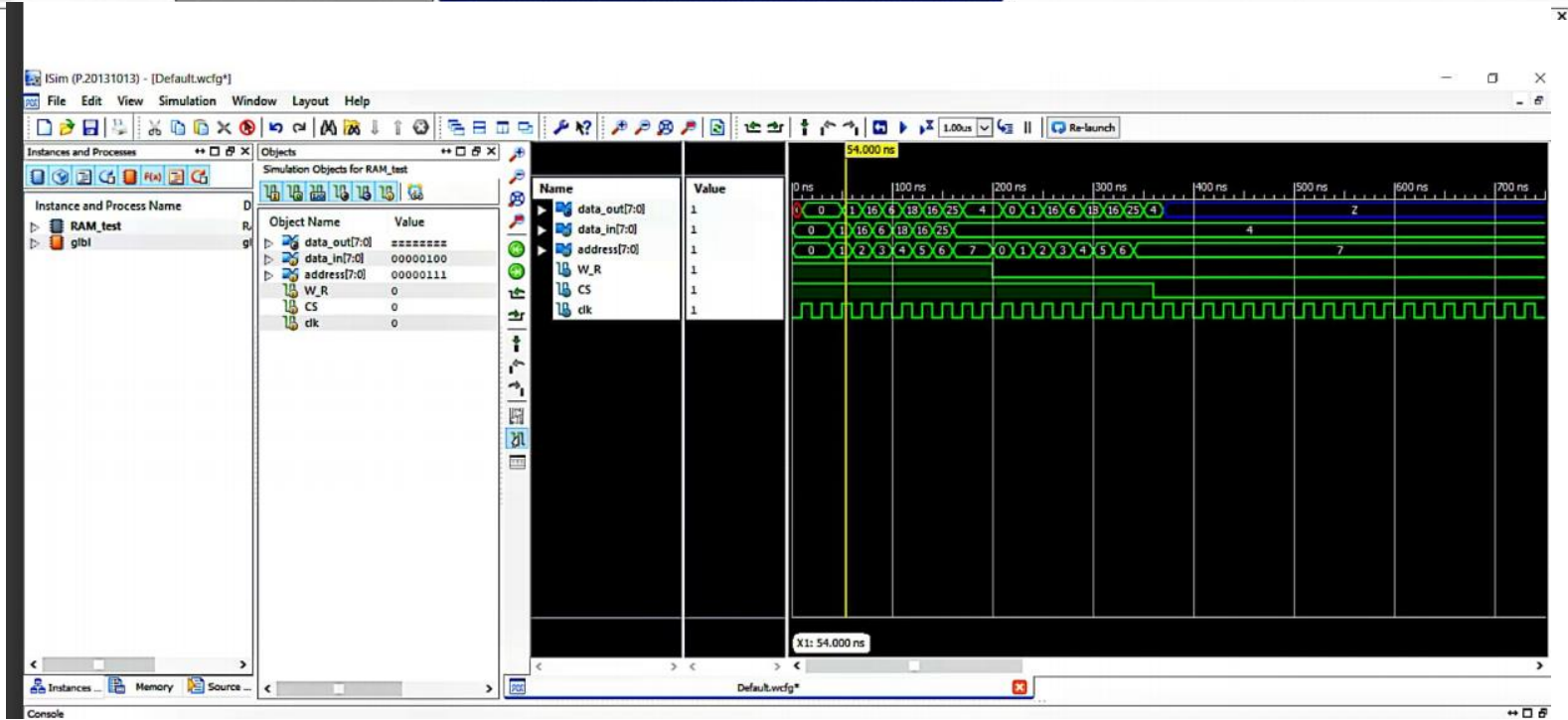
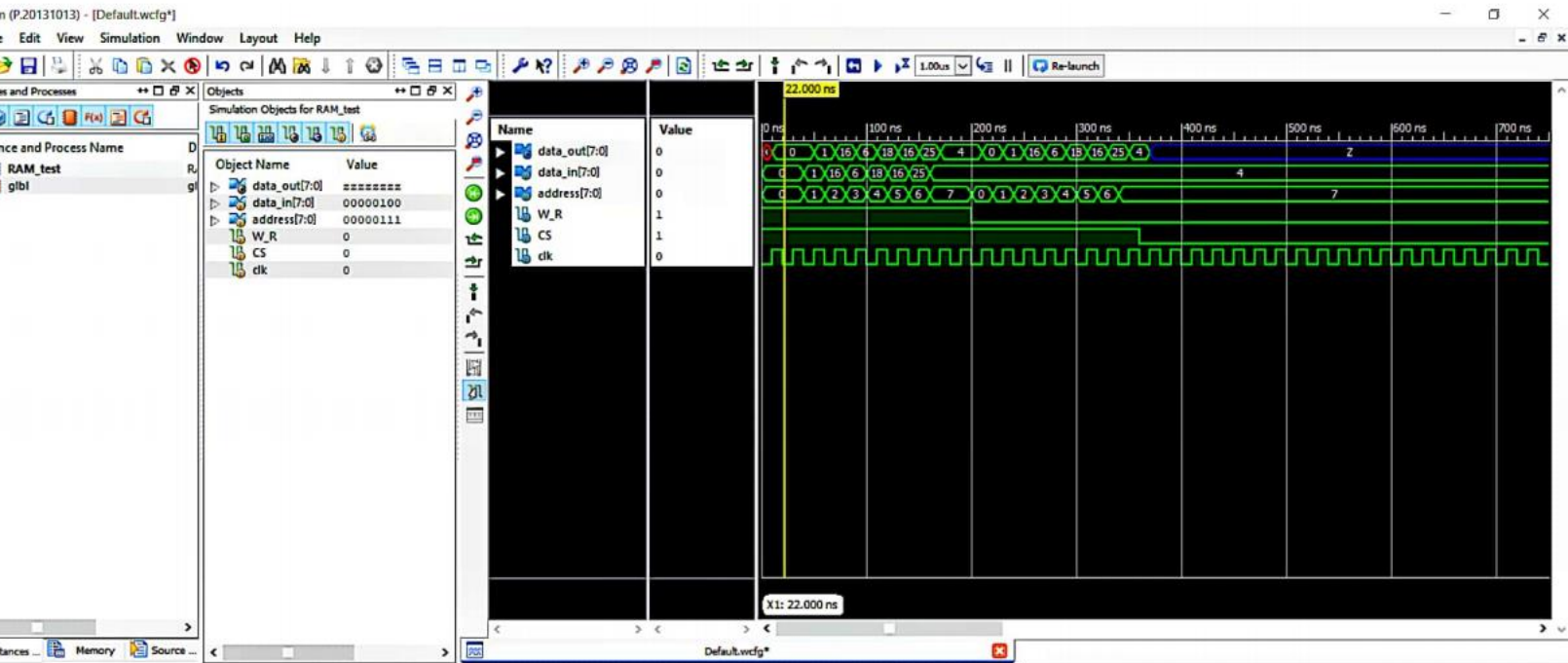


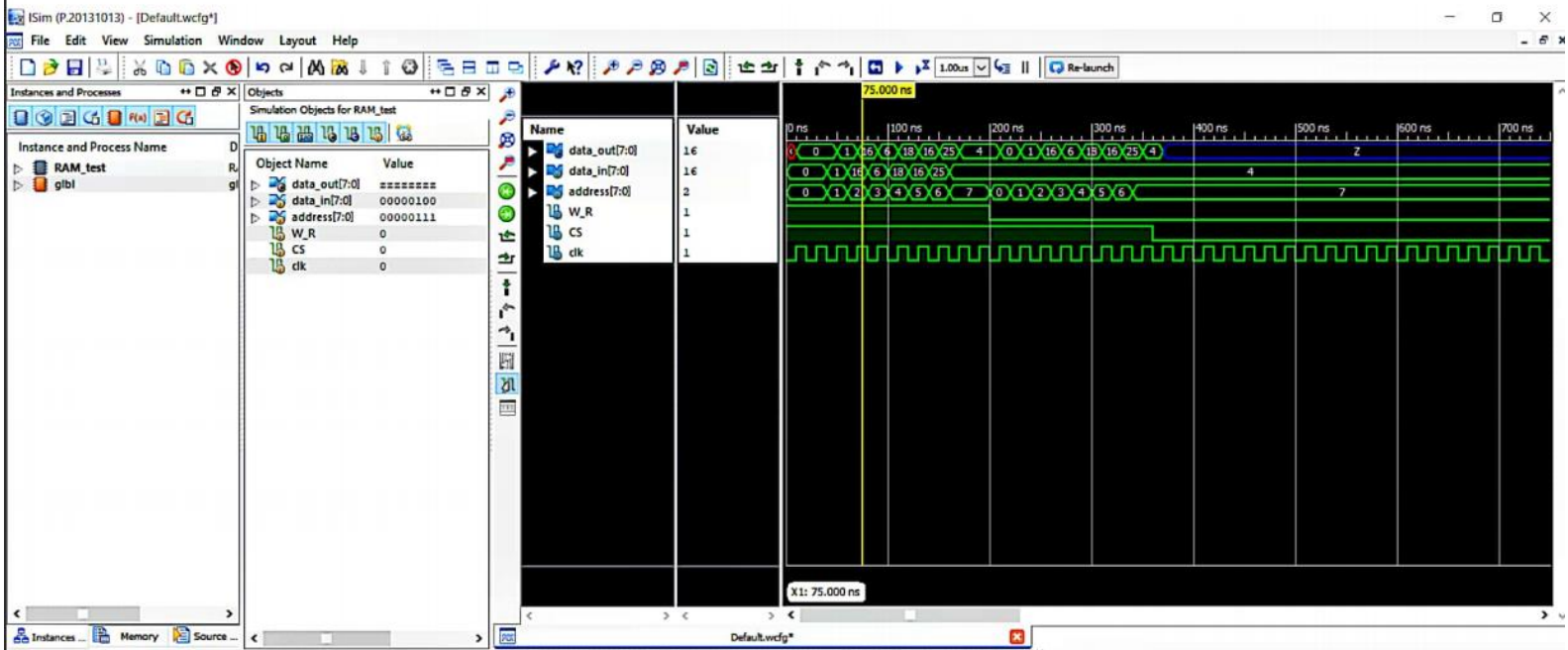






خروجی RAM :





خروجی ROM :

