گزارش آزمایش ۶

اعضای گروه: پارسا نوری - فربد فولادی - عرفان رفیعی اسکویی

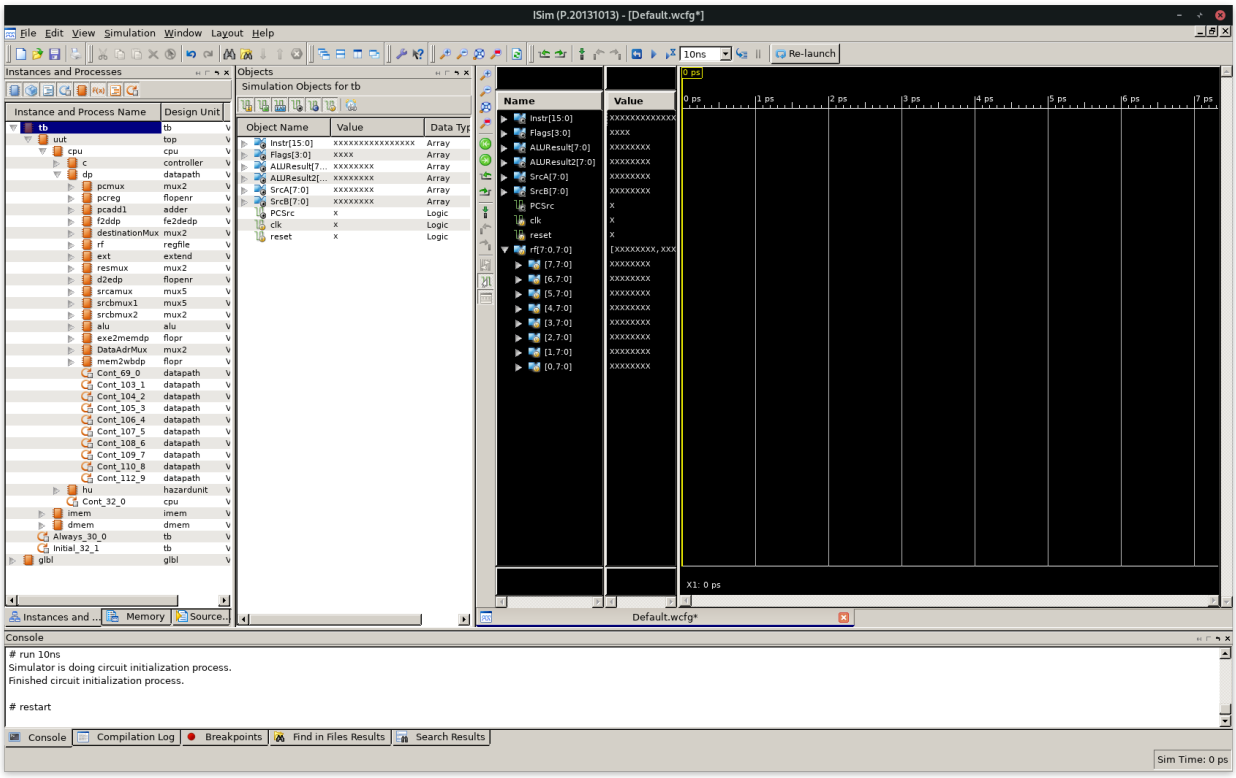
در ابتدا به شرح دستور العملی که برای تست CPU نوشته ایم می‌پردازیم. دستورالعمل مطابق زیر است:

```
li r0, #11
li r1, #101
sal r0, #1
add r0, r1
```

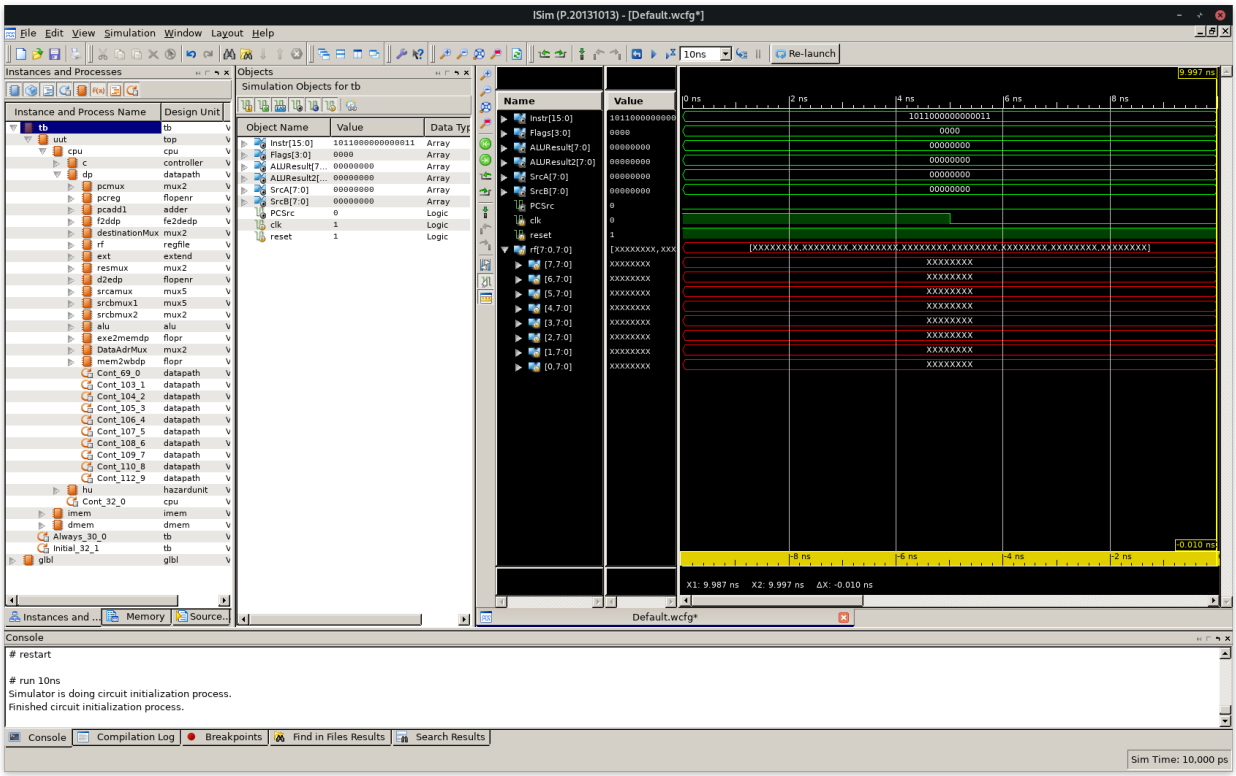
که معادل Machine Code آن مطابق زیر است:

```
1011000000000011
1011000100000101
0000001011000001
0000000001000001
```

حال به توصیف علل صحت عملکرد CPU طراحی شده می‌پردازیم. فایل Test bench را در iSim باز می‌کنیم و سپس وضعیت جناب iSim را به حالت اولیه با استفاده از restart برمیگردانیم و تایم فریم را بر روی 10ns میگذاریم و البته register file ها را به شکل موج اضافه می‌کنیم.



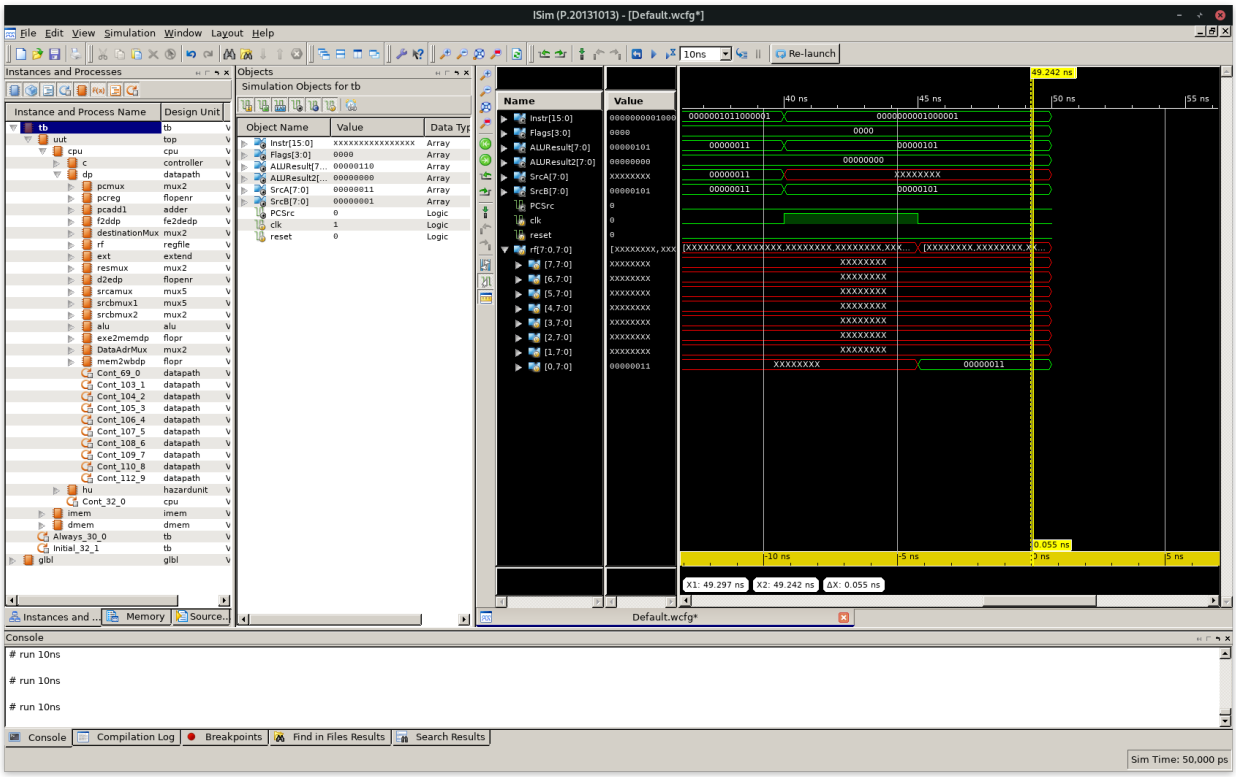
در cycle اول اتفاقی نباید بیفتد زیرا reset بر روی یک است. که همین‌طور هم هست.



حال به توصیف عملکرد CPU در اجرای دستورالعمل خط اول می‌پردازیم:

LI r0, 11

این دستور العمل در نیمه دوم Cycle پنجم بایستی نتیجه اش دیده شود. زیرا ما با یک CPU از نوع PipeLine سر و کار داریم و این بدان معناست که همزمان با اجرای دستور العمل در بخش های بعدی CPU بخش های قبلی آن به اجرای دستورات بعدی می‌پردازند که ما این زوند را با گذر هر Cycle کنترل می‌کنیم. از طرفی برای عدم ایجاد تداخل در حین انجام عمل خواندن و نوشتن در Register File این ایده به کار برده می‌شود که مشوتار در هنگامی که ساعت بر روی لبه پایینی اش قرار دارد انجام شود و در هنگامی که در لبه بالایی ساعت قرار داریم تنها عمل خواندن انجام شود. بدین روش ما می‌توانیم که از تداخل هنگام خواندن و نوشتن در register file جلوی گیری کنیم. با توجه به تمام توضیحات داده شده ما بایستی در هنگامی که زمان بر روی 45ns است شاهد آن باشیم که در رجیستر فایل مقدار 11 بر روی رجیستر شماره صفر نوشته شده است.

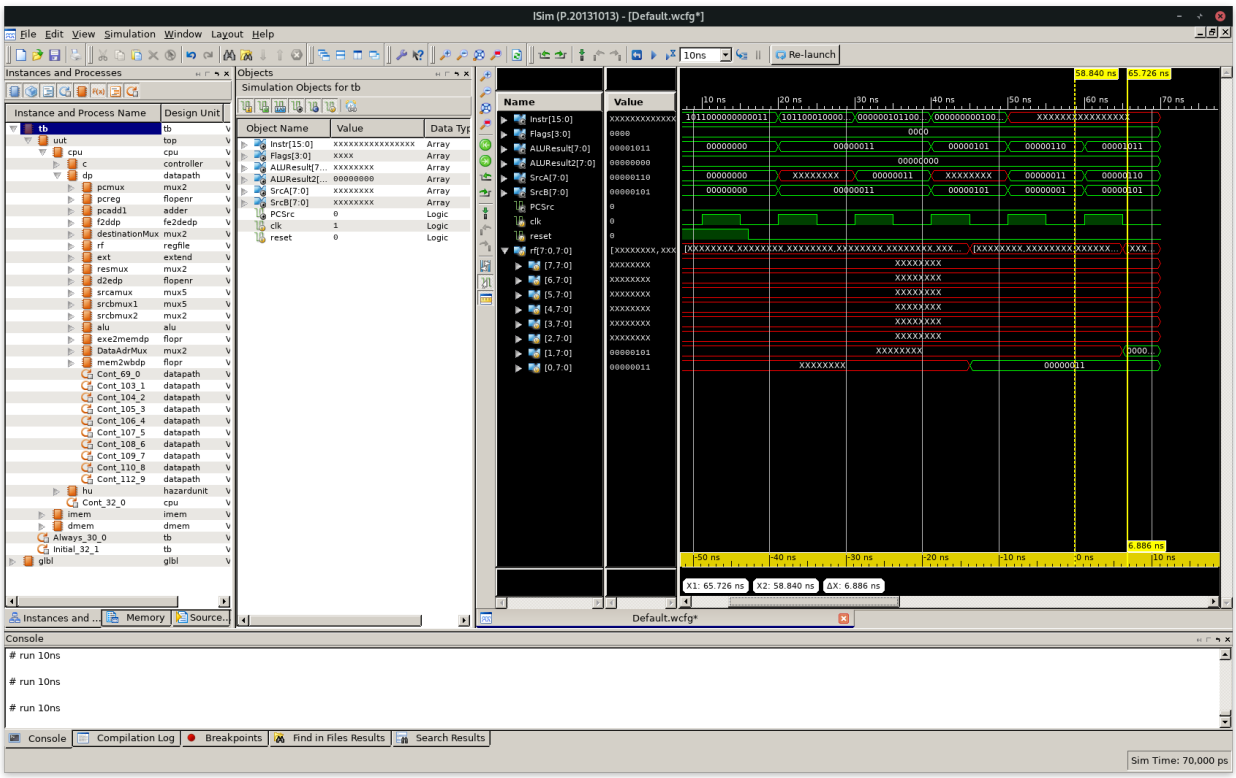


همان طور که در تصویر نیسز دیده می‌شود این مهم به وصول رسیده است و در لحظه t=45ns مقدار 11 برروی رجیستر شماره 0 نوشته شده است.

حال به توصیف دستور العمل دوم یعنی دستور العمل زیر میپردازیم:

li r1, 101

این دستور العمل بایستی در اولین cycle بعد از reset ، عمل fetch آن انجام شود. یعنی در زمان ۲۰ نانو ثانیه تا ۳۰ نانو ثانیه و همان طور که در بخش قبل توضیح داده شد این عمل بایستی بعد از ۴و نیم cycle یعنی در لحظه ۶۵ اثرش را برروی register file بگذارد.

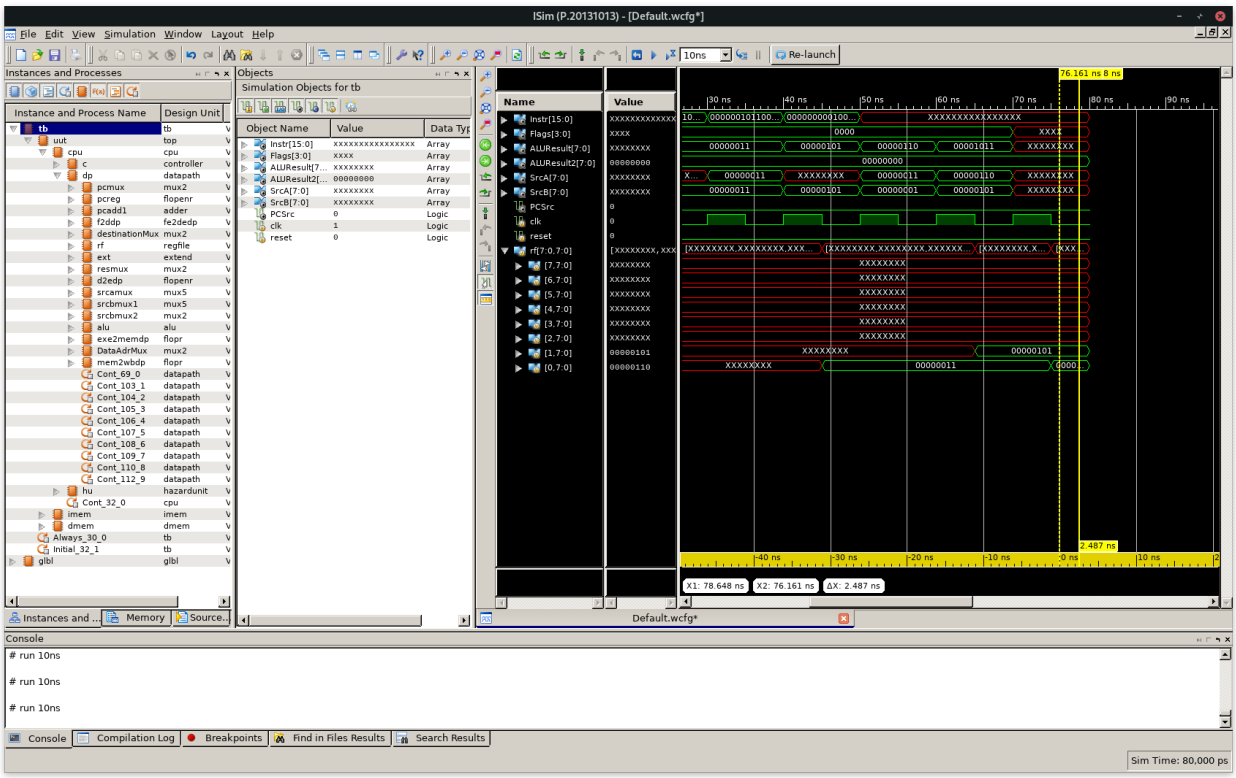


همان طور که در تصویر بالا می‌بینید این عمل هم به درستی انجام می‌شود و مقدار 101 در لحظه 65ns بر روی رجیستر شماره یک نوشته می‌شود.

اجرای دستور خط سوم:

sal r0, #1

این دستور، دستور shift arithmetic left هستش که بایستی مقدار رجیستر r0 را به اندازه یک بیت به سمت چپ شیفت بدهد و از آنجا که مقدار قبلی رجیستر صفر برابر 11 بوده مقدار جدید آن بایستی 110 شود.
این دستور اثرش یک چرخه بعد از خط قبلی باید بگذارد زیرا دیگر reset ای وجود ندارد که وقفه‌ای بین اجرای دو دستور ایجاد کند.

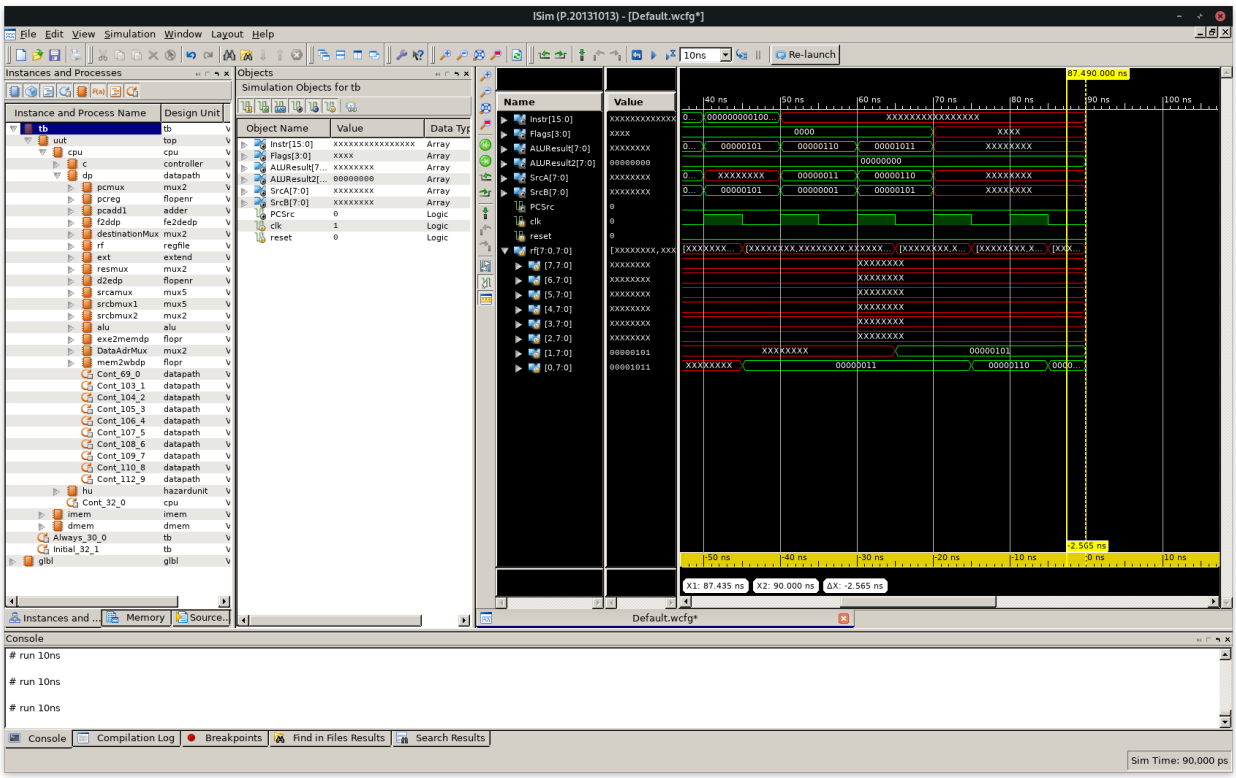


همان طور که در تصویر بالا دیده می‌شود این اتفاق رخ داده و اکنون رجیستر r0 مقدار 110 را دارد.

اجرای دستور خط چهارم:

add r0, r1

در این دستور بایستی مقدار r0 با r1 جمع شده و حاصل در r0 ریخته شود و از آن جا که r0 مقدار 110 را اکنون دار و r1 مقدار 101 اگر این رو را با هم جمع کنیم حاصل برابر 1011 می‌شود. پس بایستی بعد از اجرای این دستور مقدار 1011 در رجیستر r0 قرار بگیرد.
این مهم نیز هم چون دستور قبلی بایستی در یک چرخه بعد از دستور قبلی اثرش را بگذارد.



همان گونه که در تصویر بالا دیده می‌شود این مهم نیز رخ داده است.

توضیح تفاوت های این آزمایش با آزمایش قبلی:

مفهوم cpu نوع Pipeline این است که بخش های اجرای هر دستور را از هم سبا کرده تا بخش های قبلی cpu ما بتواند به اجرای دستورات بعدی بپردازند و بیکار ننشینند.
پردازنده Pipeline ما ۵ بخش داردکه به ترتیب برابرFetch و Decode و Execute و Memory و Writeback است.
در بین هر یک از این بخش ها یک register بایستی قرار دهیم که مقادیر را ذخیره کنند و تداخلی رخ ندهد.

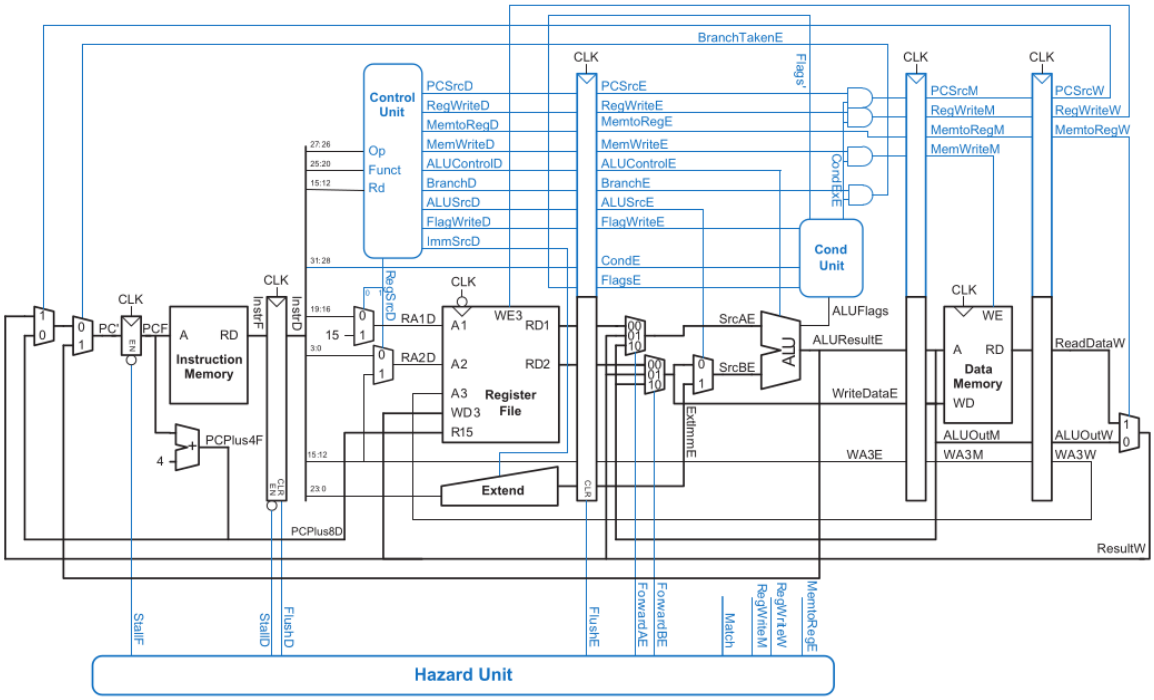


Figure 7.58 Pipelined processor with full hazard handling

پردازنده ما به صورت بالا پیاده سازی شده است. که بخش های مهم آن به شرح زیر است:

۱. wa3 و wa4 تا مرحله writeback رفته تا در صورت صورت انجام عمل writeback همگام با خروجی بخش کنترل مربوطه یعنی regwritew باشند.

۲. ورودی ماکس PC از ALUResult گرفته شده تا در صورت رخ دادن hazard سریع تر jump خوردن را تشخیص دهیم.

۳. سیگنال های FlushD و StallD و StallF و FlushE از hazard unit گرفته شده تا جلوی hazard ها در صورت jump گرفته شود.

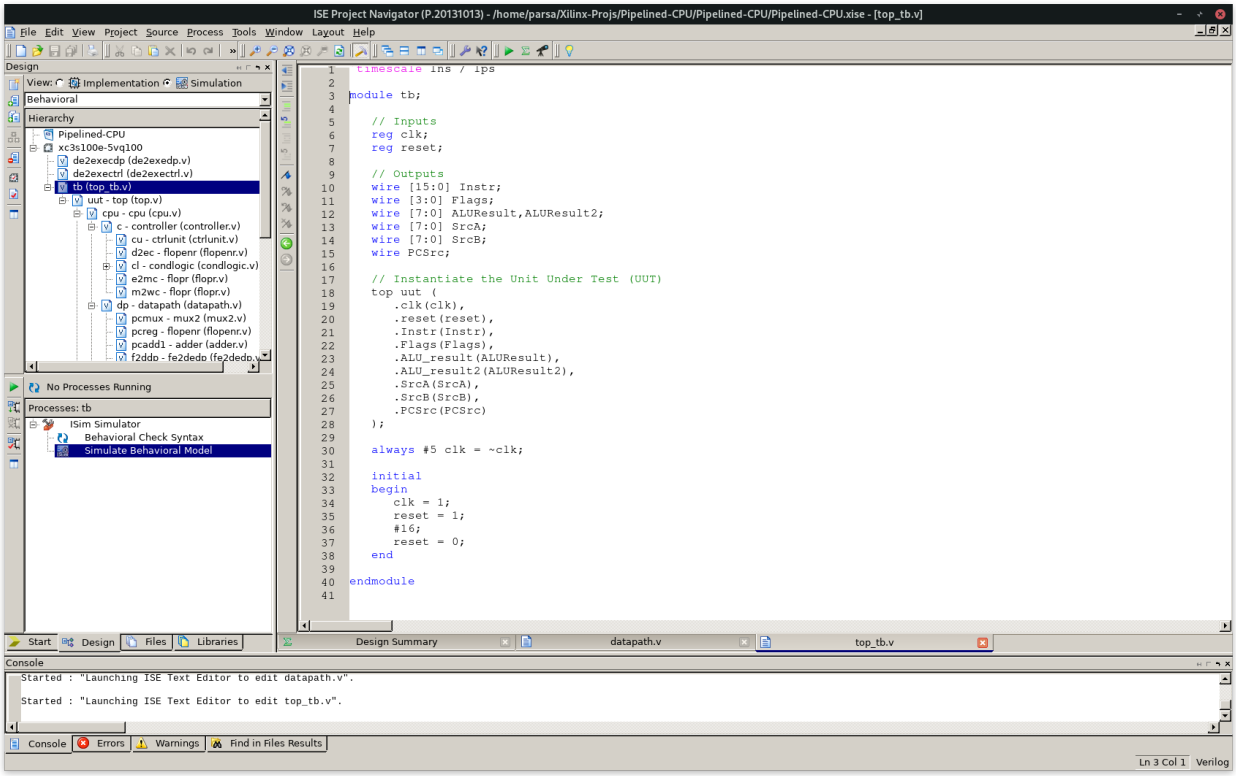
۴. مقادیر ForwardE و ForwardB از Hazard Unit گرفته شده تا حاصل عمل قبل سریع تر در چرخه بعدی مورد استفاده قرار گیرد.

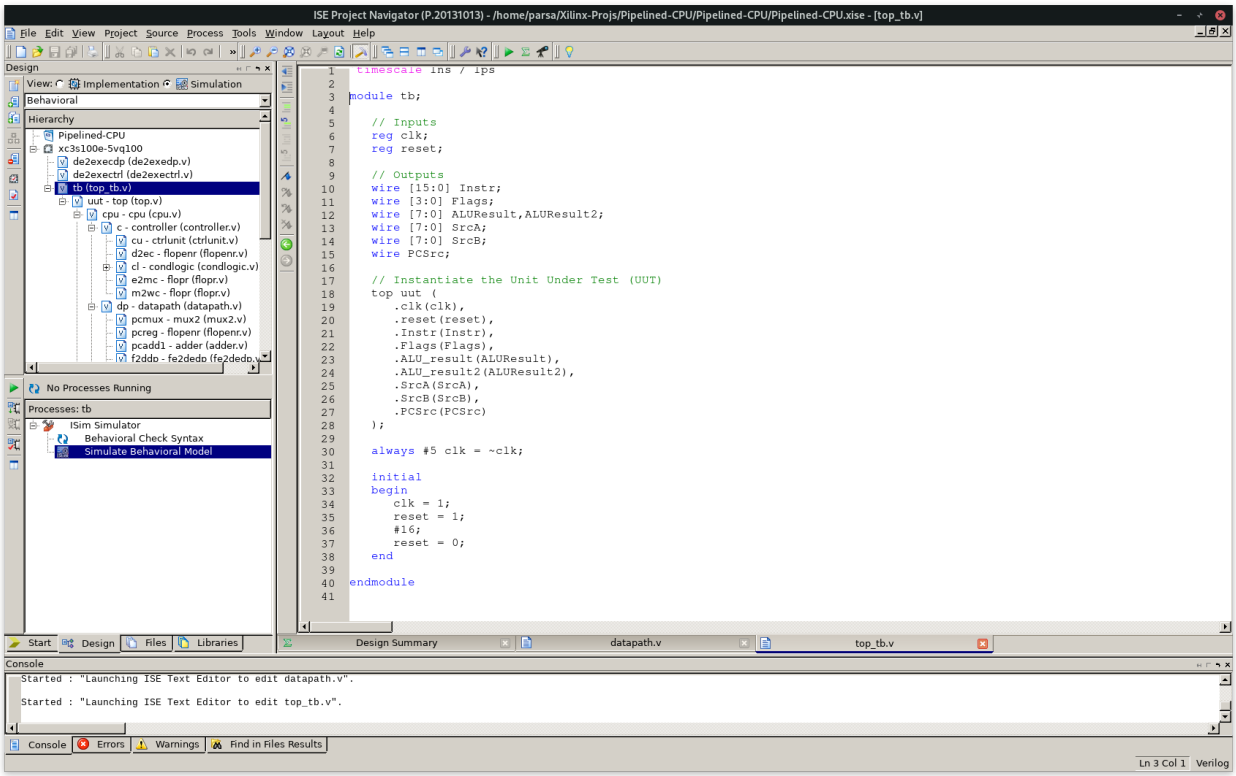
۵. flush ها رجیستر های میانی را clear کرده و stall ها آن ها را disable میکنند.

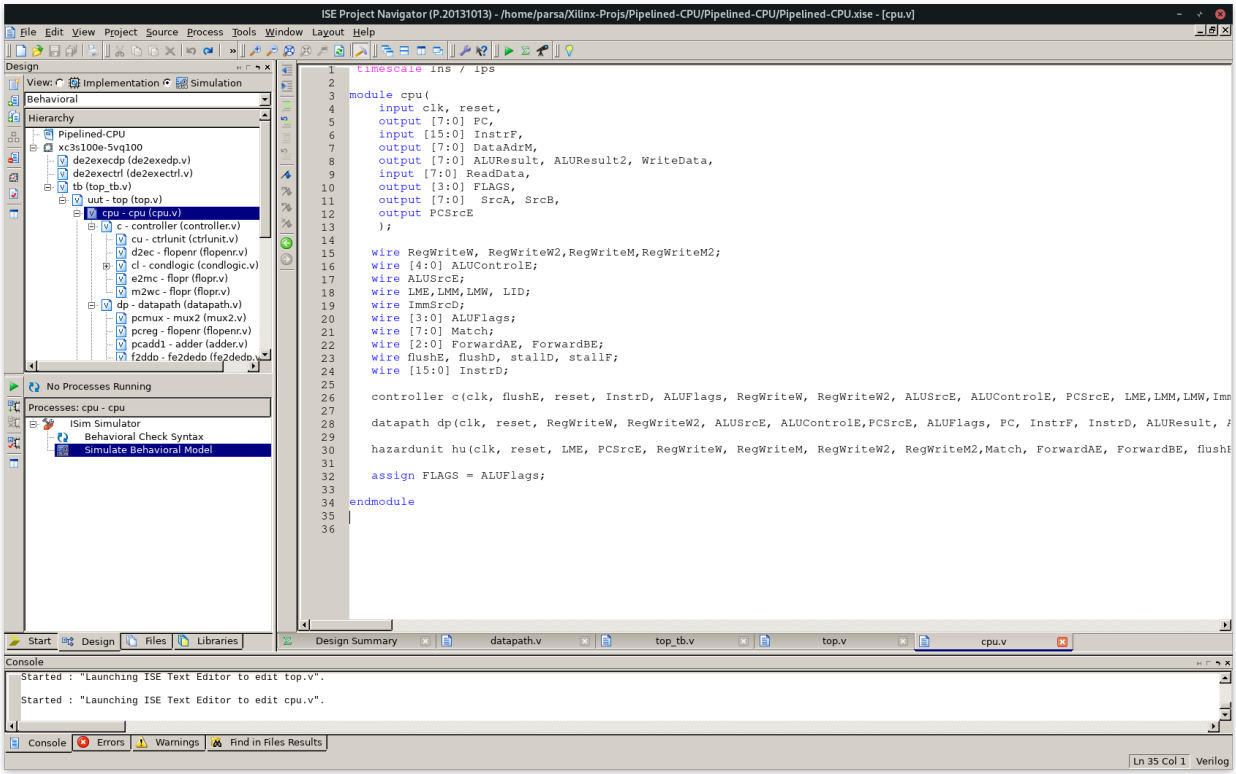
۶. . Stall ها و FlushE در صورتی رخ می‌دهد که یکی از match ها و LME یک باشند و هم چنین FlushD و FlushE در صورتی رخ می‌دهد که JumpTaken رخ داده باشد.

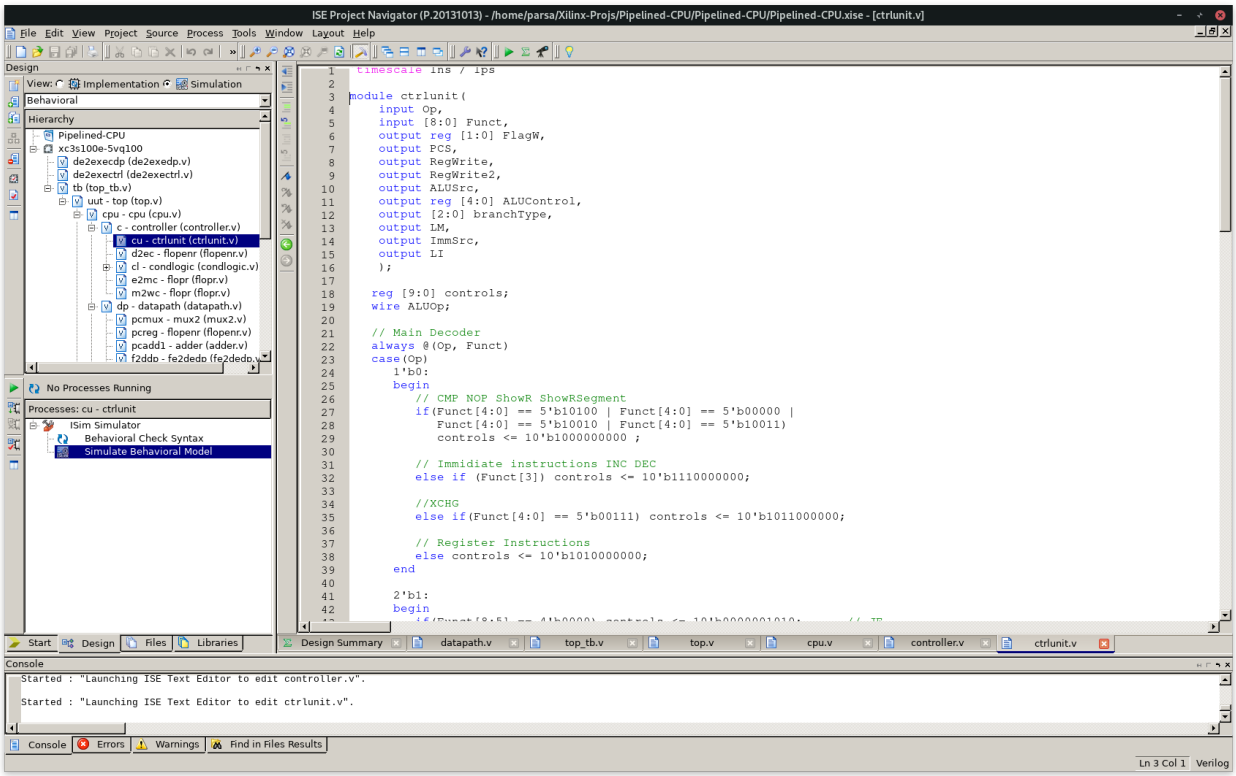
۷. مقادیر ForwardAE و ForwardBE نیز بنا بر Match ها و مقدار RegWrite ها تعیین می‌شود.

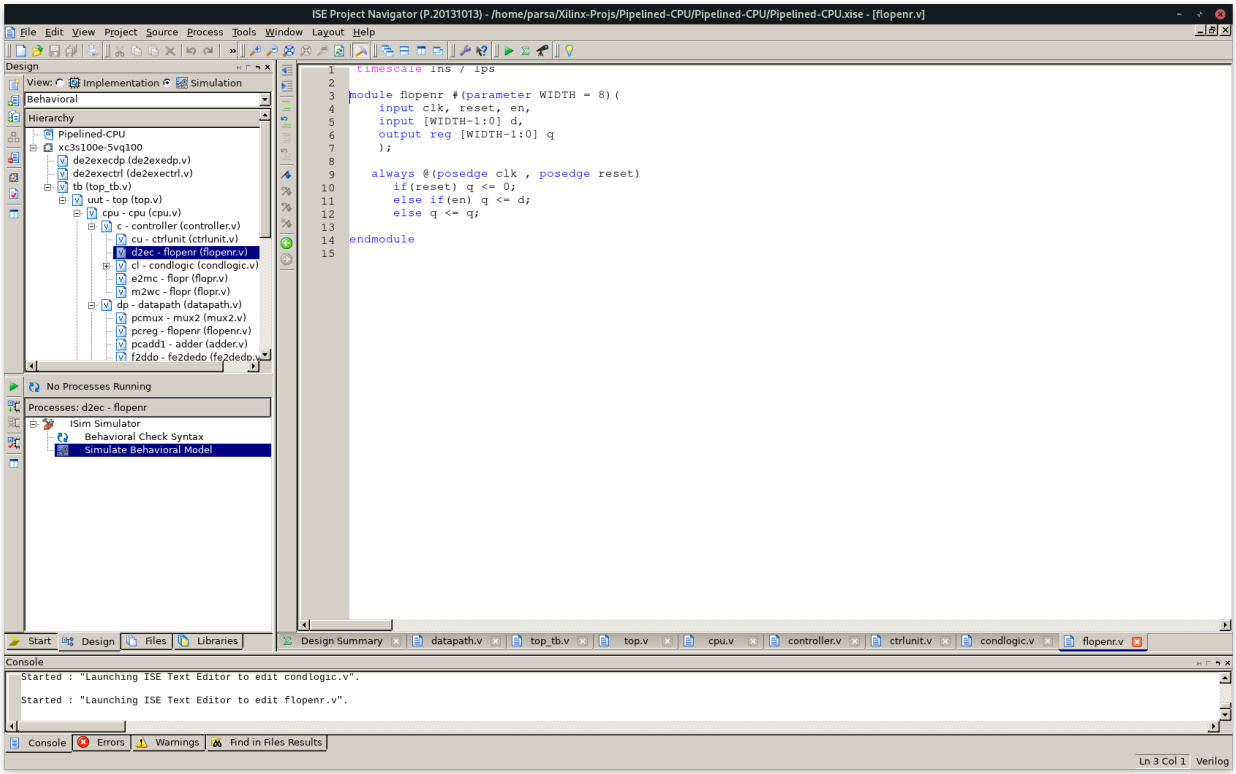
عکس کدها:

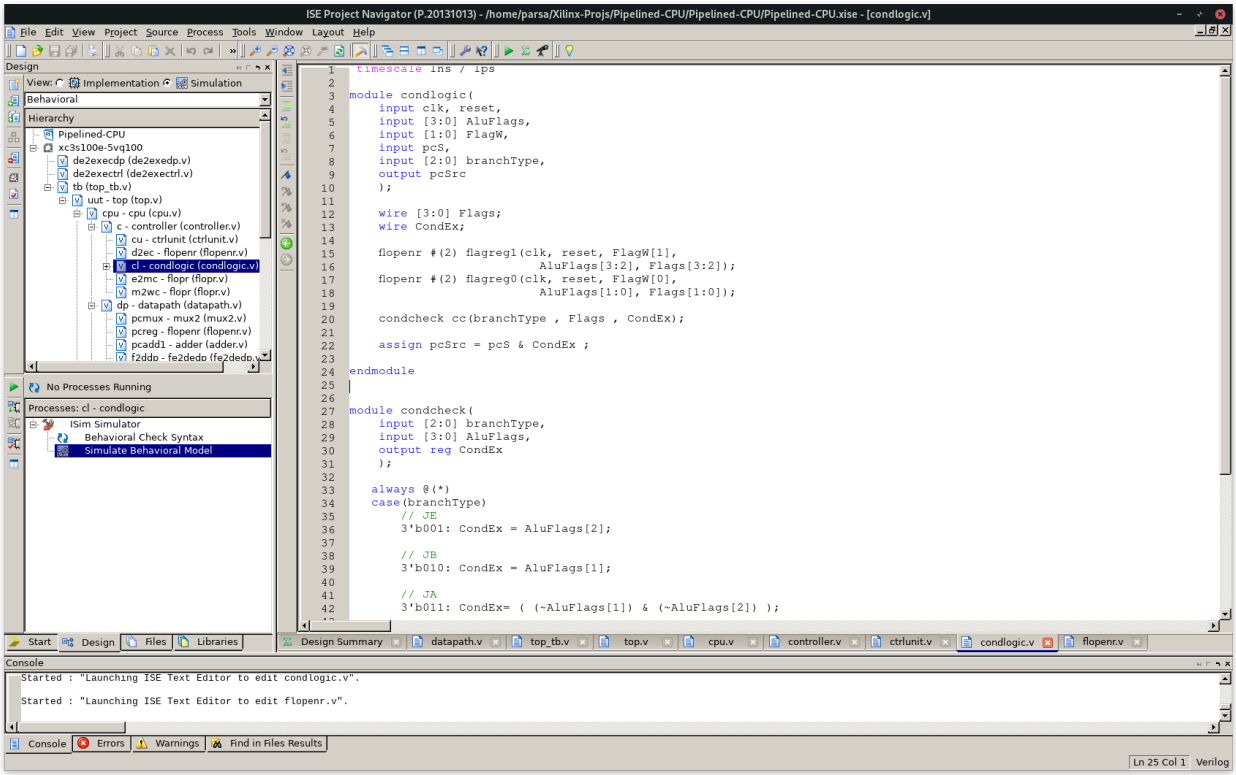

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [top_tb.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddo - fe2dedo (fe2dedo.v)
No Processes Running
Processes: tb
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module tb;
4
5 // Inputs
6 reg clk;
7 reg reset;
8
9 // Outputs
10 wire [15:0] Instr;
11 wire [3:0] Flags;
12 wire [7:0] ALUResult,ALUResult2;
13 wire [7:0] SrcA;
14 wire [7:0] SrcB;
15 wire PCSrc;
16
17 // Instantiate the Unit Under Test (UUT)
18 top uut (
19 .clk(clk),
20 .reset(reset),
21 .Instr(Instr),
22 .Flags(Flags),
23 .ALU_result(ALUResult),
24 .ALU_result2(ALUResult2),
25 .SrcA(SrcA),
26 .SrcB(SrcB),
27 .PCSrc(PCSrc)
28);
29
30 always #5 clk = ~clk;
31
32 initial
33 begin
34 clk = 1;
35 reset = 1;
36 #16;
37 reset = 0;
38 end
39
40 endmodule
41
Design Summary
datapath.v
top_tb.v
Console
Started : "Launching ISE Text Editor to edit datapath.v".
Started : "Launching ISE Text Editor to edit top_tb.v".
Console Errors Warnings Find in Files Results
Ln 3 Col 1 Verilog

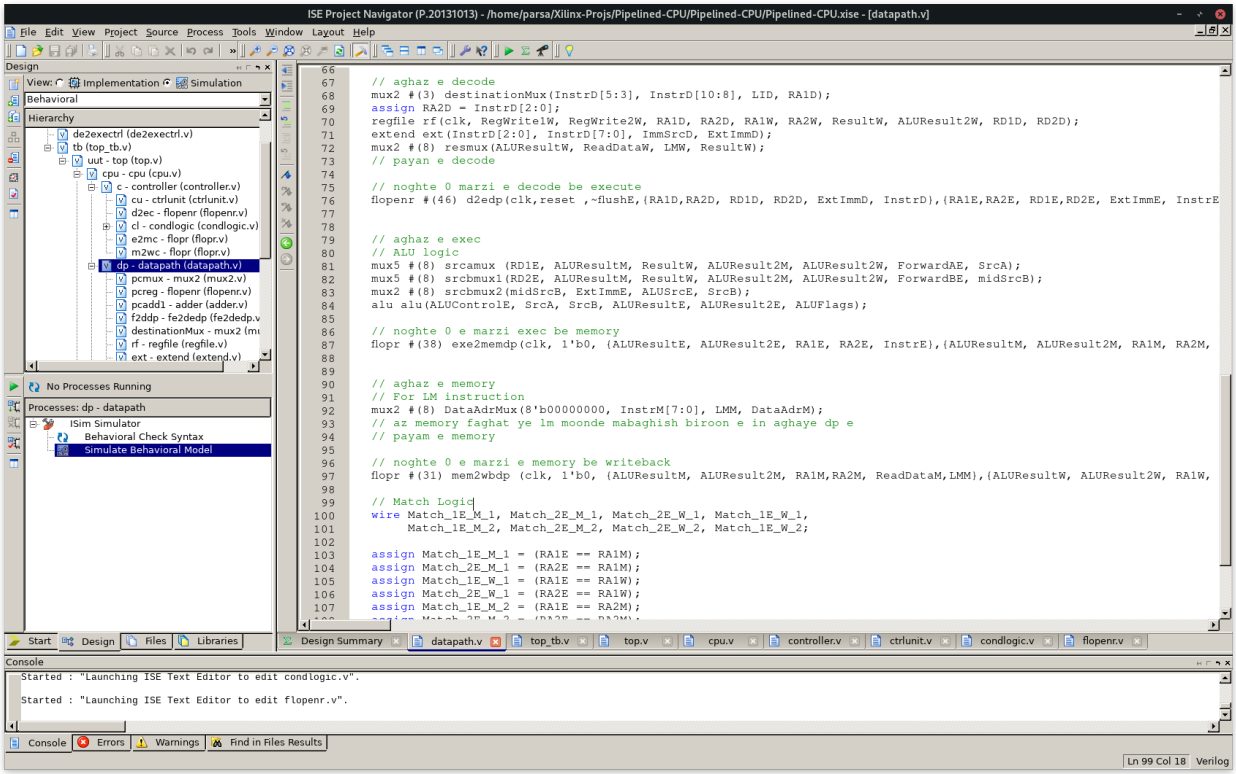

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [top_tb.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddo - fe2dedo (fe2dedo.v)
No Processes Running
Processes: tb
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module tb;
4
5 // Inputs
6 reg clk;
7 reg reset;
8
9 // Outputs
10 wire [15:0] Instr;
11 wire [3:0] Flags;
12 wire [7:0] ALUResult,ALUResult2;
13 wire [7:0] SrcA;
14 wire [7:0] SrcB;
15 wire PCSrc;
16
17 // Instantiate the Unit Under Test (UUT)
18 top uut (
19 .clk(clk),
20 .reset(reset),
21 .Instr(Instr),
22 .Flags(Flags),
23 .ALU_result(ALUResult),
24 .ALU_result2(ALUResult2),
25 .SrcA(SrcA),
26 .SrcB(SrcB),
27 .PCSrc(PCSrc)
28);
29
30 always #5 clk = ~clk;
31
32 initial
33 begin
34 clk = 1;
35 reset = 1;
36 #16;
37 reset = 0;
38 end
39
40 endmodule
41
Design Summary
datapath.v
top_tb.v
Console
Started : "Launching ISE Text Editor to edit datapath.v".
Started : "Launching ISE Text Editor to edit top_tb.v".
Console Errors Warnings Find in Files Results
Ln 3 Col 1 Verilog

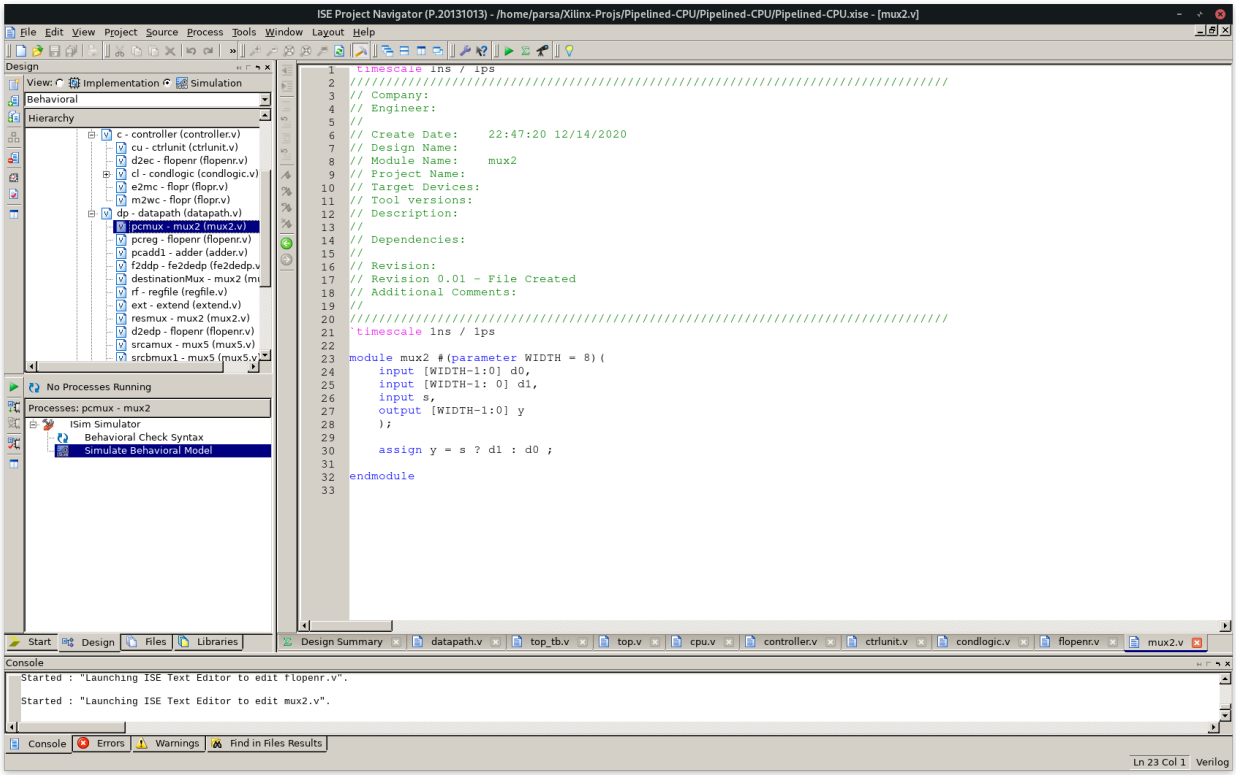

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [cpu.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
No Processes Running
Processes: cpu - cpu
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
timescale 1ns / 1ps
module cpu(
input clk, reset,
output [7:0] PC,
input [15:0] InstrF,
output [7:0] DataAdrM,
output [7:0] ALUResult, ALUResult2, WriteData,
input [7:0] ReadData,
output [3:0] FLAGS,
output [7:0] SrcA, SrcB,
output PCSrcE
);
wire RegWriteW, RegWriteW2,RegWriteM,RegWriteM2;
wire [4:0] ALUControlE;
wire ALUSrcE;
wire LME,LMM,LMW, LID;
wire ImmSrcD;
wire [3:0] ALUFlags;
wire [7:0] Match;
wire [2:0] ForwardAE, ForwardBE;
wire flushE, flushD, stallD, stallF;
wire [15:0] InstrD;
controller c(clk, flushE, reset, InstrD, ALUFlags, RegWriteW, RegWriteW2, ALUSrcE, ALUControlE, PCSrcE, LME,LMM,LMW,Imm
datapath dp(clk, reset, RegWriteW, RegWriteW2, ALUSrcE, ALUControlE,PCSrcE, ALUFlags, PC, InstrF, InstrD, ALUResult,
hazardunit hu(clk, reset, LME, PCSrcE, RegWriteW, RegWriteM, RegWriteW2, RegWriteM2,Match, ForwardAE, ForwardBE, flushE
assign FLAGS = ALUFlags;
endmodule
Design Summary datapath.v top_tb.v top.v cpu.v
Console
Started : "Launching ISE Text Editor to edit top.v".
Started : "Launching ISE Text Editor to edit cpu.v".
Console Errors Warnings Find in Files Results
Ln 35 Col 1 Verilog

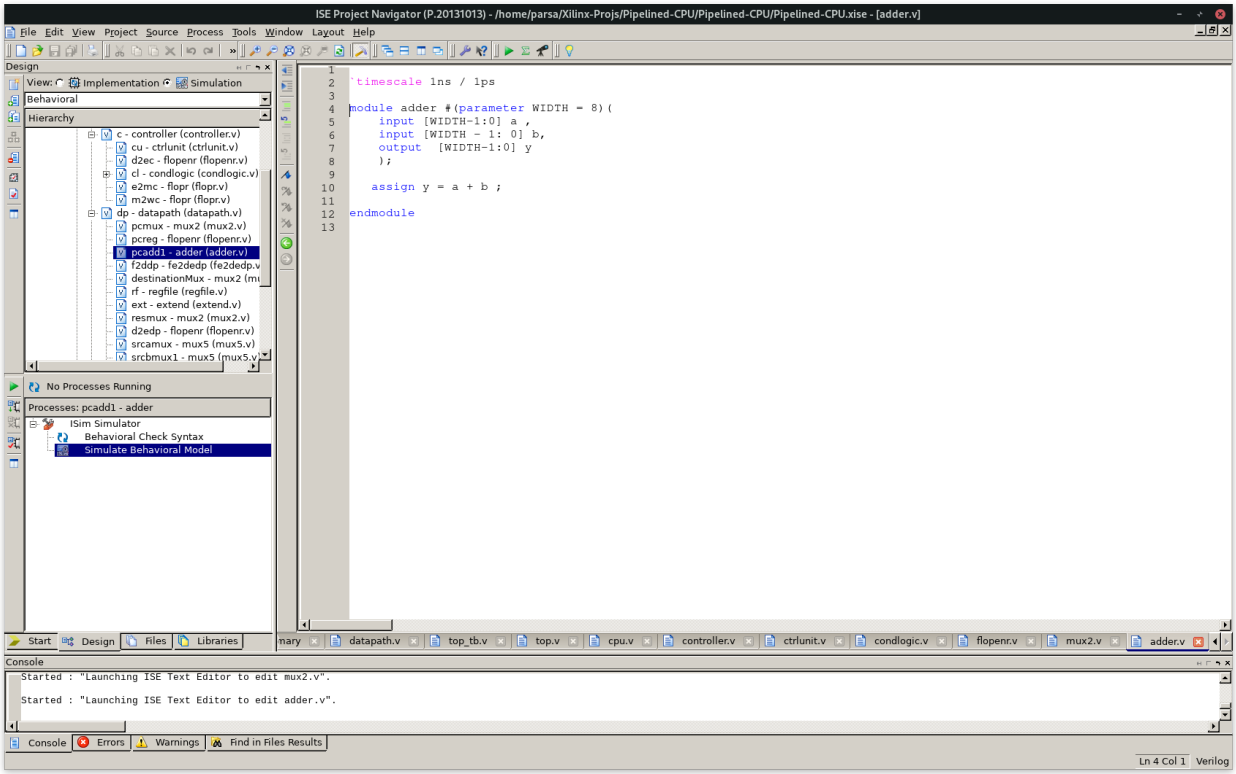

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [ctrlunit.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
No Processes Running
Processes: cu - ctrlunit
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
timescale 1ns / 1ps
module ctrlunit(
input Op,
input [8:0] Funct,
output reg [1:0] FlagW,
output PCS,
output RegWrite,
output RegWrite2,
output ALUSrc,
output reg [4:0] ALUControl,
output [2:0] branchType,
output LM,
output ImmSrc,
output LI
);
reg [9:0] controls;
wire ALUOp;
// Main Decoder
always @(Op, Funct)
case(Op)
2'b0:
begin
// CMP NOP ShowR ShowRSegment
if(Funct[4:0] == 5'b10100 | Funct[4:0] == 5'b00000 |
Funct[4:0] == 5'b10010 | Funct[4:0] == 5'b10011)
controls <= 10'b1000000000 ;
// Immidiate instructions INC DEC
else if (Funct[3]) controls <= 10'b1110000000;
//XCHG
else if(Funct[4:0] == 5'b00111) controls <= 10'b1011000000;
// Register Instructions
else controls <= 10'b1010000000;
end
2'b1:
begin
Design Summary datapath.v top_tb.v top.v cpu.v controller.v ctrlunit.v
Console
Started : "Launching ISE Text Editor to edit controller.v".
Started : "Launching ISE Text Editor to edit ctrlunit.v".
Console Errors Warnings Find in Files Results
Ln 3 Col 1 Verilog

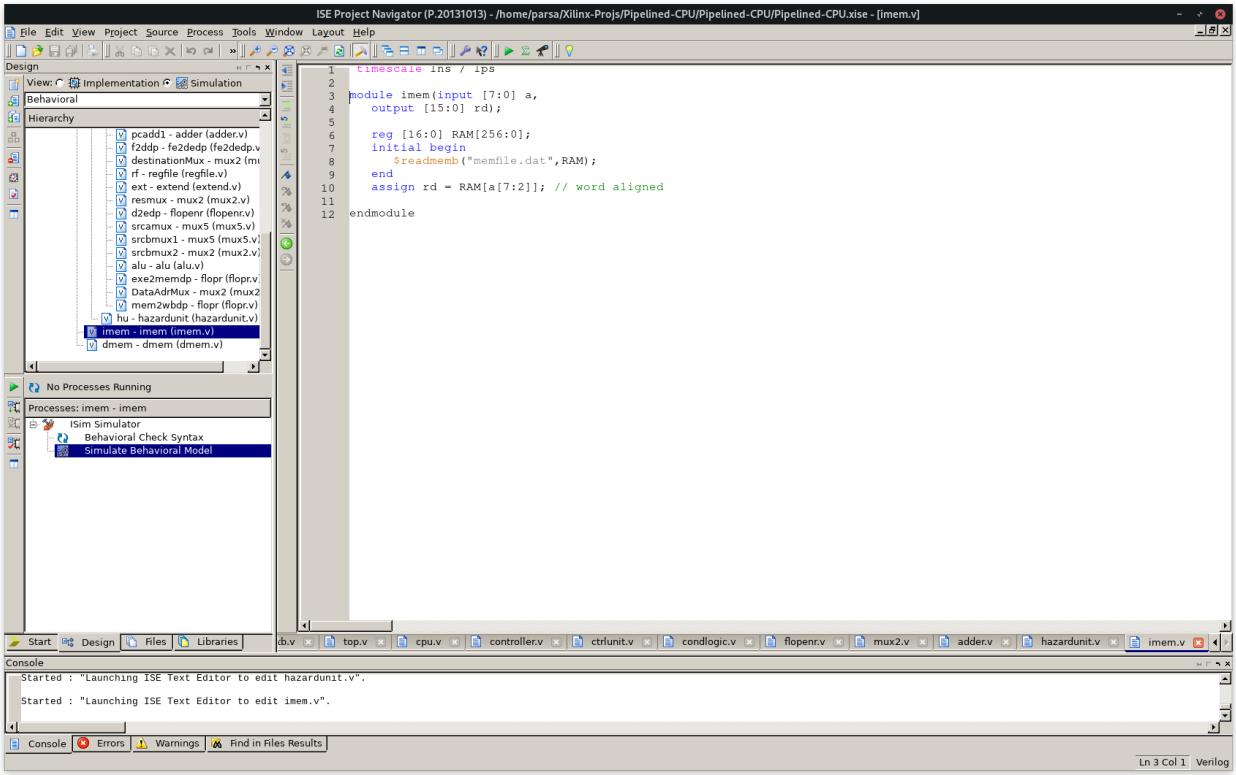

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [flopenr.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
No Processes Running
Processes: d2ec - flopenr
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module flopenr #(parameter WIDTH = 8)(
4 input clk, reset, en,
5 input [WIDTH-1:0] d,
6 output reg [WIDTH-1:0] q
7);
8
9 always @(posedge clk , posedge reset)
10 if(reset) q <= 0;
11 else if(en) q <= d;
12 else q <= q;
13
14 endmodule
15
Design Summary datapath.v top_tb.v top.v cpu.v controller.v ctrlunit.v condlogic.v flopenr.v
Console
Started : "Launching ISE Text Editor to edit condlogic.v".
Started : "Launching ISE Text Editor to edit flopenr.v".
Console Errors Warnings Find in Files Results
Ln 3 Col 1 Verilog

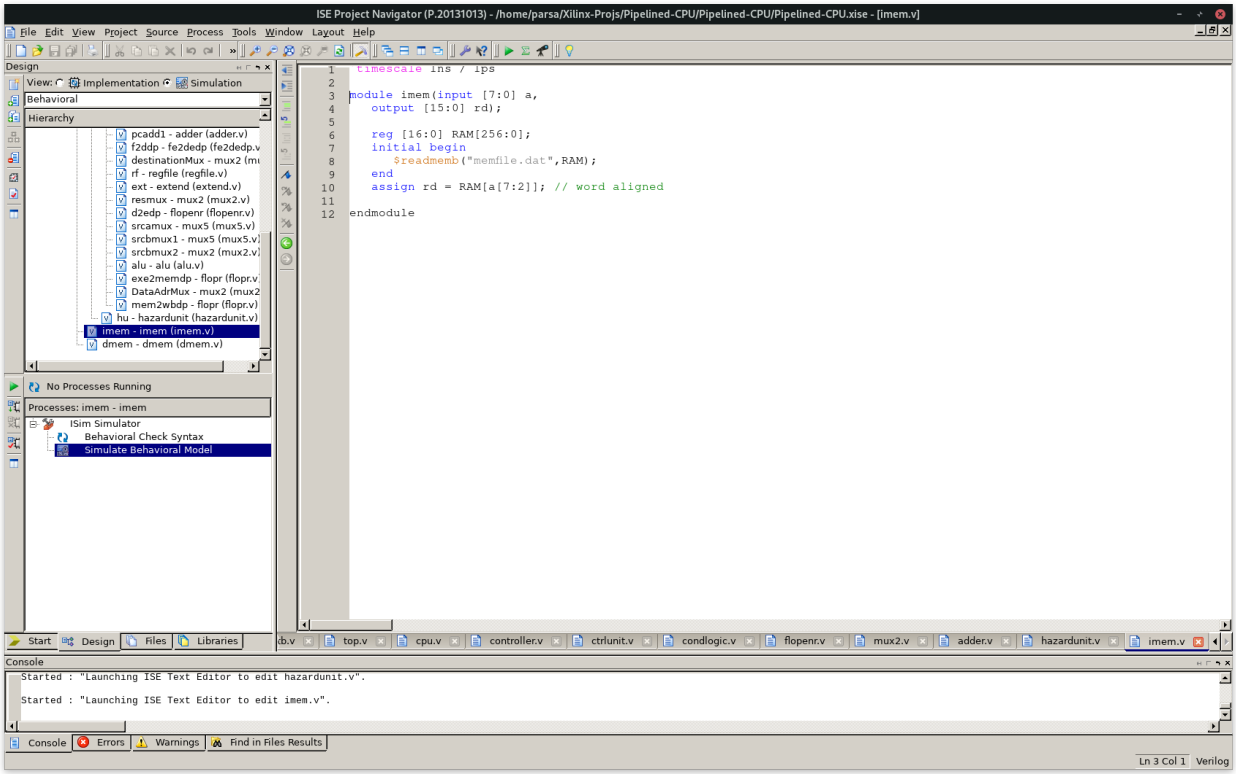

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [condlogic.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
No Processes Running
Processes: cl - condlogic
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module condlogic(
4 input clk, reset,
5 input [3:0] AluFlags,
6 input [1:0] FlagW,
7 input pcS,
8 input [2:0] branchType,
9 output pcSrc
10);
11
12 wire [3:0] Flags;
13 wire CondEx;
14
15 flopenr #(2) flagreg1(clk, reset, FlagW[1],
16 AluFlags[3:2], Flags[3:2]);
17 flopenr #(2) flagreg0(clk, reset, FlagW[0],
18 AluFlags[1:0], Flags[1:0]);
19
20 condcheck cc(branchType , Flags , CondEx);
21
22 assign pcSrc = pcS & CondEx ;
23
24 endmodule
25
26
27 module condcheck(
28 input [2:0] branchType,
29 input [3:0] AluFlags,
30 output reg CondEx
31);
32
33 always @(*)
34 case(branchType)
35 // JE
36 3'b001: CondEx = AluFlags[2];
37
38 // JB
39 3'b010: CondEx = AluFlags[1];
40
41 // JA
42 3'b011: CondEx= ((~AluFlags[1]) & (~AluFlags[2]));
Design Summary datapath.v top_tb.v top.v cpu.v controller.v ctrlunit.v condlogic.v flopenr.v
Console
Started : "Launching ISE Text Editor to edit condlogic.v".
Started : "Launching ISE Text Editor to edit flopenr.v".
Console Errors Warnings Find in Files Results
Ln 25 Col 1 Verilog

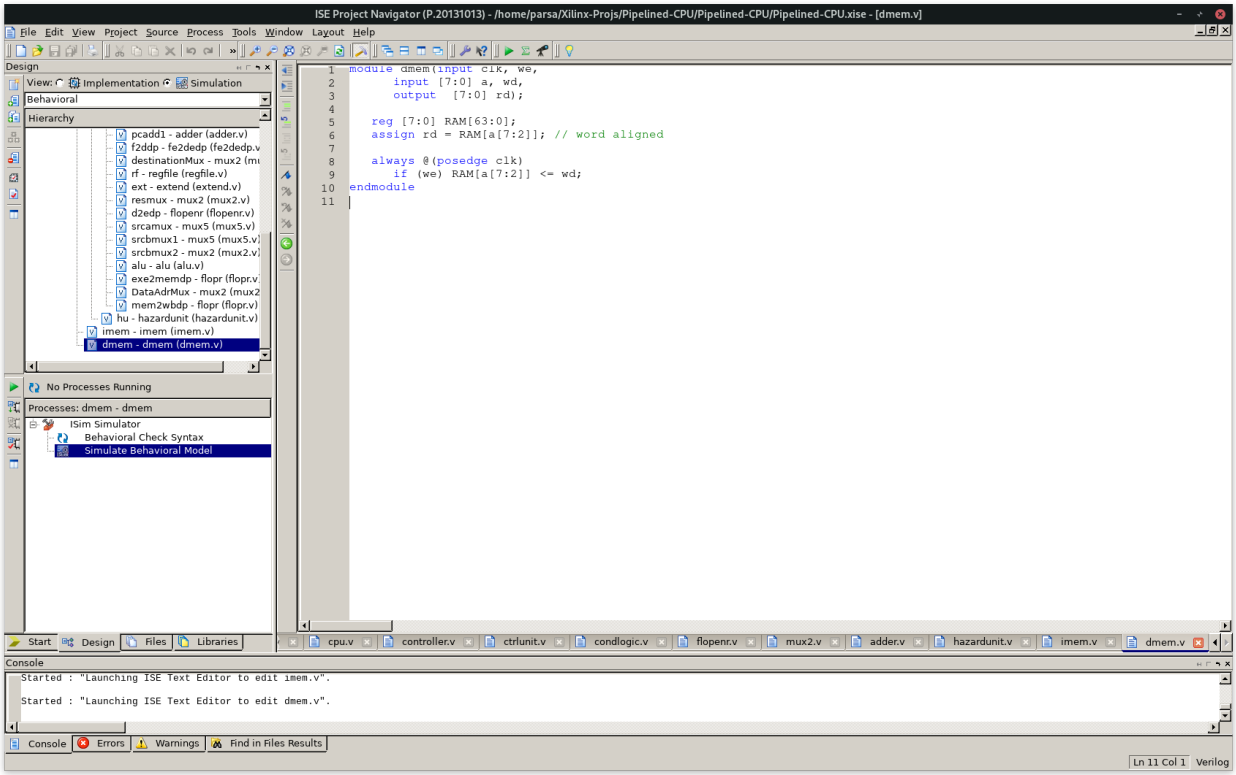

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [datapath.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
de2exectrl (de2exectrl.v)
tb (top_tb.v)
uut - top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v
destinationMux - mux2 (mu
rf - regfile (regfile.v)
ext - extend (extend.v)
No Processes Running
Processes: dp - datapath
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
// aghaz e decode
mux2 #(3) destinationMux(InstrD[5:3], InstrD[10:8], LID, RA1D);
assign RA2D = InstrD[2:0];
regfile rf(clk, RegWrite1W, RegWrite2W, RA1D, RA2D, RA1W, RA2W, ResultW, ALUResult2W, RD1D, RD2D);
extend ext(InstrD[2:0], InstrD[7:0], ImmSrcD, ExtImmD);
mux2 #(8) resmux(ALUResultW, ReadDataW, LMW, ResultW);
// payan e decode
// noghte 0 marzi e decode be execute
flopenr #(46) d2edp(clk,reset ,~flushE,{RA1D,RA2D, RD1D, RD2D, ExtImmD, InstrD},{RA1E,RA2E, RD1E,RD2E, ExtImmE, InstrE
// aghaz e exec
// ALU logic
mux5 #(8) srcamux (RD1E, ALUResultM, ResultW, ALUResult2M, ALUResult2W, ForwardAE, SrcA);
mux5 #(8) srcbmux1(RD2E, ALUResultM, ResultW, ALUResult2M, ALUResult2W, ForwardBE, midSrcB);
mux2 #(8) srcbmux2(midSrcB, ExtImmE, ALUSrcE, SrcB);
alu alu(ALUControlE, SrcA, SrcB, ALUResultE, ALUResult2E, ALUFlags);
// noghte 0 e marzi exec be memory
flopr #(38) exe2memdp(clk, 1'b0, {ALUResultE, ALUResult2E, RA1E, RA2E, InstrE},{ALUResultM, ALUResult2M, RA1M, RA2M,
// aghaz e memory
// For LM instruction
mux2 #(8) DataAdrMux(8'b00000000, InstrM[7:0], LMM, DataAdrM);
// az memory faghat ye lm moonde mabaghish biroon e in aghaye dp e
// payam e memory
// noghte 0 e marzi e memory be writeback
flopr #(31) mem2wbdp (clk, 1'b0, {ALUResultM, ALUResult2M, RA1M,RA2M, ReadDataM,LMM},{ALUResultW, ALUResult2W, RA1W,
// Match Logic
wire Match_1E_M_1, Match_2E_M_1, Match_2E_W_1, Match_1E_W_1,
Match_1E_M_2, Match_2E_M_2, Match_2E_W_2, Match_1E_W_2;
assign Match_1E_M_1 = (RA1E == RA1M);
assign Match_2E_M_1 = (RA2E == RA1M);
assign Match_1E_W_1 = (RA1E == RA1W);
assign Match_2E_W_1 = (RA2E == RA1W);
assign Match_1E_M_2 = (RA1E == RA2M);
Design Summary datapath.v top_tb.v top.v cpu.v controller.v ctrlunit.v condlogic.v flopenr.v
Console
Started : "Launching ISE Text Editor to edit condlogic.v".
Started : "Launching ISE Text Editor to edit flopenr.v".
Console Errors Warnings Find in Files Results
Ln 99 Col 18 Verilog

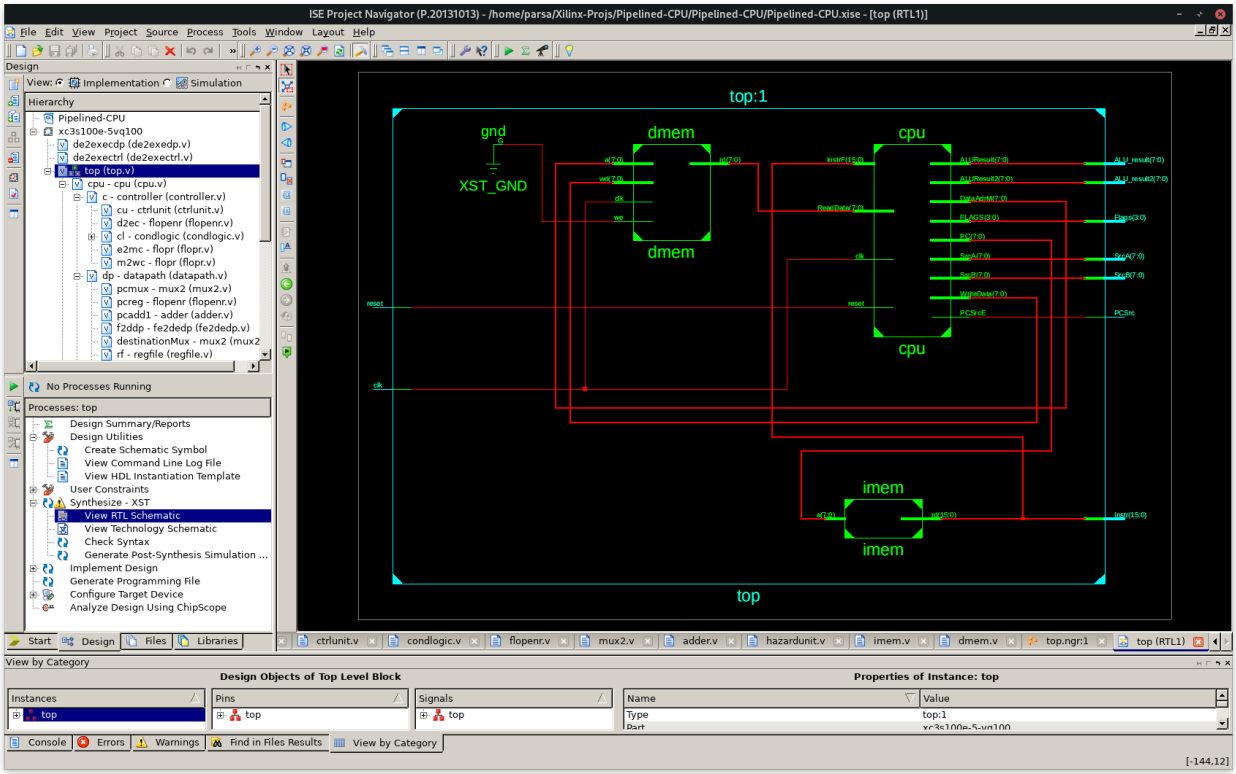

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [mux2.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v
destinationMux - mux2 (mu
rf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
d2edp - flopenr (flopenr.v)
srcamux - mux5 (mux5.v)
srcbmux1 - mux5 (mux5.v
No Processes Running
Processes: pcmux - mux2
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
`timescale 1ns / 1ps
//
// Company:
// Engineer:
//
// Create Date: 22:47:20 12/14/2020
// Design Name:
// Module Name: mux2
// Project Name:
// Target Devices:
// Tool versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
//
`timescale 1ns / 1ps
module mux2 #(parameter WIDTH = 8)(
input [WIDTH-1:0] d0,
input [WIDTH-1: 0] d1,
input s,
output [WIDTH-1:0] y
);
assign y = s ? d1 : d0 ;
endmodule
Design Summary datapath.v top_tb.v top.v cpu.v controller.v ctrlunit.v condlogic.v flopenr.v mux2.v
Console
Started : "Launching ISE Text Editor to edit flopenr.v".
Started : "Launching ISE Text Editor to edit mux2.v".
Console Errors Warnings Find in Files Results
Ln 23 Col 1 Verilog

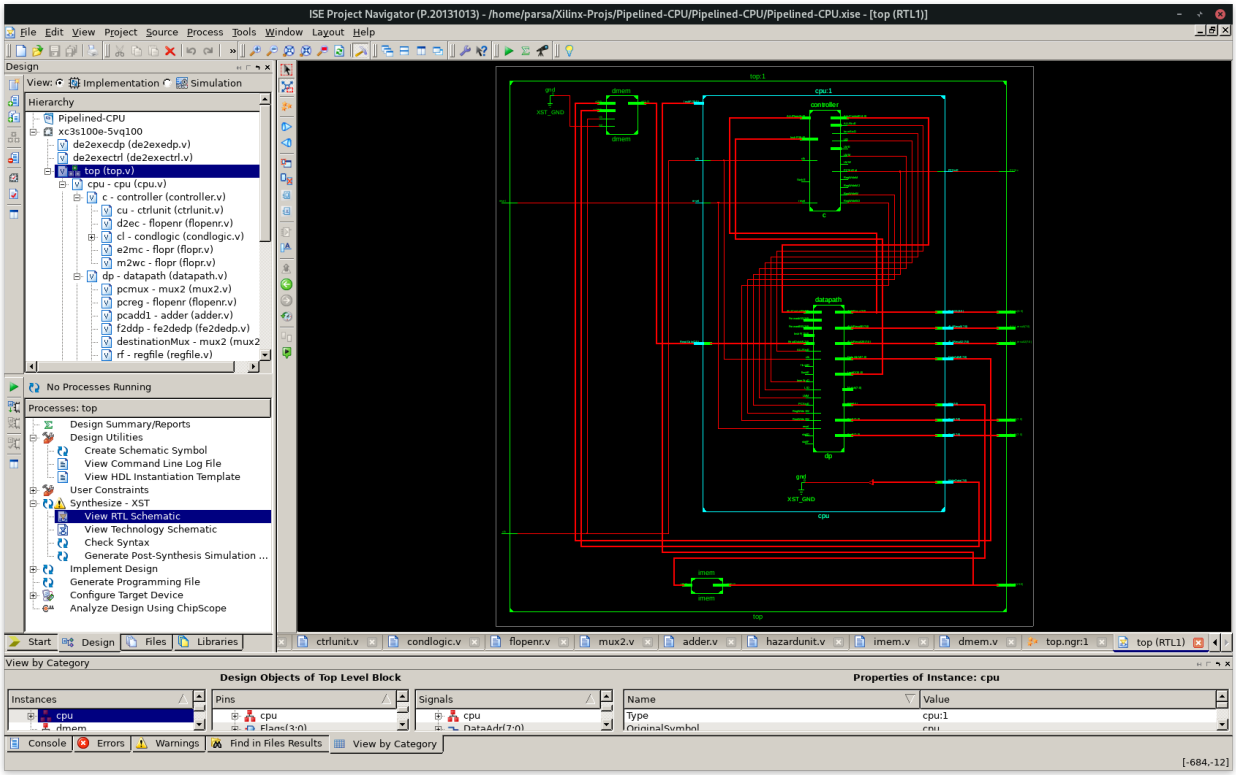

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [adder.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v
destinationMux - mux2 (mu
rf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
d2edp - flopenr (flopenr.v)
srcamux - mux5 (mux5.v)
srcbmux1 - mux5 (mux5.v
No Processes Running
Processes: pcadd1 - adder
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
`timescale 1ns / 1ps
module adder #(parameter WIDTH = 8)(
input [WIDTH-1:0] a ,
input [WIDTH - 1: 0] b,
output [WIDTH-1:0] y
);
assign y = a + b ;
endmodule
nary datapath.v top_tb.v top.v cpu.v controller.v ctrlunit.v condlogic.v flopenr.v mux2.v adder.v
Console
Started : "Launching ISE Text Editor to edit mux2.v".
Started : "Launching ISE Text Editor to edit adder.v".
Console Errors Warnings Find in Files Results
Ln 4 Col 1 Verilog

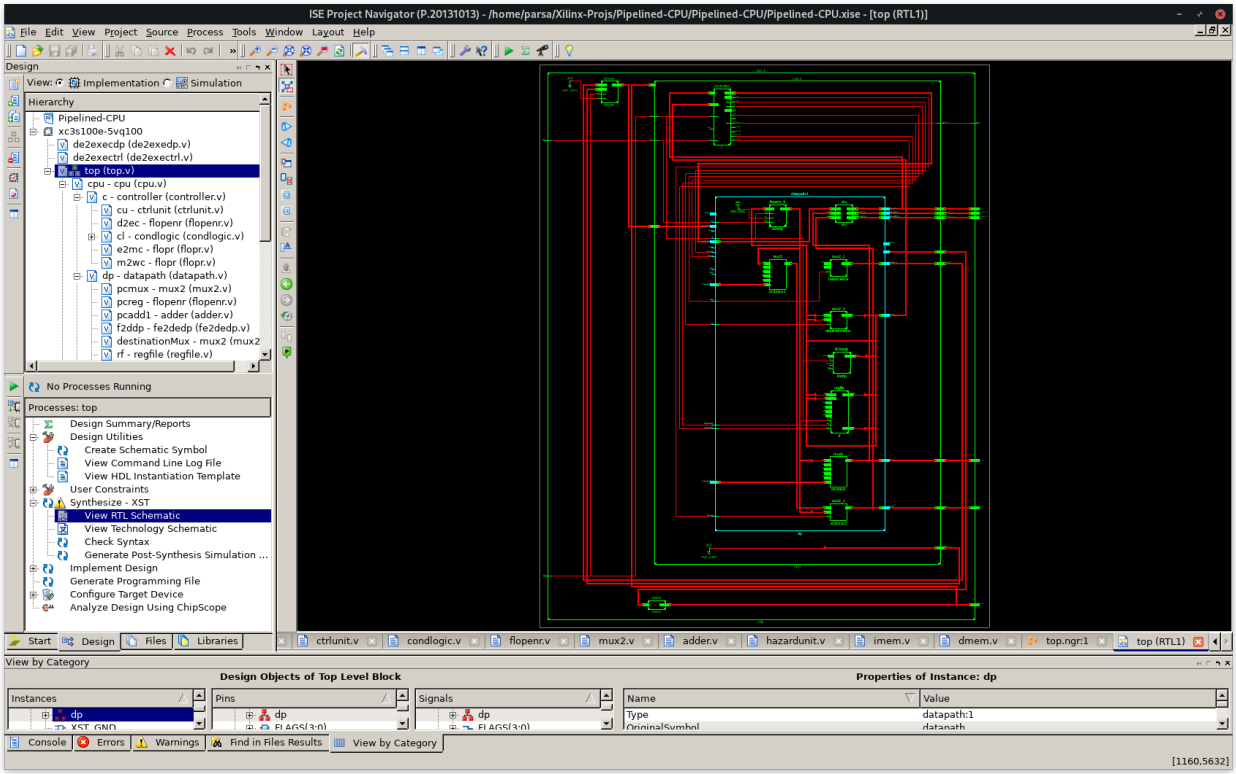

ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [imem.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v
destinationMux - mux2 (mu
rf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
d2edp - flopenr (flopenr.v)
srcamux - mux5 (mux5.v)
srcbmux1 - mux5 (mux5.v
srcbmux2 - mux2 (mux2.v
alu - alu (alu.v)
exe2memdp - flopr (flopr.v
DataAdrMux - mux2 (mux2
mem2wbdp - flopr (flopr.v)
hu - hazardunit (hazardunit.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: imem - imem
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
`timescale 1ns / 1ps
module imem(input [7:0] a,
output [15:0] rd);
reg [16:0] RAM[256:0];
initial begin
$readmemb("memfile.dat",RAM);
end
assign rd = RAM[a[7:2]]; // word aligned
endmodule
db.v top.v cpu.v controller.v ctrlunit.v condlogic.v flopenr.v mux2.v adder.v hazardunit.v imem.v
Console
Started : "Launching ISE Text Editor to edit hazardunit.v".
Started : "Launching ISE Text Editor to edit imem.v".
Console Errors Warnings Find in Files Results
Ln 3 Col 1 Verilog


ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU.xise - [imem.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v
destinationMux - mux2 (mu
rf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
d2edp - flopenr (flopenr.v)
srcamux - mux5 (mux5.v)
srcbmux1 - mux5 (mux5.v)
srcbmux2 - mux2 (mux2.v)
alu - alu (alu.v)
exe2memdp - flopr (flopr.v
DataAdrMux - mux2 (mux2
mem2wbdp - flopr (flopr.v)
hu - hazardunit (hazardunit.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: imem - imem
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
1 timescale 1ns / 1ps
2
3 module imem(input [7:0] a,
4 output [15:0] rd);
5
6 reg [16:0] RAM[256:0];
7 initial begin
8 $readmemb("memfile.dat",RAM);
9 end
10 assign rd = RAM[a[7:2]]; // word aligned
11
12 endmodule
db.v top.v cpu.v controller.v ctrlunit.v condlogic.v flopenr.v mux2.v adder.v hazardunit.v imem.v
Console
Started : "Launching ISE Text Editor to edit hazardunit.v".
Started : "Launching ISE Text Editor to edit imem.v".
Console Errors Warnings Find in Files Results
Ln 3 Col 1 Verilog


ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU.xise - [dmem.v]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Behavioral
Hierarchy
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v
destinationMux - mux2 (mu
rf - regfile (regfile.v)
ext - extend (extend.v)
resmux - mux2 (mux2.v)
d2edp - flopenr (flopenr.v)
srcamux - mux5 (mux5.v)
srcbmux1 - mux5 (mux5.v)
srcbmux2 - mux2 (mux2.v)
alu - alu (alu.v)
exe2memdp - flopr (flopr.v
DataAdrMux - mux2 (mux2
mem2wbdp - flopr (flopr.v)
hu - hazardunit (hazardunit.v)
imem - imem (imem.v)
dmem - dmem (dmem.v)
No Processes Running
Processes: dmem - dmem
ISim Simulator
Behavioral Check Syntax
Simulate Behavioral Model
Start Design Files Libraries
1 module dmem(input clk, we,
2 input [7:0] a, wd,
3 output [7:0] rd);
4
5 reg [7:0] RAM[63:0];
6 assign rd = RAM[a[7:2]]; // word aligned
7
8 always @(posedge clk)
9 if (we) RAM[a[7:2]] <= wd;
10 endmodule
11
cpu.v controller.v ctrlunit.v condlogic.v flopenr.v mux2.v adder.v hazardunit.v imem.v dmem.v
Console
Started : "Launching ISE Text Editor to edit imem.v".
Started : "Launching ISE Text Editor to edit dmem.v".
Console Errors Warnings Find in Files Results
Ln 11 Col 1 Verilog


ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [top (RTL1)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v)
destinationMux - mux2 (mux2
rf - regfile (regfile.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
Create Schematic Symbol
View Command Line Log File
View HDL Instantiation Template
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation ...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
top:1
gnd
XST_GND
dmem
cpu
imem
top
reset
clk
Start Design Files Libraries
ctrlunit.v condlogic.v flopenr.v mux2.v adder.v hazardunit.v imem.v dmem.v top.ngr:1 top (RTL1)
View by Category
Design Objects of Top Level Block
Instances
Pins
Signals
top
Properties of Instance: top
Name
Value
Type
top:1
Console Errors Warnings Find in Files Results View by Category
[-144,12]


ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [top (RTL1)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v)
destinationMux - mux2 (mux2
rf - regfile (regfile.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
Create Schematic Symbol
View Command Line Log File
View HDL Instantiation Template
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation ...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
top:1
cpu:1
controller
datapath
dp
gnd
XST_GND
cpu
imem
top
Start Design Files Libraries
ctrlunit.v condlogic.v flopenr.v mux2.v adder.v hazardunit.v imem.v dmem.v top.ngr:1 top (RTL1)
View by Category
Design Objects of Top Level Block
Instances
Pins
Signals
cpu
Properties of Instance: cpu
Name
Value
Type
cpu:1
Console Errors Warnings Find in Files Results View by Category
[-684,-12]


ISE Project Navigator (P.20131013) - /home/parsa/Xilinx-Projs/Pipelined-CPU/Pipelined-CPU/Pipelined-CPU.xise - [top (RTL1)]
File Edit View Project Source Process Tools Window Layout Help
Design
View: Implementation Simulation
Hierarchy
Pipelined-CPU
xc3s100e-5vq100
de2execdp (de2exedp.v)
de2exectrl (de2exectrl.v)
top (top.v)
cpu - cpu (cpu.v)
c - controller (controller.v)
cu - ctrlunit (ctrlunit.v)
d2ec - flopenr (flopenr.v)
cl - condlogic (condlogic.v)
e2mc - flopr (flopr.v)
m2wc - flopr (flopr.v)
dp - datapath (datapath.v)
pcmux - mux2 (mux2.v)
pcreg - flopenr (flopenr.v)
pcadd1 - adder (adder.v)
f2ddp - fe2dedp (fe2dedp.v)
destinationMux - mux2 (mux2
rf - regfile (regfile.v)
No Processes Running
Processes: top
Design Summary/Reports
Design Utilities
Create Schematic Symbol
View Command Line Log File
View HDL Instantiation Template
User Constraints
Synthesize - XST
View RTL Schematic
View Technology Schematic
Check Syntax
Generate Post-Synthesis Simulation ...
Implement Design
Generate Programming File
Configure Target Device
Analyze Design Using ChipScope
Start Design Files Libraries
ctrlunit.v condlogic.v flopenr.v mux2.v adder.v hazardunit.v imem.v dmem.v top.ngr:1 top (RTL1)
View by Category
Design Objects of Top Level Block
Properties of Instance: dp
Instances
Pins
Signals
Name
Value
Type
datapath:1
dp
Console Errors Warnings Find in Files Results View by Category
[1160,5632]