

# معماری کامپیوتر

## تمرین هفتم

# سوال اول

حاصل جمع دو عدد علامت‌دار  $A$  و  $B$  در زیر نشان داده شده‌است. مداری را طراحی کنید که بتواند با استفاده از بیت‌های ورودی و خروجی، تشخیص دهد که آیا در حاصل جمع، سرریز رخ داده‌است یا خیر

$$\begin{array}{r} A = S_a \ A_{n-2} \dots A_1 \ A_0 \\ B = S_b \ B_{n-2} \dots B_1 \ B_0 \\ + \text{-----} \\ O = S_o \ O_{n-2} \dots O_1 \ O_0 \end{array}$$

می‌دانیم که سرریز در جمع اعداد علامت‌دار مکمل-۲ (طبق بیت‌های مشخص شده در سوال) زمانی رخ می‌دهد که:

$$S_a' \cdot S_b' \cdot S_o + S_a \cdot S_b \cdot S_o' = 1$$

یعنی هر زمان که دو عدد مثبت با هم جمع شوند، اما حاصل منفی شود یا هر زمان که دو عدد منفی با هم جمع شوند و حاصل مثبت شود، یعنی سرریز رخ داده است.

## سوال دوم

در شکل یک جمع‌کننده BCD وجود دارد.

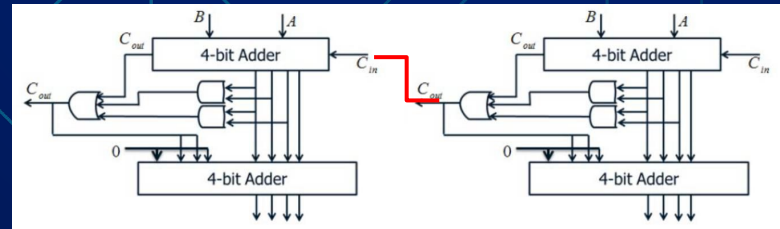
تاخیر هر FA برابر است با  $d_{FA}$

تاخیر هر گیت AND و OR برابر است با  $d_{gate}$

مطلوب است محاسبه‌ی بیش‌ترین تاخیر در جمع‌کننده‌ی

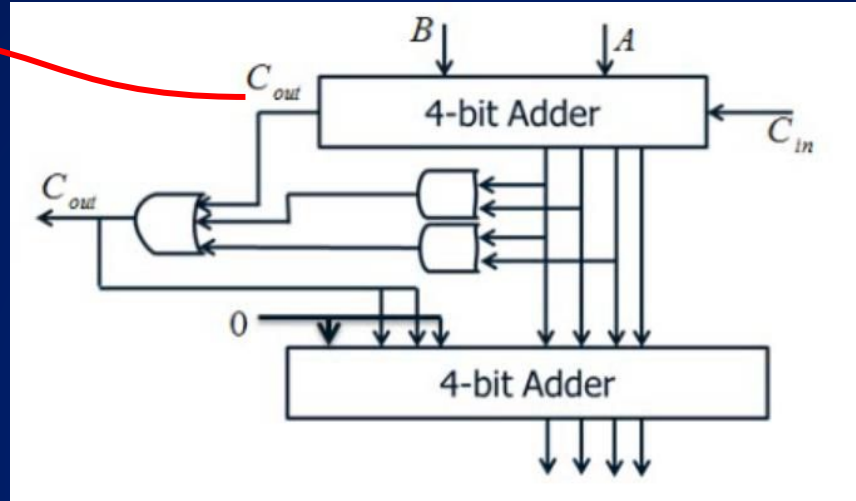
دهدهی ۲ رقمی

یک جمع‌کننده BCD باید دو رقم دهدهی را با هم جمع کند. هر رقم در دنیای دهدهی در بازه‌ی ۰ تا ۹ قرار دارد. بنابراین در نهایت می‌تواند یک عدد ۴ رقمی در دنیای باینری باشد. به همین دلیل برای محاسبه‌ی جمع دو رقم دهدهی ما نیاز به جمع‌کننده‌ی چهاربیتی داریم. حالا که قرار هست تاخیر یک جمع‌کننده‌ی دهدهی ۲ رقمی را بیابیم، پس به دو تا از مدارهای بالا نیاز خواهیم داشت.



## سوال دوم

4dFA

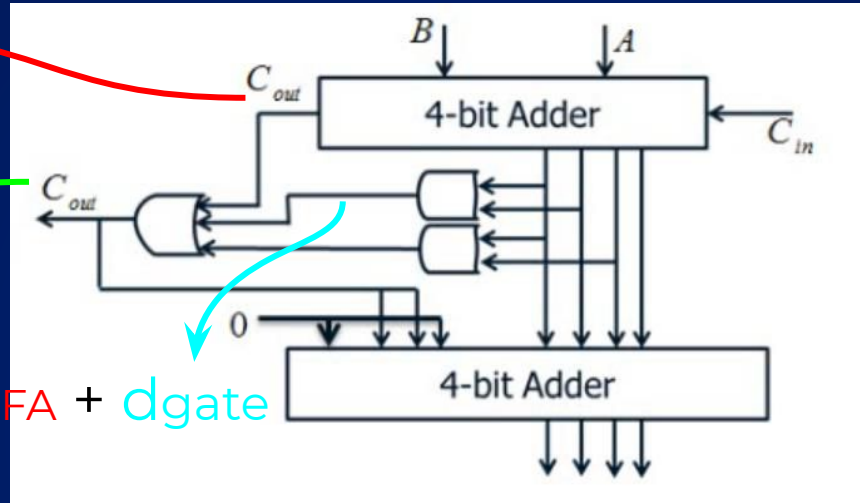


اول تاخیر جمع‌کننده‌های RCA را محاسبه می‌کنیم:

هر کدام از RCA ها از چهار FA ساخته می‌شوند. همانطور که می‌دانید برای اینکه خروجی هر FA مشخص شود به خروجی FA مرحله‌ی قبل خود نیاز دارد تا بداند carry ورودی‌اش چیست (به جز اولین FA که از طریق  $C_{in}$  متوجه می‌شود). بنابراین برای اینکه تمام محاسبات مربوط به RCA انجام شده و  $C_{out}$  تعیین شود، تاخیری برابر با  $4 \times d_{FA}$  خواهیم داشت.

حال برای مشخص شدن نتیجه‌ی کلی این بخش این مدار کافی است تاخیر ناشی از گیت OR را به دست بیاوریم...

## سوال دوم



$4d_{FA}$

$4d_{FA} + 2d_{gate}$

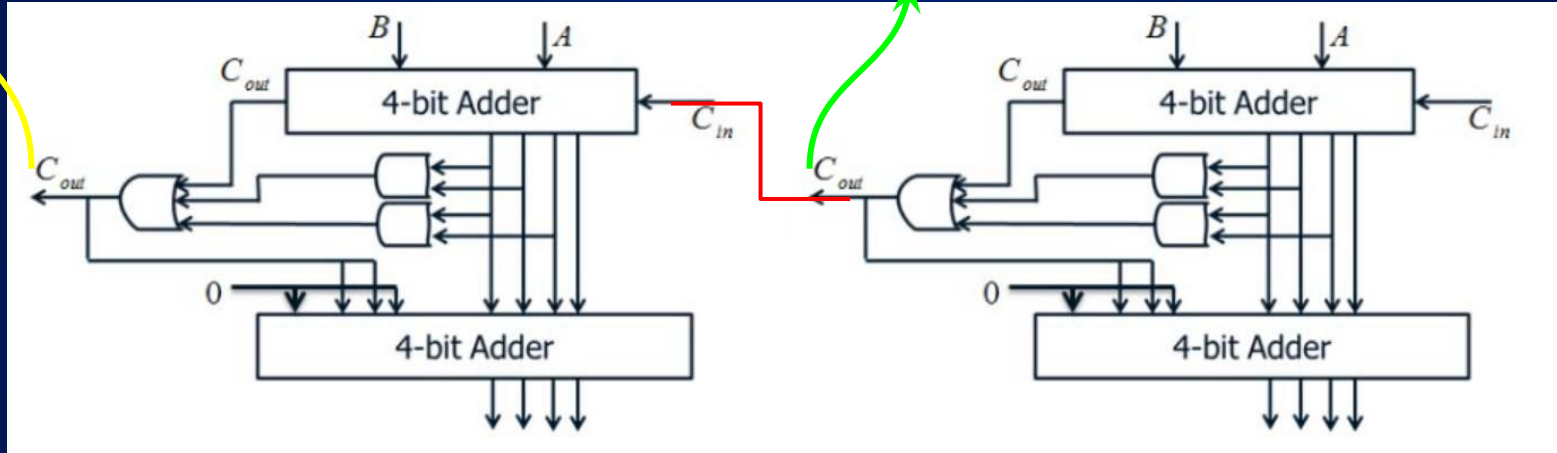
$4d_{FA} + d_{gate}$

یک ورودی گیت AND در زمان  $4d_{FA}$  مشخص شده است. اما دو ورودی دیگر آن هنوز به دست نیامده اند. زیرا sum آخرین طبقه FA ها ورودی گیت های AND داخل شکل است که در زمان  $4d_{FA}$  تازه محاسبه شده اند. بنابراین با گذشت یک  $d_{gate}$  خروجی این گیت های AND به دست خواهد آمد و حالا در زمان  $4d_{FA} + d_{gate}$  تمام ورودی های گیت OR آماده هستند. با گذشت یک  $d_{gate}$  دیگر حاصل این طبقه از جمع کننده ی دهدهی به دست می آید.

## سوال دوم

$$4d_{FA} + 2d_{gate}$$

$$2(4d_{FA} + 2d_{gate})$$



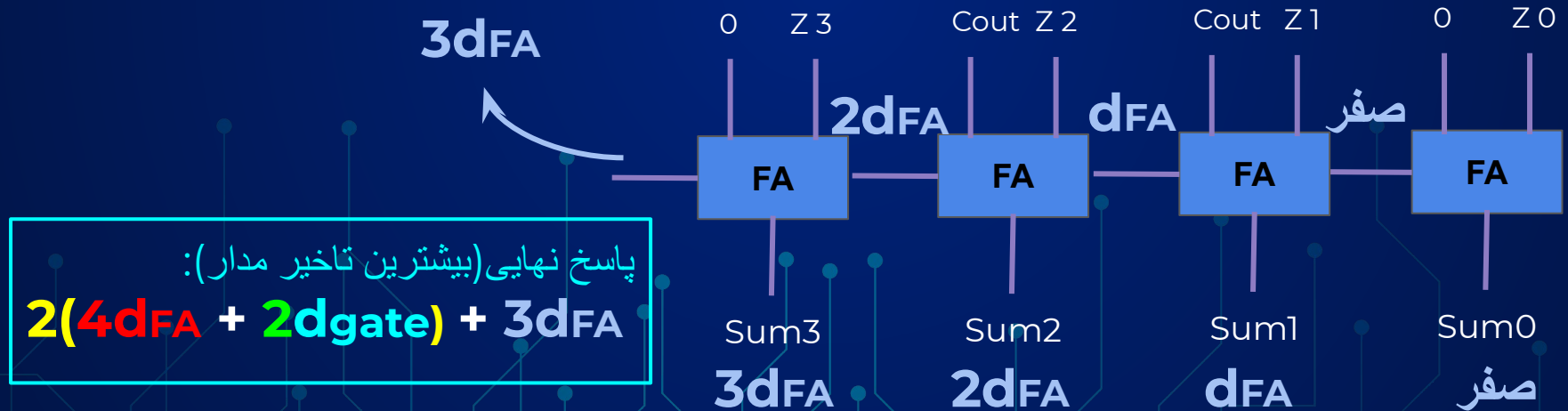
حال اگر تاخیر به دست آمده را دو برابر کنیم، مشخص خواهد شد که Cout کلی مدار چه زمانی به دست آمده است. اما صورت سوال بیشترین تاخیر را از ما خواسته و همانطور که در شکل مشخص است، خروجی این Cout دوباره به یک مدار دیگر می‌رود. (این بخش از مدار وظیفه‌ی اصلاح نتیجه را دارد. یعنی اگر Cout نهایی برابر 1 شود، باید حاصل sum‌های به دست آمده از RCA بالایی با 0110 یا 6 جمع شود).

## سوال دوم

پس تاخیر کلی برابر خواهد بود با:

$$2(4d_{FA} + 2d_{gate}) + T_d(\text{last sum})$$

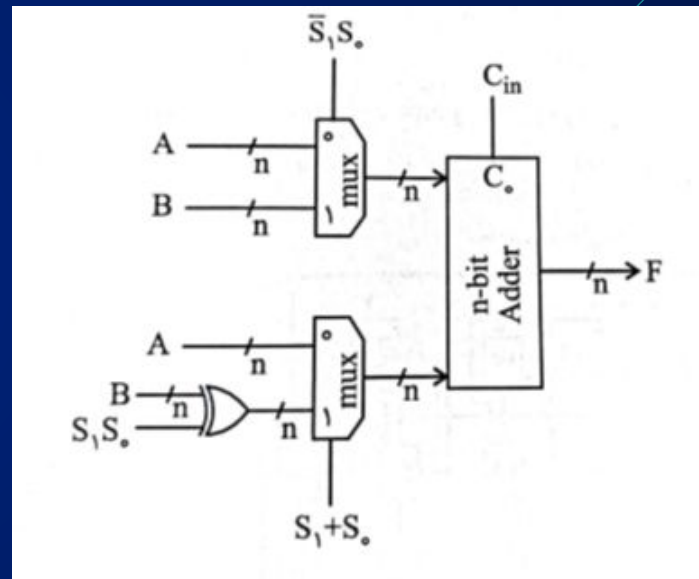
که  $T_d(\text{last sum})$  برابر تاخیر حاصل از آخرین RCA است. اما این تاخیر مثل تاخیر اولین RCA برابر  $4d_{FA}$  نمی‌باشد. (چرا؟) تاخیر های مشخص شده در شکل زیر همه نسبت به لحظه‌ای هستند که Cout نهایی محاسبه شده و تنها محاسبه‌ی تاخیر آخرین RCA باقی مانده است.



# سوال سوم

جدول تابع این مدار را تکمیل کنید

S1	S2	Cin	F
0	0	0	$A+A$
0	0	1	$A+A+1$
0	1	0	$B+B$
0	1	1	$B+B+1$
1	0	0	$A+B$
1	0	1	$A+B+1$
1	1	0	$A+\text{not } B$
1	1	1	$A+\text{not } B+1$

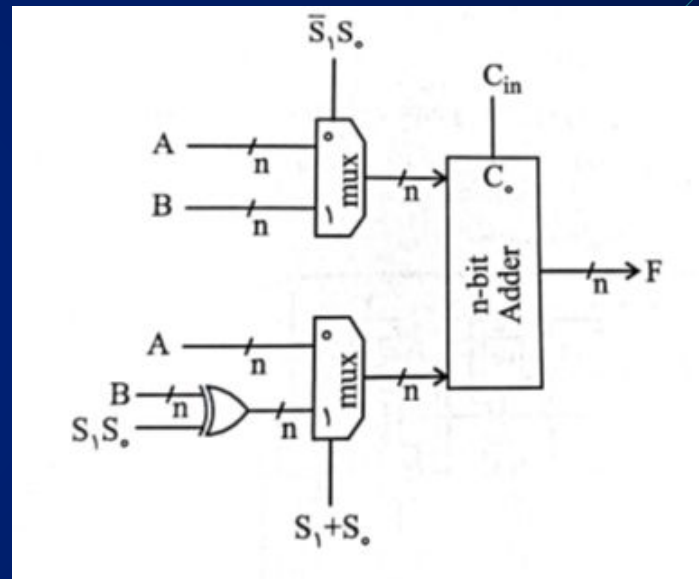


توضیحات تکمیلی در صفحه‌ی بعد است.



## سوال سوم

گیت XOR مشخص شده در شکل به این معناست که تک تک  $n$  بیت  $B$  با  $SIS0$  وارد یک XORهای تک بیتی شده‌اند. در مورد گیت XOR باید نکته‌ای را به خاطر داشته باشیم. اگر یک ورودی گیت XOR را  $a$  در نظر بگیریم و ورودی دیگر را  $0$ ، خود  $a$  از گیت خارج خواهد شد. اگر جای  $0$ ،  $1$  را وارد گیت کنیم، در خروجی  $\text{not } a$  را مشاهده می‌کنیم. در نتیجه در این سوال هر زمان که حاصل  $SIS0$  برابر  $0$  باشد (سطرهای اول تا ششم جدول) بیت‌های  $B$  عیناً در خروجی مشاهده می‌شود پس به جای حاصل گیت می‌توان خود  $B$  را در نظر گرفت. اما در سطرهای هفتم و هشتم، حاصل  $SIS0$  برابر  $1$  شده پس تمامی بیت‌های  $B$  به  $\text{not } B$  تبدیل شده‌اند و این بار جای خروجی گیت XOR در شکل  $\text{not } B$  قرار داده شده.



پایان

