

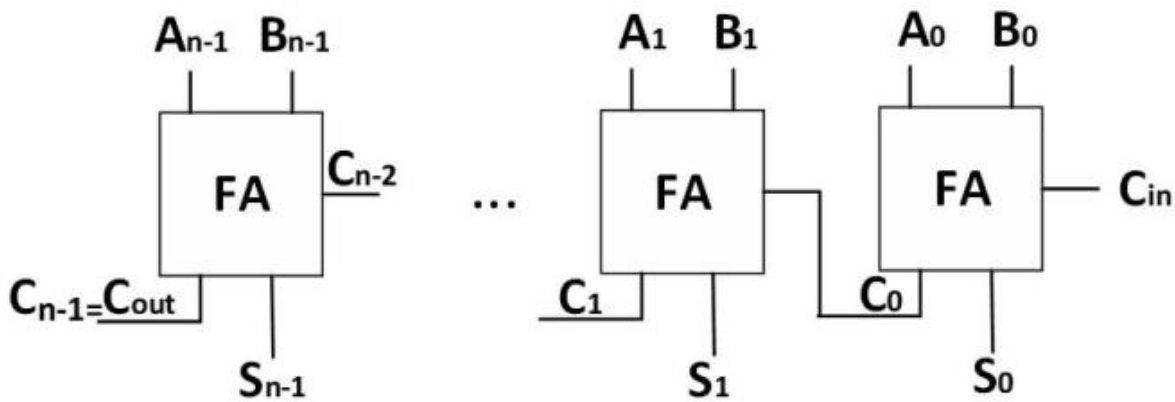
به نام خدا

گزارش کار آزمایش پنجم

علی نوروزیگی – فرهاد امان

هدف آزمایش: پیاده سازی جمع کننده های RCA, CLA, CSA و مقایسه تاخیر و هزینه آنها

ابتدا مدار Ripple Carry Adder را بررسی می کنیم. شماتیک کلی این مدار به صورت زیر است:



چون مدار ما جمع کننده ۸ بیت است، از ۸ تمام جمع کننده استفاده می کنیم. و carryهای هر کدام را به صورت آبخاری به یکدیگر متصل می کنیم. در حالت کلی یک جمع کننده آبخاری n بیتی دارای تاخیر جمع $(2n-1)d$ و تاخیر 2nd carry می باشد. همچنین هزینه نیز برابر با 5ng خواهد بود. پیاده سازی این جمع کننده به صورت فایل vhdل ارسال شده است و بعد از سنتز نتایج زیر برای تاخیر و فضا بدست آمده است:

```
Slice Logic Utilization:
Number of Slice LUTs:          12 out of 5720    0%
Number used as Logic:          12 out of 5720    0%

Slice Logic Distribution:
Number of LUT Flip Flop pairs used: 12
Number with an unused Flip Flop: 12 out of 12    100%
Number with an unused LUT:       0 out of 12     0%
Number of fully used LUT-FF pairs: 0 out of 12    0%
Number of unique control sets:   0
```

تعداد sliceهای جمع کننده آبخاری

```

Delay:                8.411ns (Levels of Logic = 6)
Source:               a<1> (PAD)
Destination:         sum<7> (PAD)

Data Path: a<1> to sum<7>

      Gate      Net
Cell:in->out  fanout Delay Delay Logical Name (Net Name)
-----
IBUF:I->O      2    1.222  0.961 a_1_IBUF (a_1_IBUF)
LUT5:I0->O     3    0.203  0.755 FA1/cout1 (ci<1>)
LUT5:I3->O     3    0.203  0.755 FA3/cout1 (ci<3>)
LUT5:I3->O     3    0.203  0.755 FA5/cout1 (ci<5>)
LUT5:I3->O     1    0.203  0.579 FA7/cout1 (cout_OBUF)
OBUF:I->O      2    2.571      cout_OBUF (cout)
-----
Total                8.411ns (4.605ns logic, 3.806ns route)
                        (54.8% logic, 45.2% route)

```

تاخیر جمع کننده آبشاری

جمع کننده بعدی، جمع کننده Carry Look Ahead است. در این جمع کننده دیگر منتظر محاسبه ارقام نقلی مراحل قبل نمی‌مانیم و با استفاده از الگوی زیر که تنها وابسته به ارقام ورودی و c_{in} است، رقم نقلی هر مرحله را حساب می‌کنیم:

$$C_0 = A_0B_0 + C_{in}(A_0 + B_0) = G_0 + C_{in}P_0$$

$$C_1 = A_1B_1 + C_0(A_1 + B_1) = G_1 + (G_0 + C_{in}P_0)P_1 = G_1 + G_0P_1 + C_{in}P_0P_1$$

$$C_2 = A_2B_2 + C_1(A_2 + B_2) = G_2 + (G_1 + G_0P_1 + C_{in}P_0P_1)P_2$$

$$= G_2 + G_1P_2 + G_0P_1P_2 + C_{in}P_0P_1P_2$$

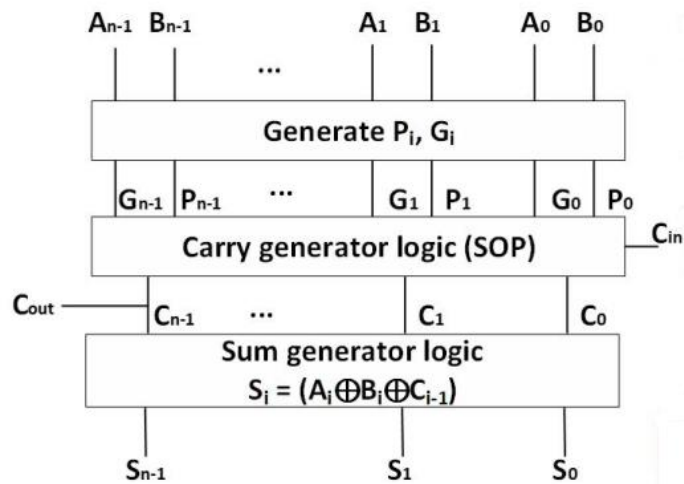
...

$$C_{n-1} = A_{n-1}B_{n-1} + C_{n-2}(A_{n-1} + B_{n-1}) = G_{n-1} + G_{n-2}P_{n-1} + G_{n-3}P_{n-2}P_{n-1} + \dots + C_{in}P_0P_1P_2\dots P_{n-1}$$

$$G_i = A_iB_i \quad (\text{Carry Generate})$$

$$P_i = A_i + B_i \quad (\text{Carry Propagate})$$

شماتیک مدار به این شکل خواهد بود:



در فایل vhdl که مدار را پیاده سازی کرده است، به دلیل این که G_i ها و P_i ها باید به صورت پشت سر هم انجام شوند تا carryها بدست بیایند، از process استفاده شده تا این عمل صورت بگیرد.

تاخیر جمع برای CLA در حالت کلی برابر با $4d$ و برای رقم نقلی برابر با $3d$ است. هزینه نیز برابر با $3n + n(n+3)/2$ خواهد بود. نتایج بدست آمده از سنتز این ماژول در ادامه آمده است:

```
Slice Logic Utilization:
Number of Slice LUTs:          13 out of 5720    0%
Number used as Logic:         13 out of 5720    0%

Slice Logic Distribution:
Number of LUT Flip Flop pairs used: 13
Number with an unused Flip Flop: 13 out of 13    100%
Number with an unused LUT: 0 out of 13    0%
Number of fully used LUT-FF pairs: 0 out of 13    0%
Number of unique control sets: 0
```

تعداد sliceهای CLA

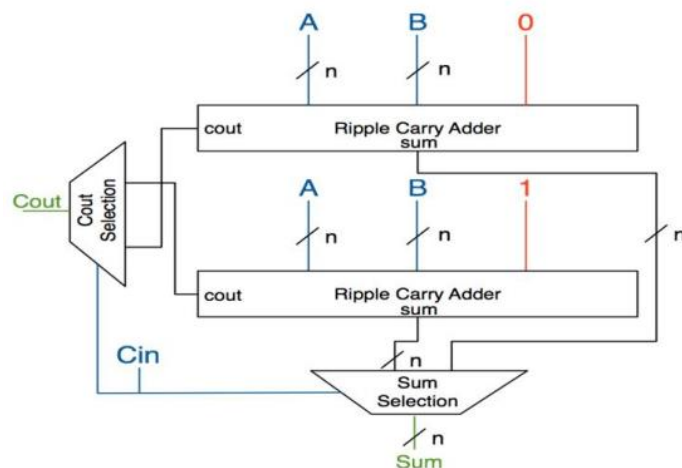
```
Delay:          9.114ns (Levels of Logic = 7)
Source:         B<0> (PAD)
Destination:    cout (PAD)
```

Data Path: B<0> to cout

Cell:in->out	fanout	Gate Delay	Net Delay	Logical Name (Net Name)
IBUF:I->O	4	1.222	0.912	B_0_IBUF (B_0_IBUF)
LUT3:I0->O	1	0.205	0.684	C<3><2>111 (C<3><2>11)
LUT5:I3->O	3	0.203	0.651	C<3><2>1 (C<3>)
LUT5:I4->O	3	0.205	0.755	C<5><4>2 (C<5>)
LUT5:I3->O	2	0.203	0.721	C<7><6>1 (C<7>)
LUT3:I1->O	1	0.203	0.579	cout<7>1 (cout_OBUF)
OBUF:I->O		2.571		cout_OBUF (cout)
<hr/>				
Total		9.114ns (4.812ns logic, 4.302ns route)		
		(52.8% logic, 47.2% route)		

تاخیر CLA

جمع کننده بعدی Carry Save Adder است. در این جمع کننده ما منتظر ورود cin نمی مانیم و یکبار محاسبات را با cin و بار دیگر با ۱ انجام می دهیم و بعدا با استفاده از mux تصمیم می گیریم که کدام یک از محاسبات را انجام دهیم. شماتیک مدار مانند زیر است:



پیاده سازی مدار نیز در فایل های vhdl انجام شده است. تاخیر و فضای اشغال شده پس از انجام سنتز به شکل زیر است:

```

Slice Logic Utilization:
Number of Slice LUTs:          18 out of 5720    0%
Number used as Logic:         18 out of 5720    0%

Slice Logic Distribution:
Number of LUT Flip Flop pairs used: 18
Number with an unused Flip Flop: 18 out of 18    100%
Number with an unused LUT: 0 out of 18    0%
Number of fully used LUT-FF pairs: 0 out of 18    0%
Number of unique control sets: 0
    
```

فضای CSA

```

Delay:          8.552ns (Levels of Logic = 6)
Source:         a<2> (PAD)
Destination:    sum<7> (PAD)
    
```

Data Path: a<2> to sum<7>

Cell:in->out	fanout	Gate Delay	Net Delay	Logical Name (Net Name)
IBUF:I->O	3	1.222	1.015	a_2_IBUF (a_2_IBUF)
LUT6:I0->O	4	0.203	0.912	RCA0/FA2/cout1 (RCA0/ci<2>)
LUT5:I2->O	1	0.205	0.684	mux8/mux6/output1_SW0 (N01)
LUT5:I3->O	3	0.203	0.755	mux8/mux6/output1 (mux8/mux6/output1)
LUT5:I3->O	1	0.203	0.579	mux2/output1 (cout_OBUF)
OBUF:I->O		2.571		cout_OBUF (cout)
Total		8.552ns (4.607ns logic, 3.945ns route) (53.9% logic, 46.1% route)		

تاخیر CSA

مقایسه فضای اشغال شده جمع کننده ها به شکل زیر است:

$CSA > CLA > RCA$

مقایسه تاخیر جمع کننده ها به شکل زیر است:

$RCA > CSA > CLA$

فایلهای پروژه نیز به همراه این گزارش آپلود شده است.