

دانشکده مهندسی کامپیوتر

آزمایشگاه معماری کامپیوتر

# آزمایشگاه معماری کامپیوتر



# جلسه چهارم

- ماشین حالت (State Machine)
- توالی یاب (Sequence Detector)

## ماشین حالت

برای مدل‌سازی سیستم که میان تعداد محدودی از حالت‌ها تغییر وضعیت می‌دهد.

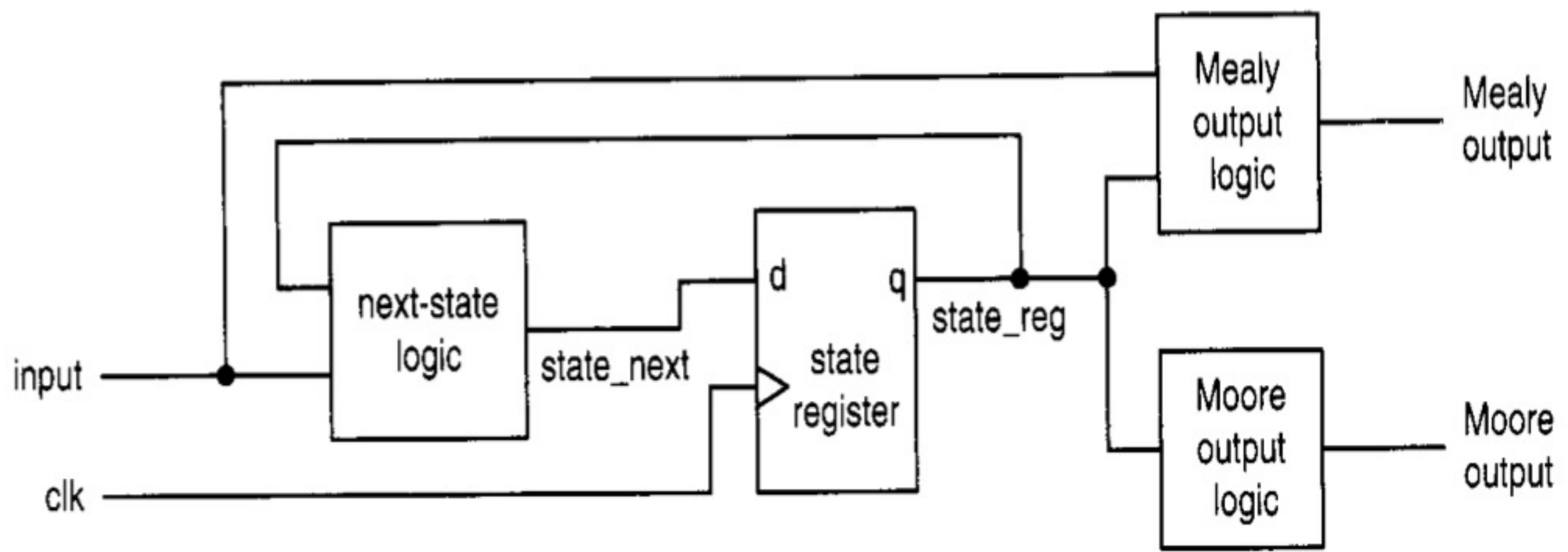
تغییر وضعیت به وضعیت فعلی (Cuttent State) و ورودی خارجی مرتبط است.

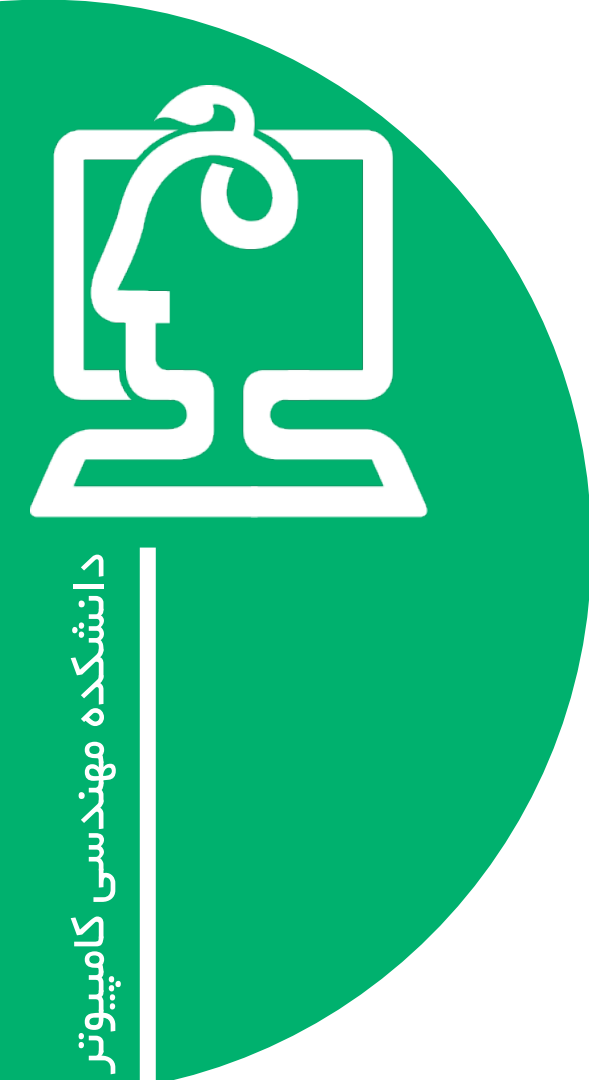
وضعیت‌ها مطابق یک الگو تکراری ساده تغییر حالت نمی‌دهند و از این لحاظ با یک مدار ترتیبی متفاوت است.

مداری که وضعیت بعدی را مشخص می‌کند می‌تواند یک random logic باشد.



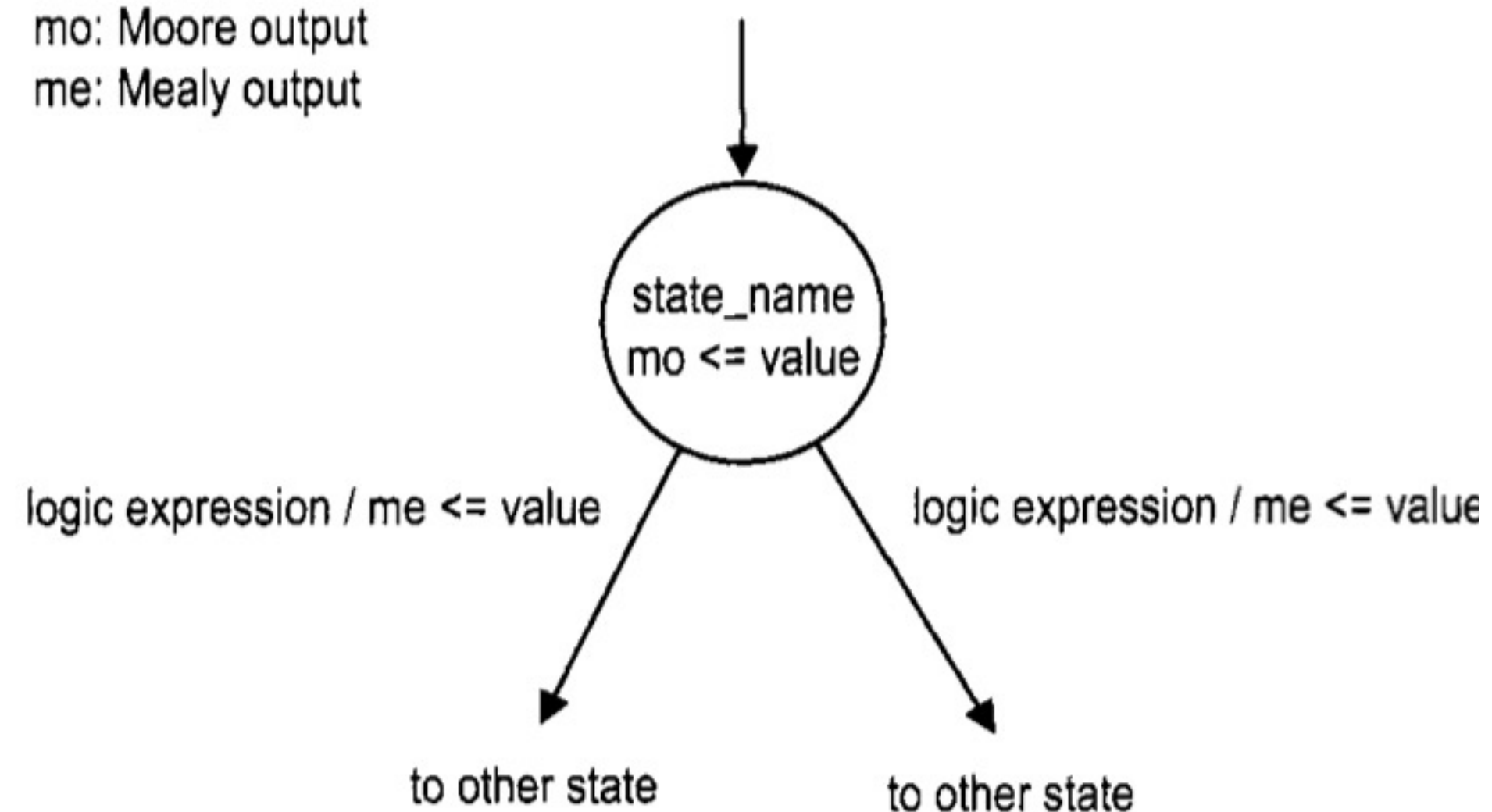
## میلی و مور





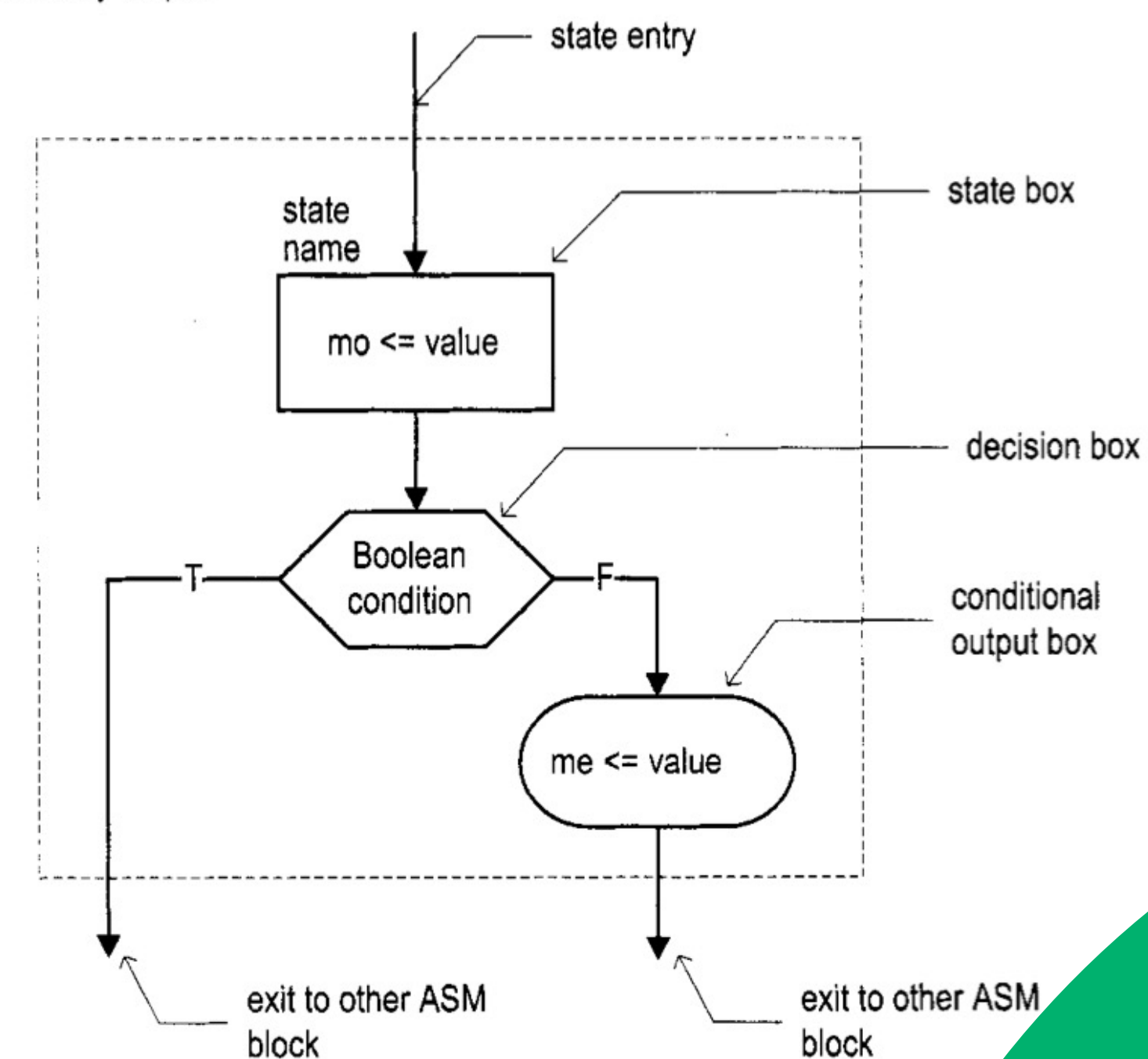
## نحوه نمایش ماشین حالت

mo: Moore output  
me: Mealy output

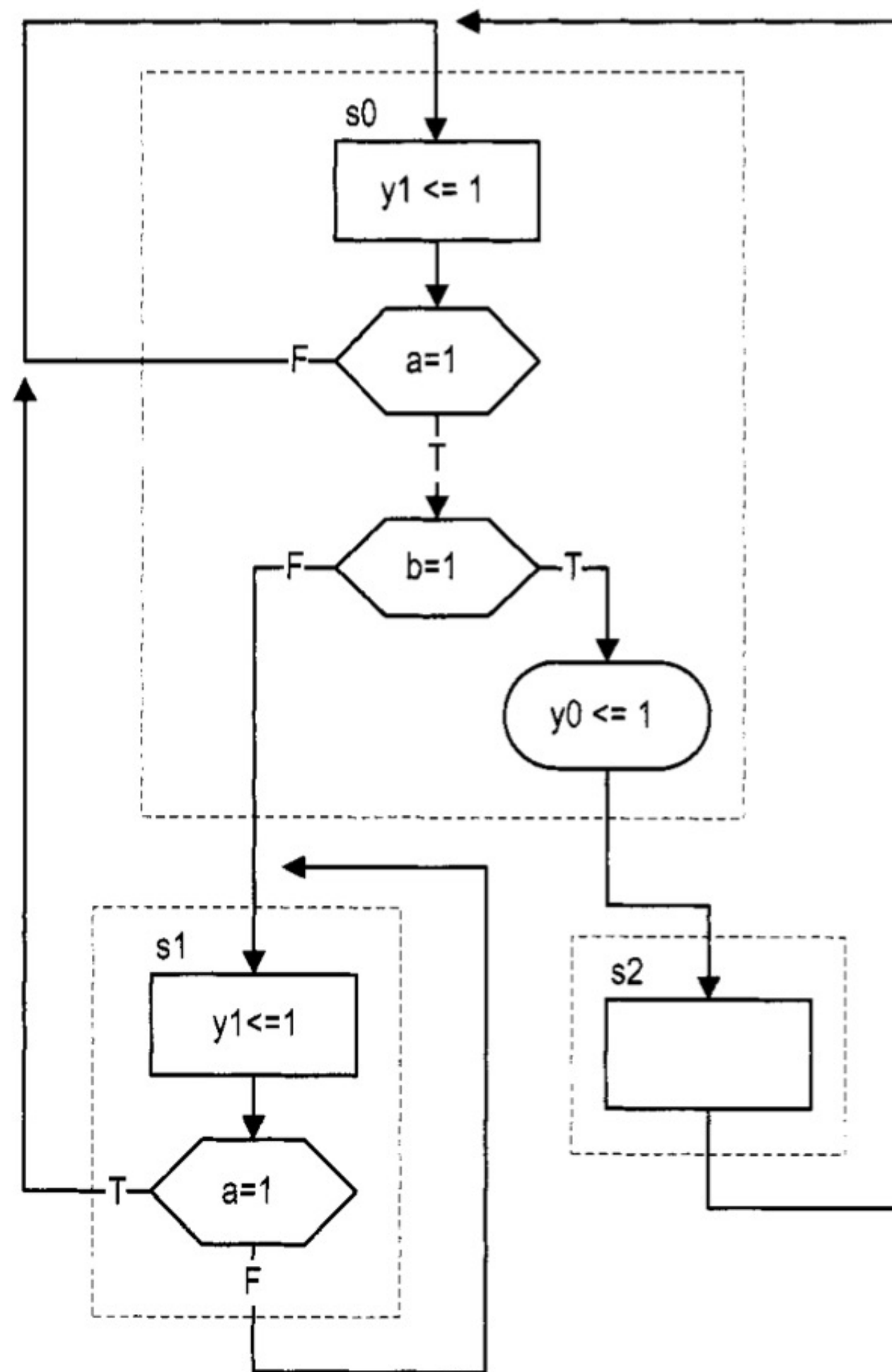
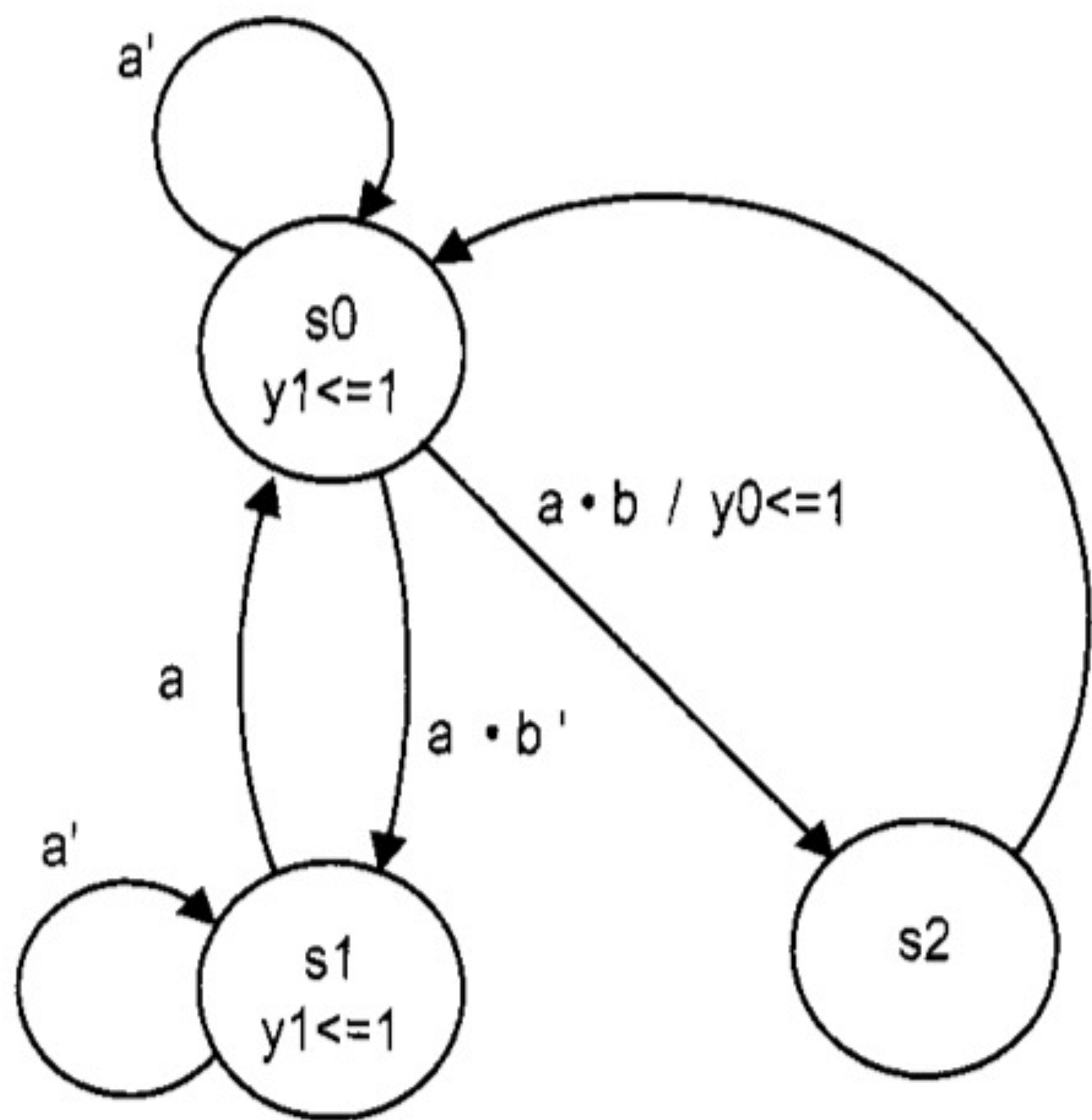
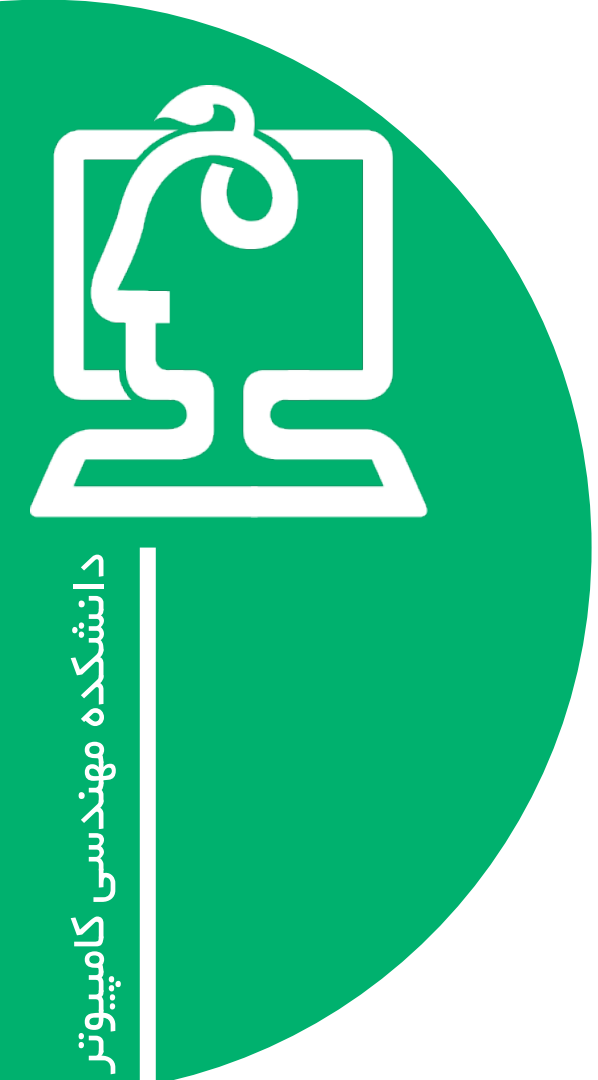


(a) Node

mo: Moore output  
me: Mealy output

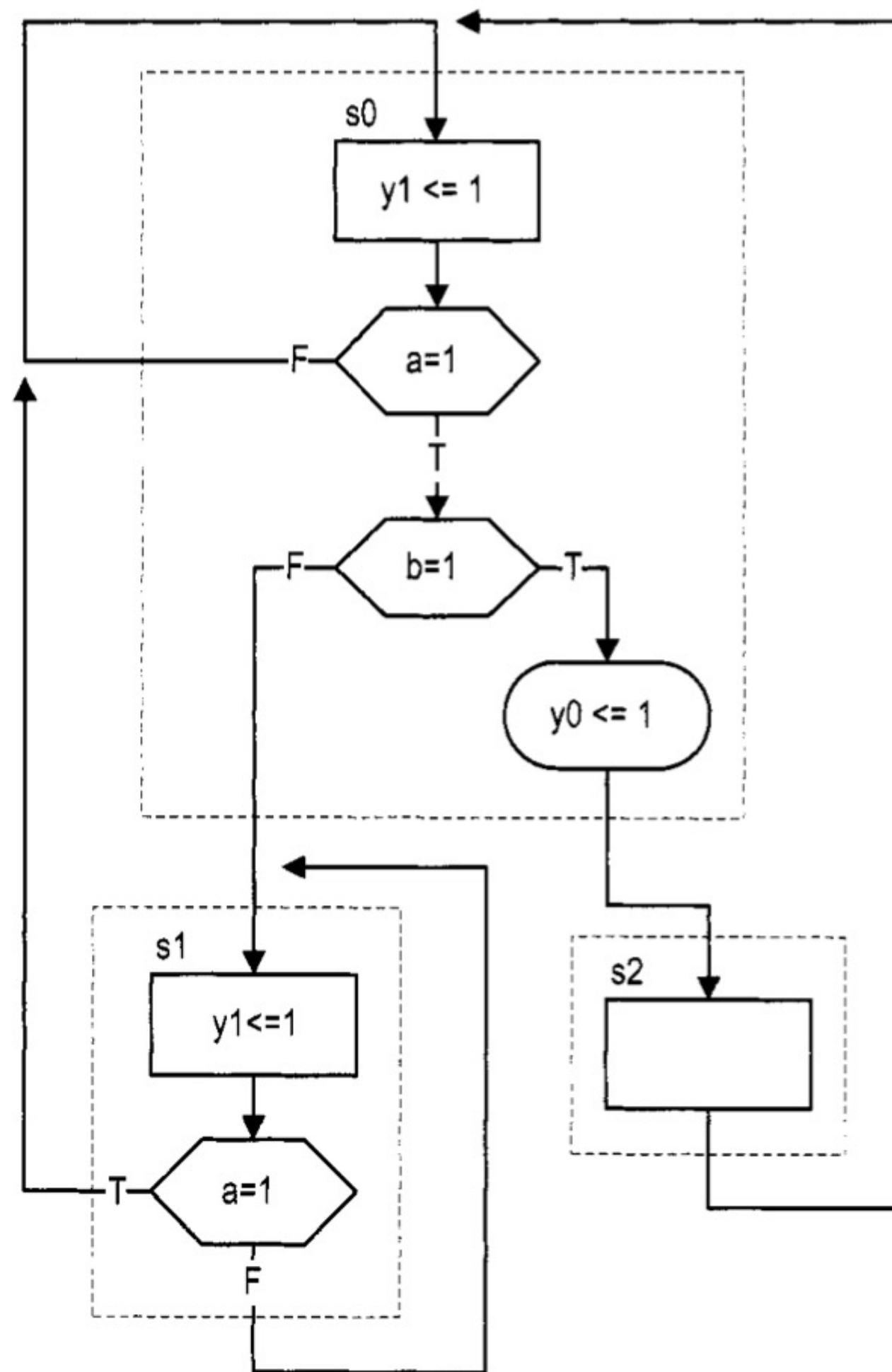
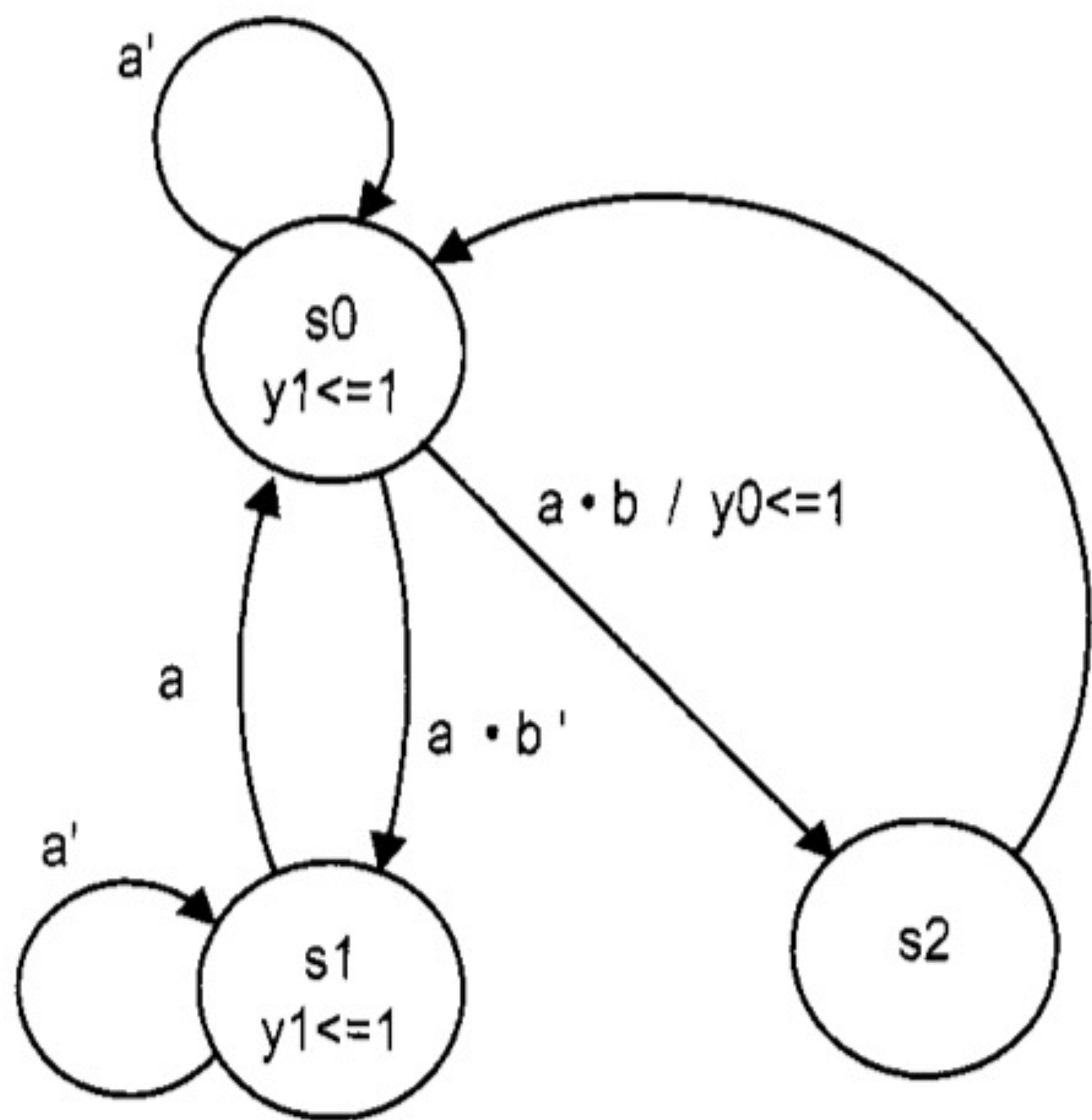
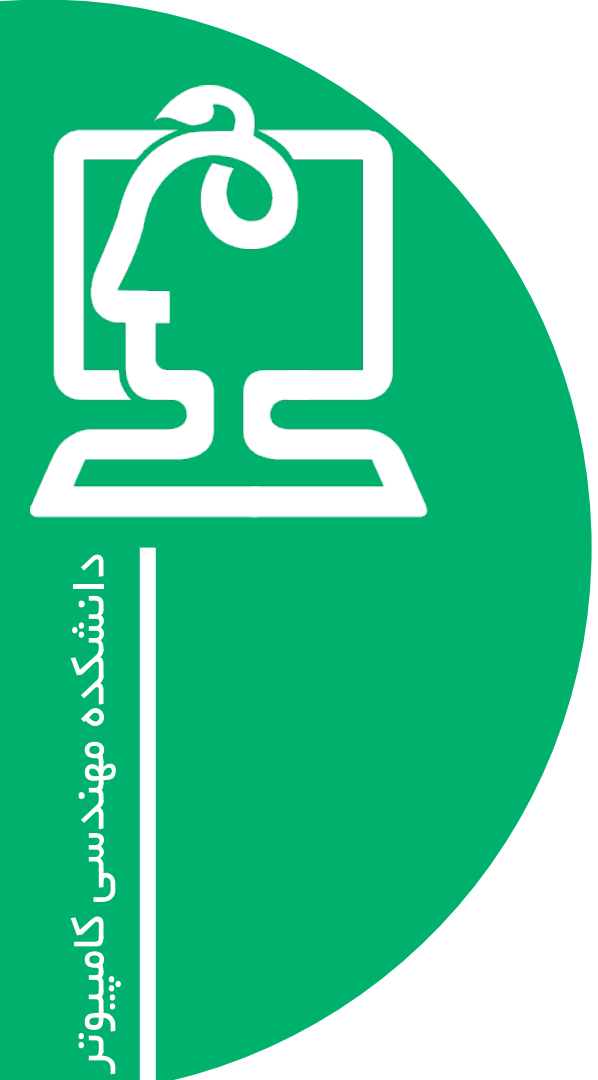


(b) ASM block

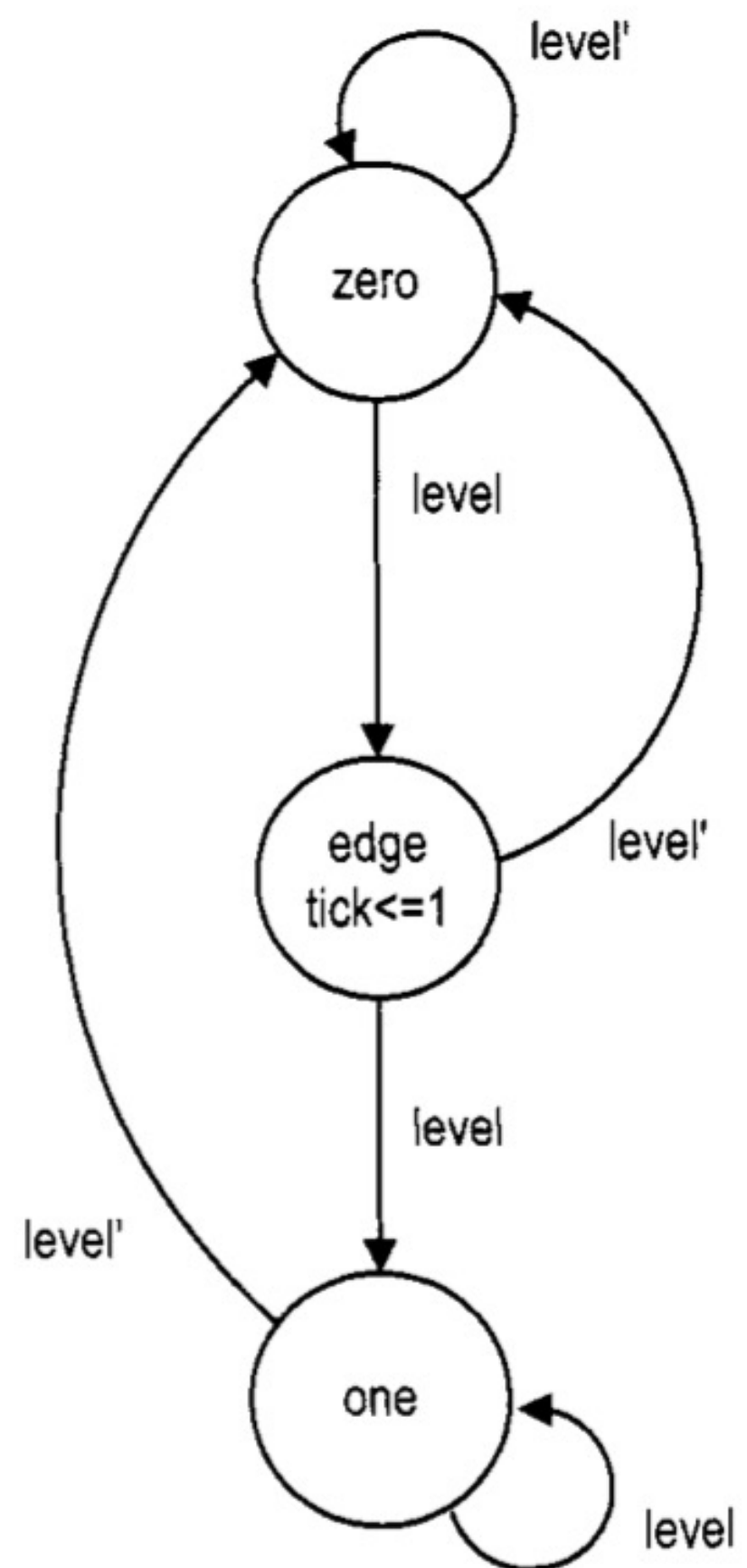


مثال

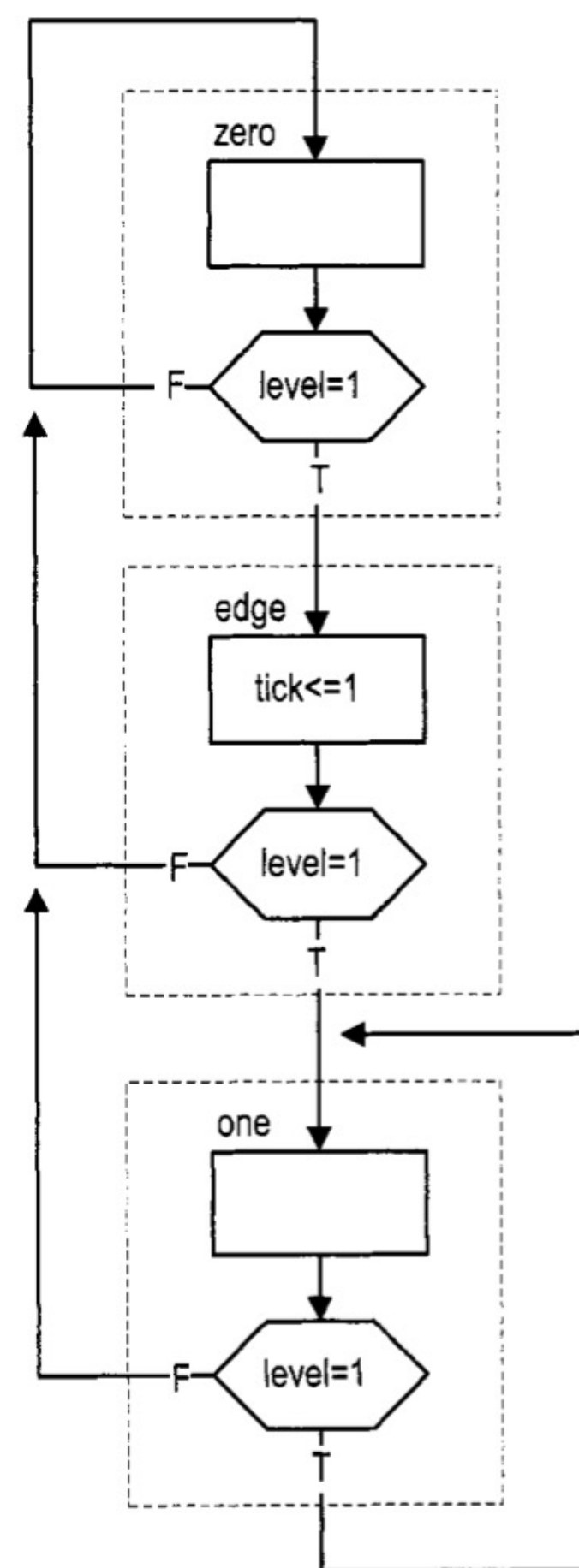




مثال



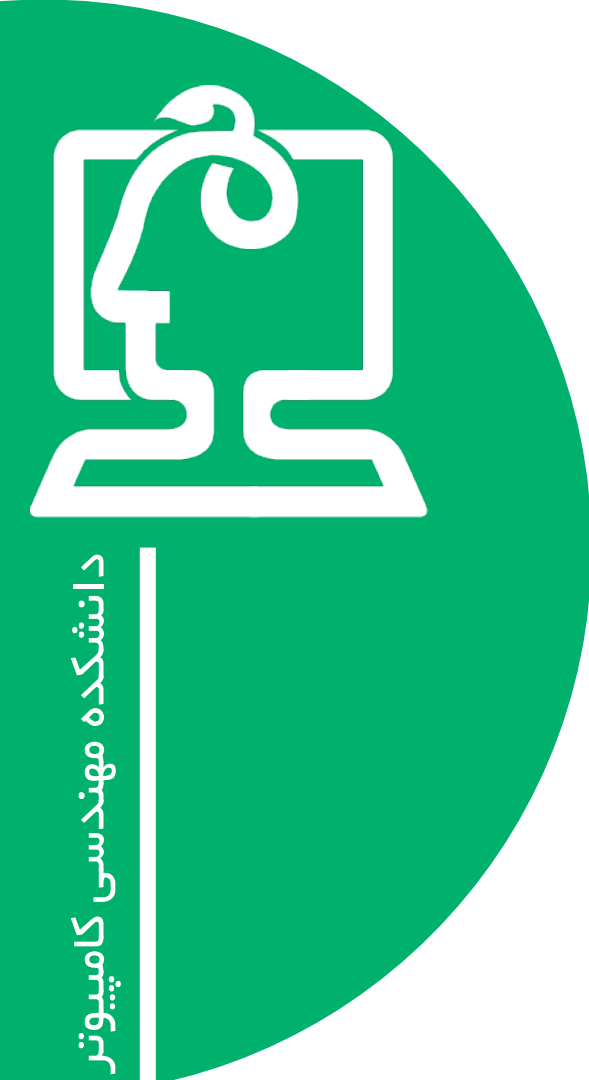
(a) State diagram



(b) ASM chart

مثال ۲





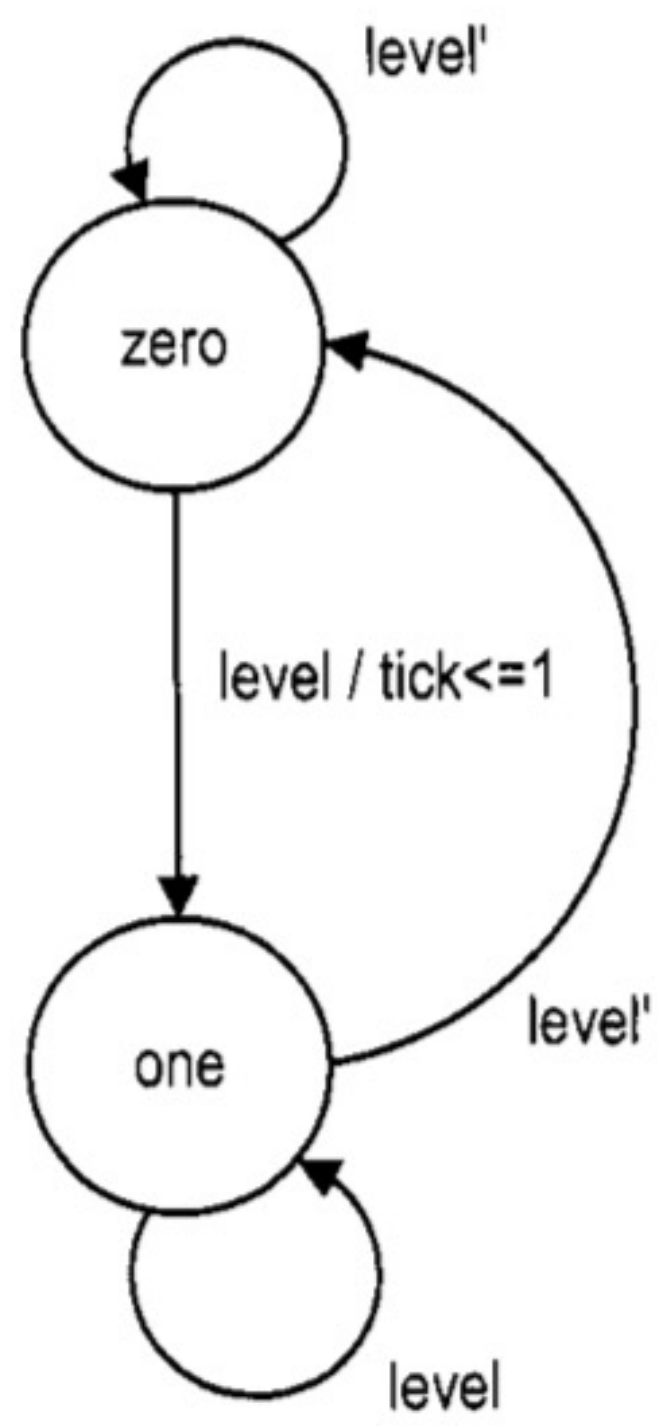
## مثال ۲

```
library ieee;
use ieee.std_logic_1164.all;
entity edge_detect is
    port(
5      clk, reset: in std_logic;
        level: in std_logic;
        tick: out std_logic
    );
end edge_detect;

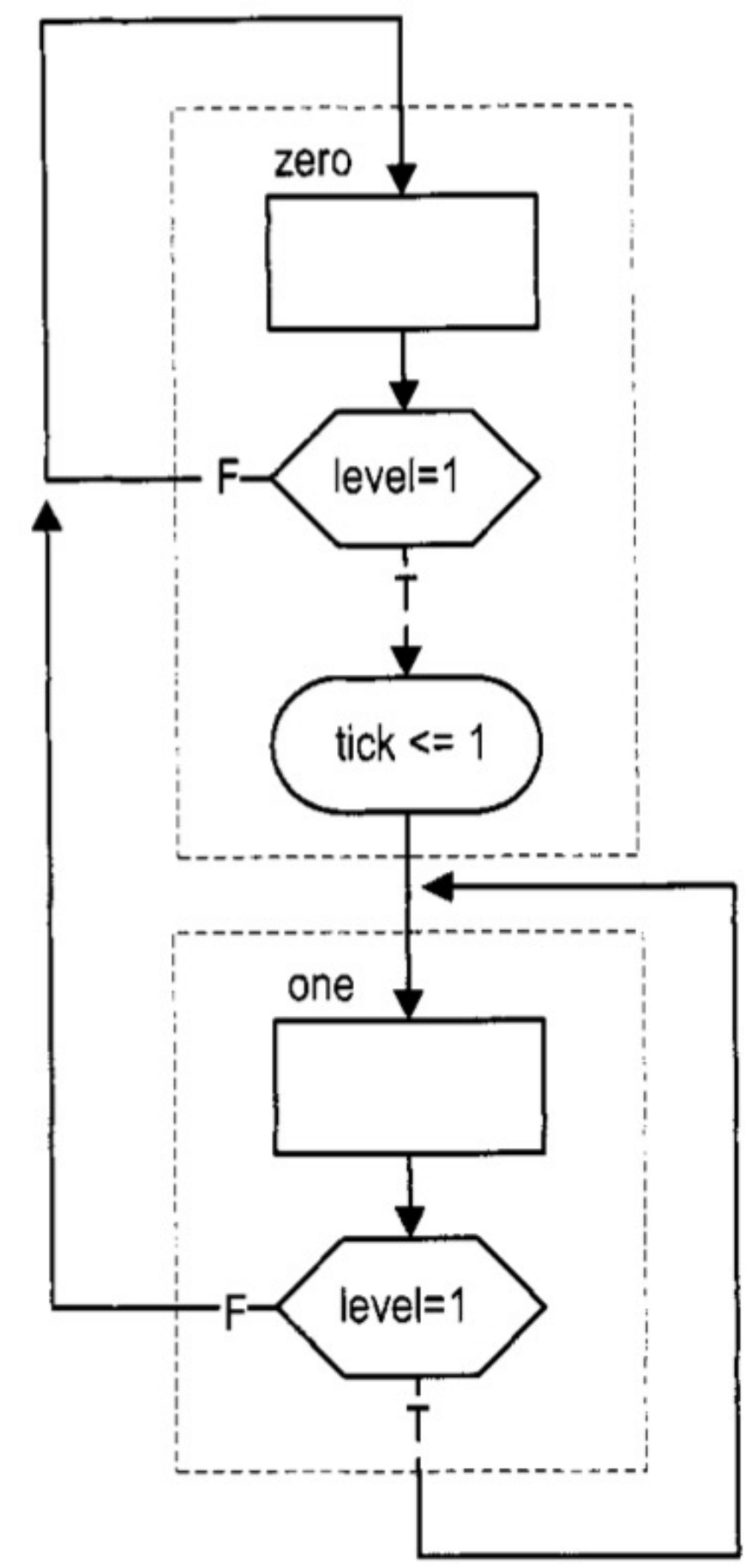
10 architecture moore_arch of edge_detect is
    type state_type is (zero, edge, one);
    signal state_reg, state_next: state_type;
begin
    15 -- state register
        process(clk, reset)
        begin
            if (reset='1') then
                state_reg <= zero;
            20     elsif (clk'event and clk='1') then
                state_reg <= state_next;
            end if;
        end process;
    -- next-state/output logic
    25 process(state_reg, level)
    begin
        state_next <= state_reg;
        tick <= '0';
        case state_reg is
```

## مثال ۲

```
30      when zero=>
          if level= '1' then
              state_next <= edge;
          end if;
      when edge =>
35          tick <= '1';
          if level= '1' then
              state_next <= one;
          else
              state_next <= zero;
40          end if;
      when one =>
          if level= '0' then
              state_next <= zero;
          end if;
45      end case;
      end process;
end moore_arch;
```



(a) State diagram



(b) ASM chart

مثال ۲

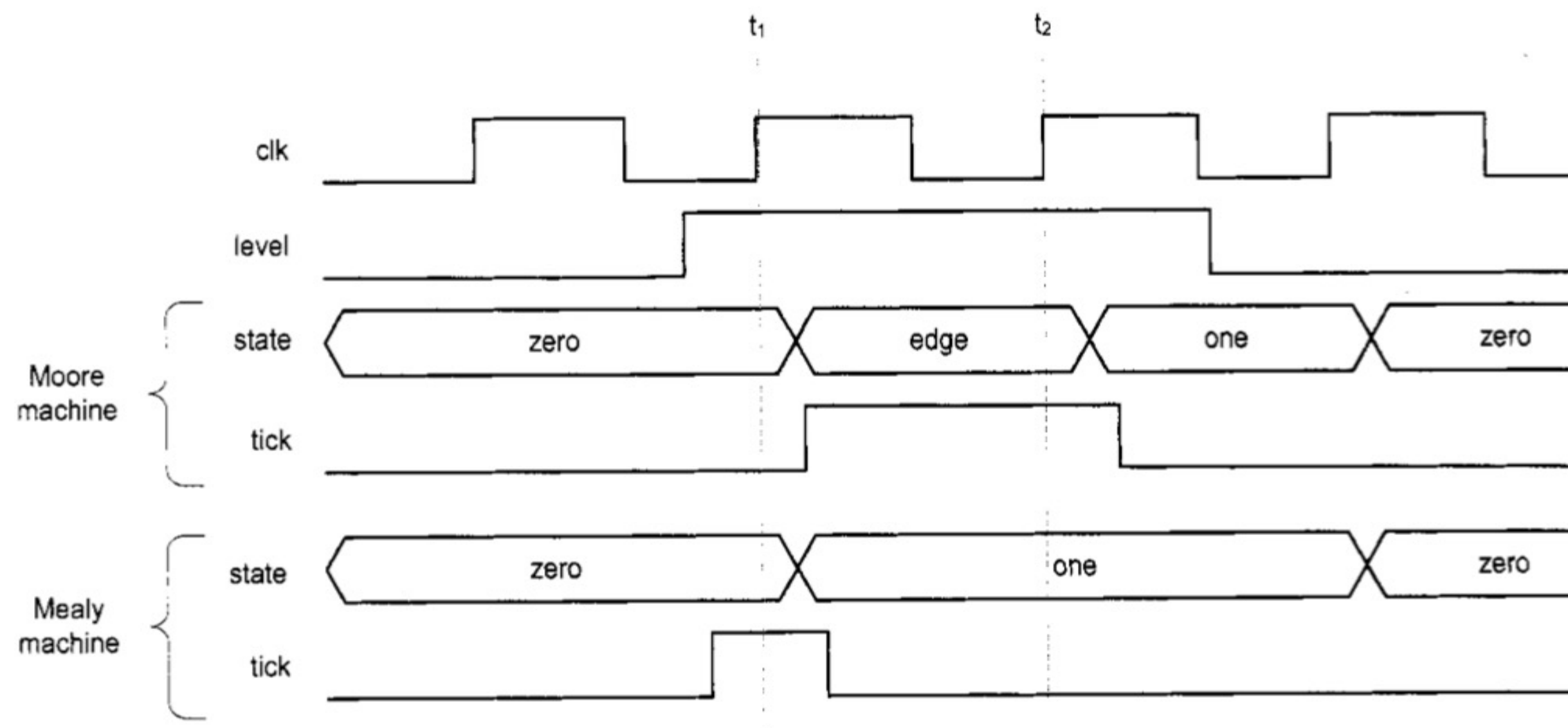
## مثال ۲

```
architecture mealy_arch of edge_detect is
    type state_type is (zero, one);
    signal state_reg, state_next: state_type;
begin
    5  -- state register
    process(clk,reset)
    begin
        if (reset='1') then
            state_reg <= zero;
        10  elsif (clk'event and clk='1') then
            state_reg <= state_next;
        end if;
    end process;
    -- next-state/output logic
    15  process(state_reg,level)
    begin
        state_next <= state_reg;
        tick <= '0';
        case state_reg is
        20  when zero=>
            if level= '1' then
                state_next <= one;
                tick <= '1';
            end if;
        25  when one =>
            if level= '0' then
                state_next <= zero;
            end if;
        end case;
    30  end process;
end mealy_arch;
```

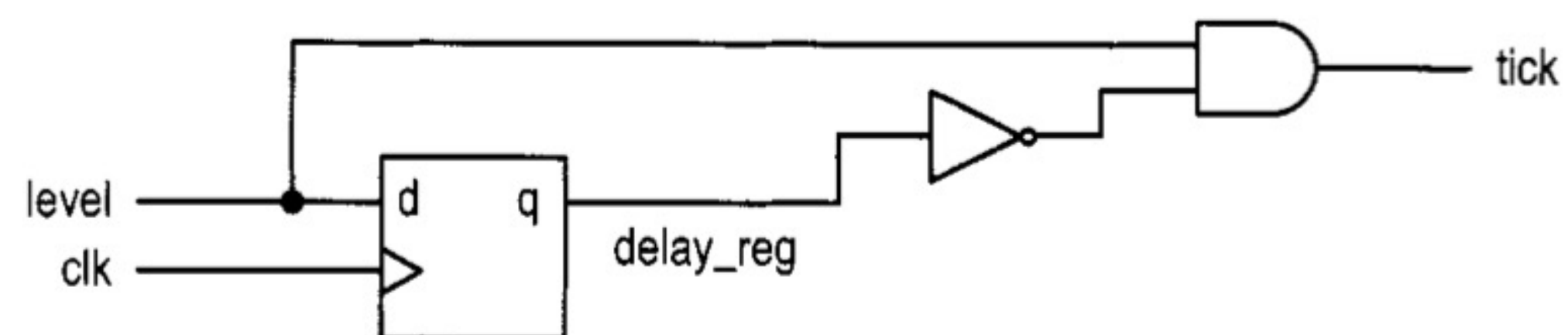




## مثال ۲



**Figure 5.5** Timing diagram of two edge detectors.



**Figure 5.7** Gate-level implementation of an edge detector.



## مثال ۲

```
architecture gate_level_arch of edge_detect is
    signal delay_reg: std_logic;
begin
    -- delay register
    5 process (clk, reset)
        begin
            if (reset='1') then
                delay_reg <= '0';
            elsif (clk'event and clk='1') then
                10 delay_reg <= level;
            end if;
        end process;
        -- decoding logic
        tick <= (not delay_reg) and level;
    15 end gate_level_arch;
```

