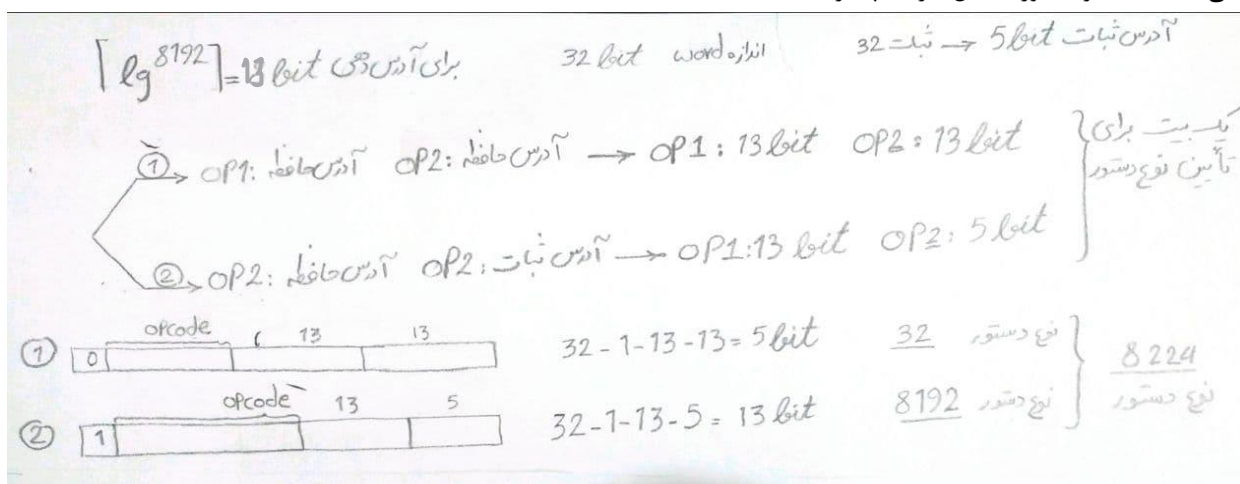




بسمه تعالی  
تمرین سیزدهم درس معماری کامپیوتر  
نیم سال اول ۹۹-۰۰  
مهلت تحویل ساعت ۲۳:۵۵  
روز ۱۳۹۹/۱۰/۱۹



۱. یک سیستم دارای حافظه  $8192 * 32$  است که در هر کلمه از حافظه، یک دستور وجود دارد. در این ماشین دستورات با دو عملوند هستند که عملوند اول آدرس حافظه است و عملوند دوم می تواند آدرسی از حافظه یا آدرس یکی از ۳۲ ثبات و یا مقداردهی بلا فصل ۸ بیتی باشد. حداکثر دستورات قابل تعریف چقدر است؟



۲. بخش مسیر داده یک پردازنده به شکل زیر داده شده است.

- هر کلمه حافظه 10 بیتی است و هر دستورالعمل پردازنده حداقل دو کلمه است.
- همه ی ثبات ها 10 بیتی و دارای خطوط کنترل زیر می باشند.

INC	برای increment کردن.
CLR	برای پاک کردن.
LD	برای load کردن.

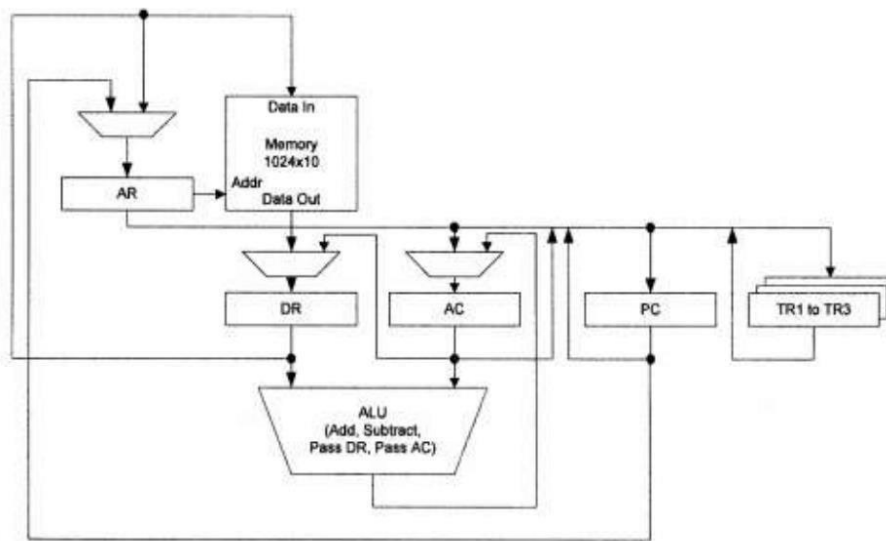
- علامت addr نشان دهنده ی آدرس دهی مستقیم است.

به فرض اینکه نشانی دستور بعدی در ثبات PC باشد، چند سیکل ساعت لازم است تا دستور add word زیر واکنشی شده و اجرا شود؟ (دستور روی کلمه 10 بیتی عمل می کند)

Wadd (src1), (src2), (dst)

دستور:

30	20	10	0
Destination address	Operand2 address	Operand 1 address	Opcode



1.  $AR \leftarrow PC$
2.  $DR \leftarrow M[AR], PC \leftarrow PC+1$  //fetch opcode
3. // DECODE OPCODE
4.  $AR \leftarrow PC, AC \leftarrow DR$  // ALU [pass DR]
5.  $DR \leftarrow M[AR], PC \leftarrow PC+1, TR1 \leftarrow AC$  //fetch OP1
6.  $AR \leftarrow PC, AC \leftarrow DR$  // ALU [pass DR]
7.  $DR \leftarrow M[AR], PC \leftarrow PC+1, TR2 \leftarrow AC$  //fetch OP2
8.  $AR \leftarrow DR$
9.  $DR \leftarrow M[AR]$
10.  $AC \leftarrow DR, AR \leftarrow TR2$
11.  $DR \leftarrow M[AR]$
12.  $AC \leftarrow DR + AC, AR \leftarrow PC$  / ALU [Add]
13.  $DR \leftarrow M[AR], PC \leftarrow PC+1$  // fetch destination
14.  $AR \leftarrow DR$
15.  $M[AR] \leftarrow AC$

۳. یک کامپیوتر پایه دارای مشخصات زیر است:

- گذرگاه داده و آدرس مشترک ۱۶ بیت
- پردازنده دارای ۱۶ ثبات عام منظوره ۱۶ بیتی و حافظه  $2^8$  ردیف دوبایتی است.
- دستورالعمل‌های سیستم مطابق جدول زیر است.

MOV Rd, Op2*	$Rd \leftarrow Op2$	انتقال محتوای Op2 به ثبات عام منظور Rd
LDR Rd, A	$Rd \leftarrow MEM[A]$	انتقال محتوای حافظه در آدرس A به ثبات عام منظوره Rd
STR A, X	$MEM[A] \leftarrow X$	ذخیره محتوای ثبات X به حافظه در آدرس A
POP Rd	$Rd \leftarrow MEM[SP]$	برداشتن داده از سر پشته و ذخیره در ثبات Rd
ADD Rd, Op2	$Rd \leftarrow Rd + Op2$	جمع Op2 و ثبات Rd و ذخیره در ثبات Rd
SUB Rd, Op2	$Rd \leftarrow Rd - Op2$	تفریق Op2 و ثبات Rd و ذخیره در ثبات Rd
JMP [A]	$PC \leftarrow A$	پرش غیر شرطی به آدرس A
LDI Rd, i	$Rd \leftarrow i$	انتقال داده ورودی بلافاصل به هر یک از ثبات‌ها

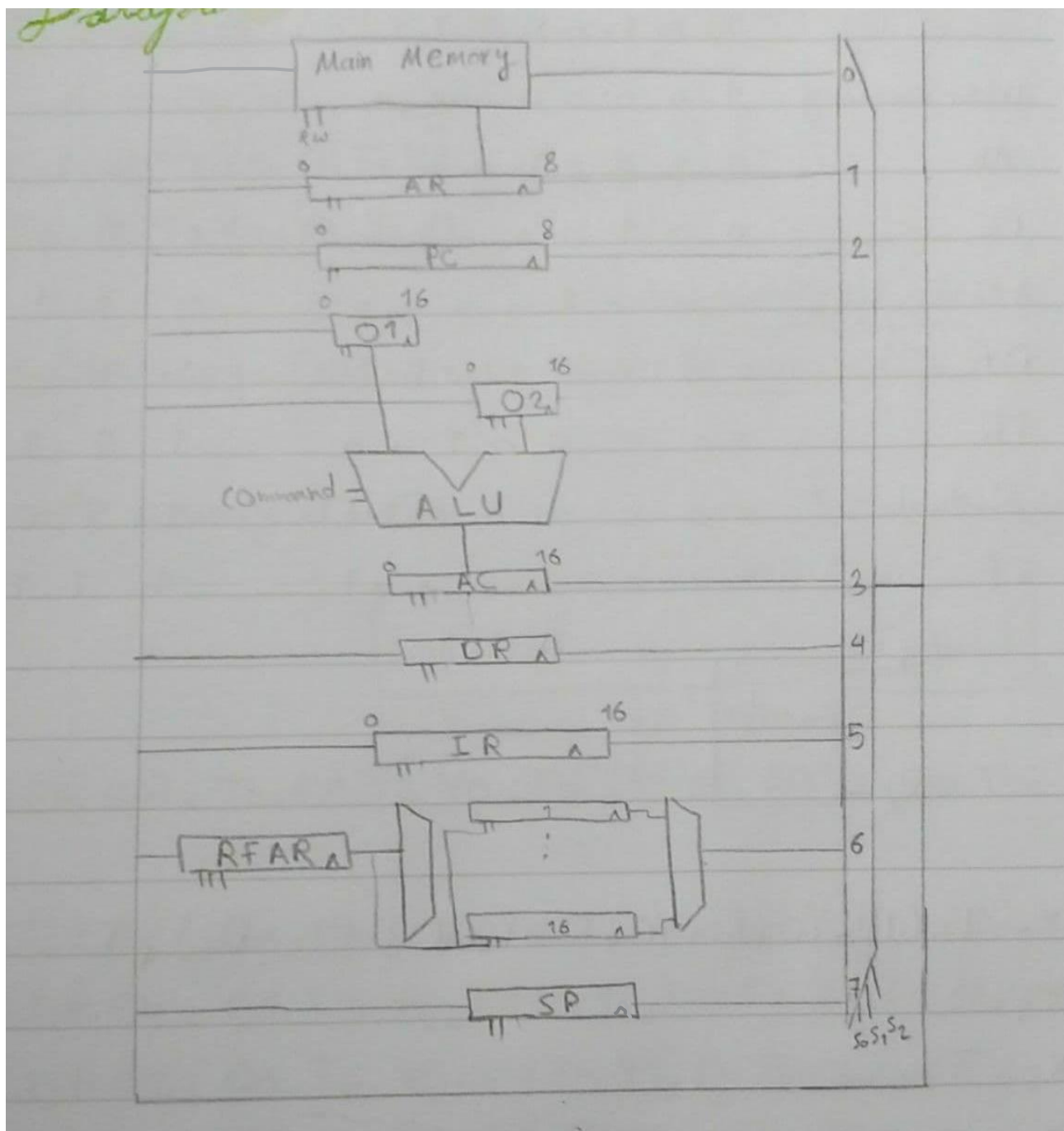
\* Op2 می‌تواند یک آدرس حافظه یا یک مقداردهی بلافاصل ۸ بیتی باشد (در همه دستوالعمل‌های نوشته شده).

الف) قالب دستور العمل مناسب برای کامپیوتر پایه طراحی کنید.

قالب دستور %				
اندازه word ۱۶ بیت				
۸ بیت آدرس دهی ثبات				
۴ بیت آدرس دهی حافظه				
۳ بیت opcode				
۱ بیت				
۸ بیت				
۴ بیت				
MOV	000	0	آدرس حافظه ۸ بیت	ثبات ۴ بیت
MOV	000	1	مقداردهی بلافاصل ۸ بیت	ثبات ۴ بیت
ADD	001	0	حافظه ۸ بیت	ثبات ۴ بیت
ADD	001	1	بلافاصل ۸ بیت	ثبات ۴ بیت
SUB	010	0	حافظه ۸ بیت	ثبات ۴ بیت
SUB	010	1	بلافاصل ۸ بیت	ثبات ۴ بیت
LDR	011	X	حافظه ۸ بیت	ثبات ۴ بیت
STR	100	X	8	4
POP	101	X	X	4
JMP	110	X	8 بیت	X
LDI	111	X	بلافاصل ۸ بیت	4

ب) مسیر داده‌ی<sup>۱</sup> این پردازنده را رسم کنید.

<sup>۱</sup> Data path



پ) ریز عملیات لازم برای اجرای دستورات این سیستم را بنویسید.

Instruction fetch:

T0:  $AR \leftarrow PC$

T1:  $IR \leftarrow M[AR], PC \leftarrow PC+1$

Instruction decode:

T2: Decode IR[0:2] into D0 to D7, Decode IR[3] into Y0,Y1

MOV ادرس حافظه:

D0.T3.Y0:  $AR \leftarrow IR[4:12]$

D0.T4.Y0:  $RFAR \leftarrow IR[12:15]$

D0.T5.Y0:  $DR \leftarrow M[AR]$

D0.T6.Y0:  $[RFAR] \leftarrow DR, SC \leftarrow 0$

MOV بلا فصل:

D0.T3.Y1:  $DR \leftarrow IR[4:12]$

D0.T4.Y1:  $RFAR \leftarrow IR[12:15]$

D0.T5.Y1:  $[RFAR] \leftarrow DR, SC \leftarrow 0$

ADD ادرس حافظه:

D1.T3.Y0:  $AR \leftarrow IR[4:12]$

D1.T4.Y0:  $RFAR \leftarrow IR[12:15]$

D1.T5.Y0:  $O1 \leftarrow M[AR]$

D1.T6.Y0:  $O2 \leftarrow [RFAR]$

D1.T7.Y0:  $AC \leftarrow O1 + O2$  //ALU

D1.T8.Y0:  $[RFAR] \leftarrow AC, SC \leftarrow 0$

ADD بلا فصل:

D1.T3.Y1:  $O1 \leftarrow IR[4:12]$

D1.T4.Y1:  $RFAR \leftarrow IR[12:15]$

D1.T5.Y1:  $O2 \leftarrow [RFAR]$

D1.T6.Y1:  $AC \leftarrow O1 + O2$  //ALU

D1.T7.Y1:  $[RFAR] \leftarrow AC, SC \leftarrow 0$

SUB ادرس حافظه:

D2.T3.Y0:  $AR \leftarrow IR[4:12]$

D2.T4.Y0:  $RFAR \leftarrow IR[12:15]$

D2.T5.Y0:  $O1 \leftarrow M[AR]$

D2.T6.Y0:  $O2 \leftarrow [RFAR]$

D2.T7.Y0:  $AC \leftarrow O1 - O2$  //ALU

D2.T8.Y0:  $[RFAR] \leftarrow AC, SC \leftarrow 0$

SUB بلا فصل:

D2.T3.Y1:  $O1 \leftarrow IR[4:12]$

D2.T4.Y1:  $RFAR \leftarrow IR[12:15]$

D2.T5.Y1:  $O2 \leftarrow [RFAR]$

D2.T6.Y1:  $AC \leftarrow O1 - O2$  //ALU

D2.T7.Y1:  $[RFAR] \leftarrow AC, SC \leftarrow 0$

LDR:

D3.T3:  $AR \leftarrow IR[4:12]$

D3.T4:  $RFAR \leftarrow IR[12:15]$

D3.T5:  $[RFAR] \leftarrow M[AR], SC \leftarrow 0$

STR:

D4.T3:  $AR \leftarrow IR[4:12]$   
D4.T4:  $RFAR \leftarrow IR[12:15]$   
D4.T5:  $M[AR] \leftarrow [RFAR]$  ,  $SC \leftarrow 0$

POP:

D5.T3:  $AR \leftarrow SP$   
D5.T4:  $RFAR \leftarrow IR[12:15]$   
D5.T5:  $[RFAR] \leftarrow M[AR]$ ,  $SP \leftarrow SP+1$ ,  $SC \leftarrow 0$

JMP:

D6.T3:  $PC \leftarrow IR[4:12]$  ,  $SC \leftarrow 0$

LDT:

D7.T3:  $RFAR \leftarrow IR[12:15]$   
D7.T4:  $[RFAR] \leftarrow IR[4:12]$ ,  $SC \leftarrow 0$

ت) منطق واحد کنترل<sup>۲</sup> (پایه کنترلی) این سیستم را طراحی کنید.

پایه کنترلی BUS

پایه های کنترلی ALU

پایه های کنترلی ثبات ها

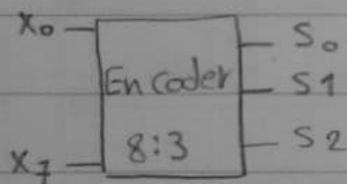
پایه های کنترلی MainMemory

---

<sup>2</sup> Control unit

# پایه های مشترک BUS

Select reg	X <sub>0</sub>	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>	X <sub>7</sub>	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>
Main memory	1	0	0	0	0	0	0	0	0	0	0
AR	0	1	0	0	0	0	0	0	0	0	1
PC	0	0	1	0	0	0	0	0	0	1	0
AC	0	0	0	1	0	0	0	0	0	1	1
DR	0	0	0	0	1	0	0	0	1	0	0
IR	0	0	0	0	0	1	0	0	1	0	1
Stack pointer?	0	0	0	0	0	0	1	0	1	1	0
SP	0	0	0	0	0	0	0	1	1	1	1



$$X_0 = T_5(D_0Y_0 + D_1Y_0 + D_2Y_0 + D_3 + D_4 + D_5) + T_1$$

$$X_1 = 0$$

$$X_2 = 0$$

$$X_3 = D_1T_8Y_0 + D_1T_7Y_1 + D_2T_8Y_0 + D_2T_7Y_1$$

$$X_4 = D_0T_6Y_0 + D_0T_5Y_1$$

$$X_5 = T_3 + T_4(D_0 + \dots + D_5)$$

$$X_6 = D_1T_6Y_0 + D_1T_5Y_1 + D_2T_6Y_0 + D_2T_5Y_1 + D_4T_5$$

$$X_7 = D_5T_3$$



Command ALU :  $(C_0, C_1)$

پایه های کنترل ALU

$$C_0 = D_1 T_7 Y_0 + D_1 T_6 Y_1$$

$$C_1 = D_2 T_7 Y_0 + D_2 T_6 Y_1$$

پایه های کنترل Main Memory

$$\text{Read Memory} = T_5 (D_0 Y_0 + D_1 Y_0 + D_2 Y_0 + D_3 + D_4 + D_5)$$

$$\text{write Memory} = D_4 T_5$$

پایه های کنترل ثبات ها LDR, INC

$$\text{LDR AR} = T_0 + D_1 T_3 Y_0 + D_2 T_3 Y_0 + D_3 T_3 + D_4 T_3 + D_5 T_3 +$$

$$\text{LDR PC} = D_6 T_3$$

$$\text{LDR O}_1 = D_1 T_5 Y_0 + D_1 T_3 Y_1 + D_2 T_5 Y_0 + D_2 T_3 Y_1$$

$$\text{LDR O}_2 = D_1 T_6 Y_0 + D_1 T_5 Y_1 + D_2 T_6 Y_0 + D_2 T_5 Y_1$$

$$\text{LDR AC} = D_1 T_7 Y_0 + D_1 T_6 Y_1 + D_2 T_7 Y_0 + D_2 T_6 Y_1$$

$$\text{LDR DR} = D_0 T_5 Y_0 + D_0 T_3 Y_1$$

$$\text{LDR IR} = T_1$$

$$\text{LDR RFAR} = D_0 T_4 Y_0 + D_0 T_4 Y_1 + D_1 T_4 Y_0 + D_1 T_4 Y_1 + D_2 T_4 Y_0 + D_2 T_4 Y_1 + D_3 T_4 + D_4 T_4 + D_5 T_4 + D_7 T_3$$

$$\text{INC PC} = T_1 \quad \text{INC SP} = D_5 T_5$$



لطفا نکات زیر را در نظر بگیرید.

۱- تمرینات را به صورت انفرادی انجام دهید. با هم حل کردن نیز مشکل دارد.

۲- پاسخ‌های خود را با کیفیت مناسب و خوانا اسکن کنید. برای نامگذاری فایل تکلیف ابتدا شماره دانشجویی و سپس نام و نام خانوادگی و این دو را با یک «\_» از هم جدا کنید.

به عنوان مثال : StudentNum\_Name.pdf

۳- تمیزی و خوانایی پاسخ تمرینات از اهمیت بالایی برخوردار است.

۴- اشکالات خود را می‌توانید از طریق ایمیل [cafall2020@gmail.com](mailto:cafall2020@gmail.com) بپرسید.

۵- مهلت تحویل تمرین ساعت ۲۳:۵۵ جمعه ۱۹ دی ۹۹ می‌باشد.

موفق باشید