



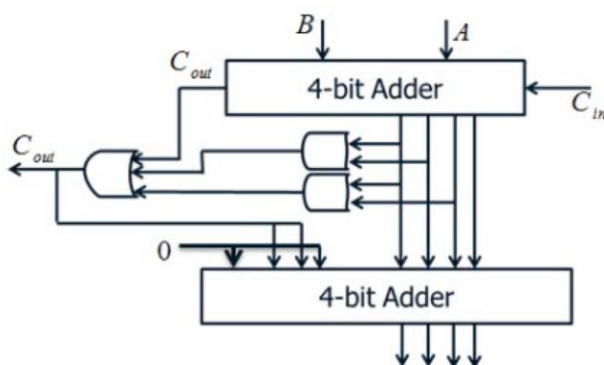
بسمه تعالی  
تمرین هفتم درس معماری کامپیوتر  
نیم سال اول ۹۹-۰۰  
مهلت تحویل ساعت ۲۳:۵۵  
روز ۱۳۹۹/۰۸/۲۳



۱. حاصل جمع دو عدد علامت دار  $A$  و  $B$  در زیر نشان داده شده است. مداری را طراحی کنید که بتواند با استفاده از بیت های ورودی و خروجی، تشخیص دهد که آیا در حاصل جمع، سرریز<sup>۱</sup> رخ داده است یا خیر.

$$\begin{array}{r} A = S_A A_{n-2} \dots A_1 A_0 \\ B = S_B B_{n-2} \dots B_1 B_0 \\ + \dots \dots \dots \\ O = S_O O_{n-2} \dots O_1 O_0 \end{array}$$

۲. شکل زیر طرح یک جمع کننده ی BCD (دهدهی) یک رقمی را نشان می دهد. اگر تاخیر هر تمام جمع کننده<sup>۲</sup> در محاسبه ی بیت های جمع و رقم نقلی را برابر  $d_{FA}$  و تاخیر هر گیت AND یا OR را برابر  $d_{gate}$  در نظر بگیریم، بیشترین تاخیر در جمع کننده ی دهدهی ۲ رقمی که در آن از جمع کننده های Ripple Adder (RCA) استفاده شده است را به دست آورید.

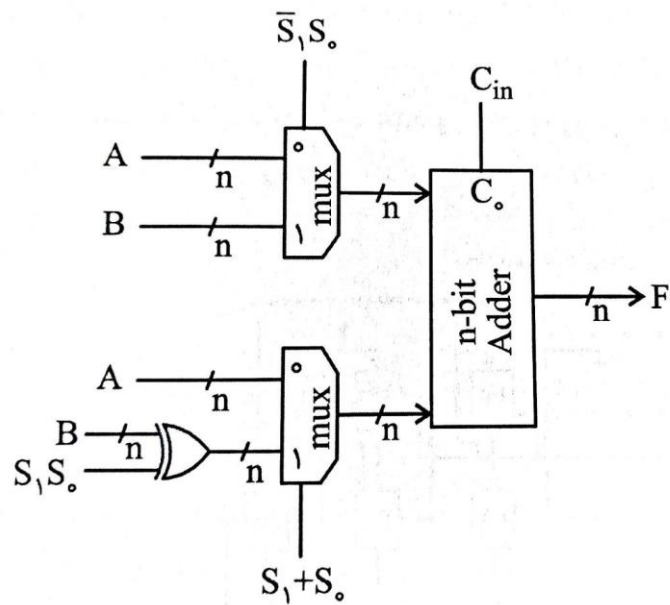


۳. شکل صفحه ی بعد یک مدار حسابی را نشان می دهد. جدول تابع این مدار را تکمیل کنید.

S1	S2	Cin	F
0	0	0	?
0	0	1	?
0	1	0	?
0	1	1	?
1	0	0	?
...	...	...	?
1	1	1	?

<sup>1</sup> Overflow

<sup>2</sup> Full Adder (FA)



لطفا نکات زیر را در نظر بگیرید.

- ۱- تمرینات را به صورت انفرادی انجام دهید. با هم حل کردن نیز مشکل دارد.
- ۲- پاسخ‌های خود را با کیفیت مناسب و خوانا اسکن کنید. برای نامگذاری فایل تکلیف ابتدا شماره دانشجویی و سپس نام و نام خانوادگی و این دو را با یک «\_» از هم جدا کنید.

StudentNumber\_Name.pdf

- ۳- تمیزی و خوانایی پاسخ تمرینات از اهمیت بالایی برخوردار است.
- ۴- اشکالات خود را می‌توانید از طریق ایمیل [cafall2020@gmail.com](mailto:cafall2020@gmail.com) بپرسید.
- ۵- مهلت تحویل تمرین ساعت ۲۳:۵۵ جمعه ۲۳ آبان ۹۹ می‌باشد.

موفق باشید