

دانشکده مهندسی کامپیوتر

آزمایشگاه معماری کامپیوتر

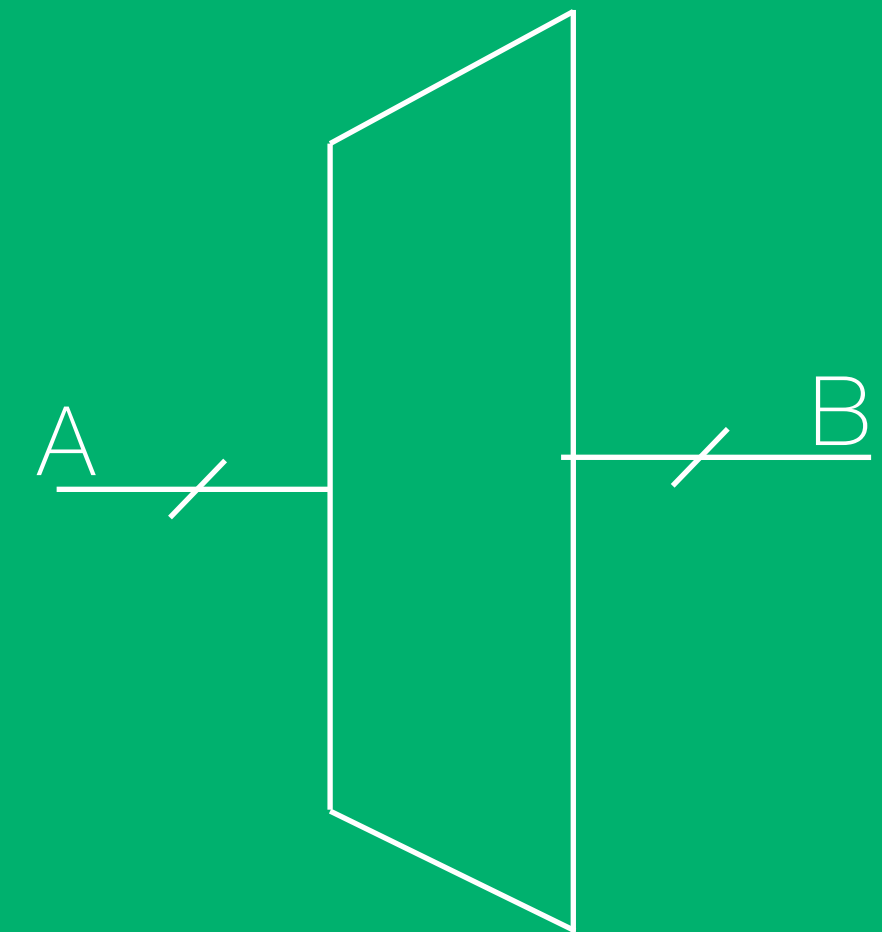
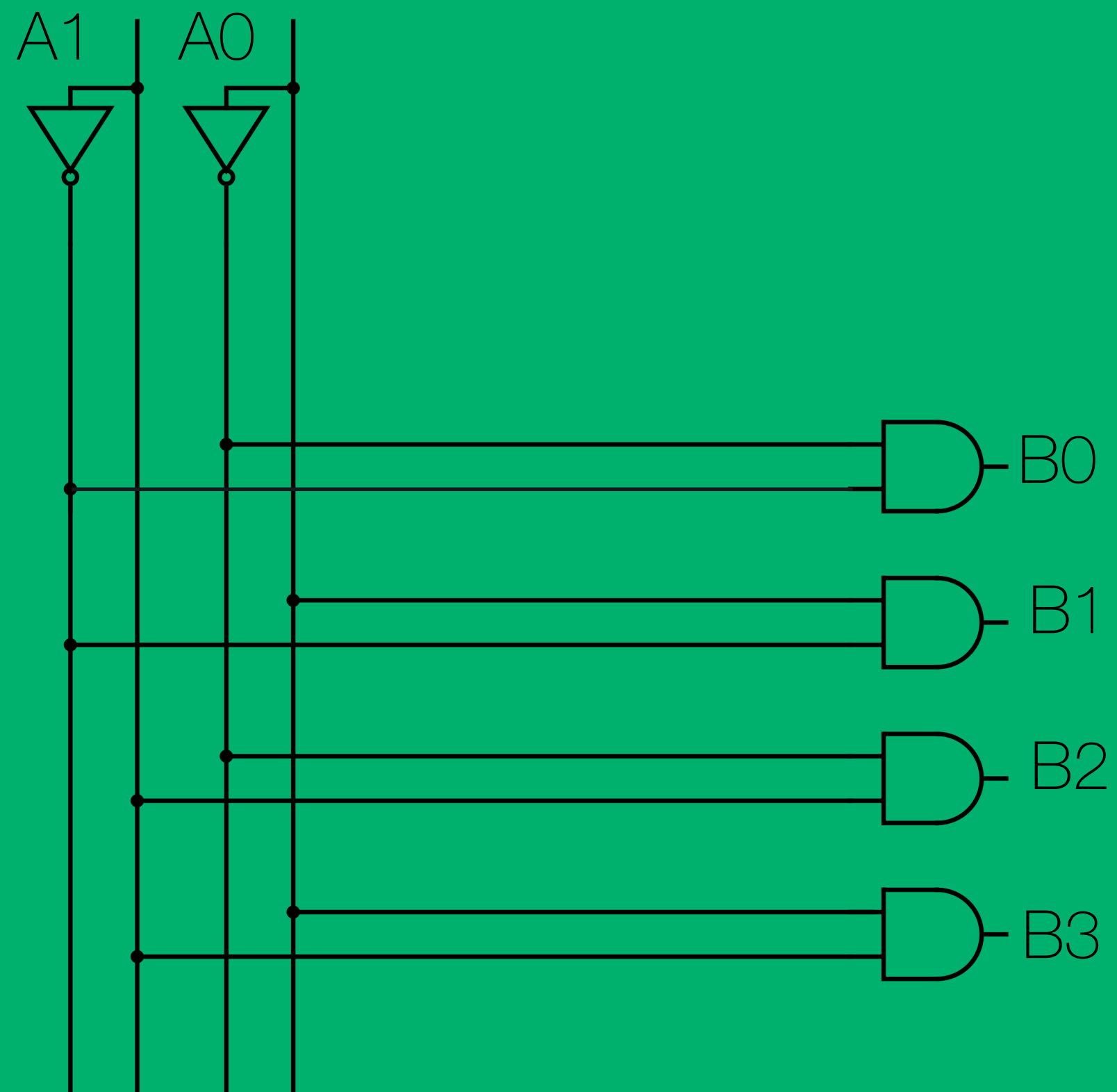
آزمایشگاه معماری کامپیوتر



جلسه دوم

- نحوه پیاده‌سازی testbench
- پیاده‌سازی مالتی‌پلکسر، دیکودر، انکودر و مقایسه‌کننده در سطح انتزاع گیت

پیاده‌سازی ۲ to ۴ Decoder



```
entity example_code is port(  
    port_1 : in std_logic;  
    port_2 : out std_logic_vector(1 downto 0)  
);  
architecture example_code_arch of example_code  
is ...  
end example_code_arch;
```

```
architecture example_code_arch of example code is
  component instance1 is port(
    port_in : in std_logic;
    ...
    port_out : out std_logic
  );
  Signal sig_a : std_logic;
  Begin
    Process(sig_a) begin
    ....
    End Process;
end example_code_arch;
```

ساختار process

به منظور تسهیل در روند مدل کردن، VHDL دارای ساختار ترتیبی می‌باشد.

یک Process به خودی خود ساختاری همروند است. پروسس را می‌توان یک BlackBox در نظر گرفت که رفتارش توسط ساختار ترتیبی پیاده‌سازی می‌شود.

ساختار Process را در زیر مشاهده می‌کنید:

```
Process (sensitivity-list)
begin
    sequential statement;
    sequential statement;
    ...
end process;
```



ساختار case

Case یک عملیات ترتیبی است که درون ساختارهای ترتیبی مانند process قرار می‌گیرد.

case A is

```
when "00" =>  
    X(0) <= '0';  
when "01" =>  
    X(1) <= '0';  
when "10" =>  
    X(2) <= '0';  
when "11" =>  
    X(3) <= '0';  
when others =>  
    X <= "1111";
```

end case;



پیاده‌سازی ۲ to ۴ Decoder

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity decoder2 is
    port( a : in STD_LOGIC_VECTOR(1 downto 0);
          b : out STD_LOGIC_VECTOR(3 downto 0) );
end decoder2;

architecture Structural of decoder2 is
begin
    b(0) <= not a(0) and not a(1);
    b(1) <= not a(0) and a(1);
    b(2) <= a(0) and not a(1);
    b(3) <= a(0) and a(1);
end Structural;
```


پیاده‌سازی ۲ to ۴ Decoder

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity decode_2to4_top is
    Port ( A : in STD_LOGIC_VECTOR (1 downto 0); -- 2-bit input
          X : out STD_LOGIC_VECTOR (3 downto 0); -- 4-bit output
          EN : in STD_LOGIC); -- enable input
end decode_2to4_top;
architecture Behavioral of decode_2to4_top is
Begin
    process (A, EN)
    Begin
        X <= "1111"; -- default output value
```

پیاده‌سازی ۲ to ۴ Decoder

```
if (EN = '1')then – active high enable pin
    case A is
        when "00" => X(0) <= '0';
        when "01" => X(1) <= '0';
        when "10" => X(2) <= '0';
        when "11" => X(3) <= '0';
        when others => X <= "1111";
    end case;
end if;
end process;
end Behavioral;
```

