



دانشگاه صنعتی امیر کبیر
(پلی تکنیک تهران)

بسمه تعالی

پاسخ تمرین دوم درس معماری کامپیوتر
نیم سال دوم 1400 – 1401



دانشکده مهندسی کامپیوتر

1- به سوالات زیر پاسخ دهید:

```
for (i = 0; i < 20; i++)
    for (j = 0; j < 10; j++)
        a[i] = a[i] * j;
```

الف) همجواری مکانی و زمانی رو به طور کامل توضیح دهید.
ب) یک مثال از همجواری زمانی در قطعه کد روبرو ذکر کنید.
ج) یک مثال از همجواری مکانی در قطعه کد روبرو ذکر کنید.

پاسخ:

- 4.15 a. A reference to the first instruction is immediately followed by a reference to the second.
b. The ten accesses to $a[i]$ within the inner for loop which occur within a short interval of time.

2- به سوالات زیر در مورد حافظه نهان پاسخ دهید.

الف) حافظه اصلی با حجم 2^{20} بایت و حافظه نهان از نوع نگاشت مستقیم دارای 2^{14} بایت است. بلوک‌های حافظه 16 بایت فرض کنید. خواندن اطلاعات از حافظه‌ی نهان 1 نانو ثانیه و از حافظه‌ی اصلی 40 نانو ثانیه زمان می‌برد. رشته آدرس‌های زیر توسط پردازنده درخواست می‌شود (در ابتدا حافظه نهان خالی است):

01000_H, 01001_H, 01002_H, 59000_H, 5900F_H, 01003_H, 56780_H, 5678F_H, 56790_H, 56791_H

متوسط زمان دستیابی به آدرس درخواستی CPU چند نانو ثانیه است و همجواری مکانی و زمانی را در رشته آدرس‌های فوق نشان دهید.

ب) پردازنده‌ای با حافظه نگاشت مستقیم که دارای ۱۶ بلوک ۲ کلمه‌ای است را در نظر بگیرید. آدرس‌های تولیدی توسط پردازنده به صورت زیر هستند (به ترتیب از چپ به راست):

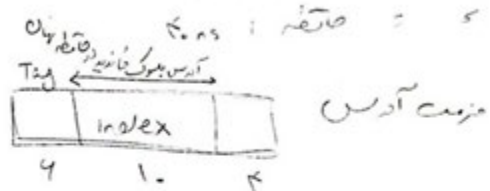
0, 1, 2, ..., 254, 255, 0, 1, 2, ..., 254, 255, 0, 1, 2, ...

اگر این توالی تا بینهایت ادامه داشته باشد، نرخ موفقیت (hit ratio) را بدست آورید.

پاسخ:

صافه پهن 2^{14} بایت، صافه باریک 2^{16} بایت \Rightarrow تعداد بایتهای: $\frac{2^{14}}{2^2} = 2^{10}$

زمان خواندن از کش: $1ns$



کل نسبی: $\frac{1}{2}$

آدرس داده به نسبت: $\frac{1}{2}$

داده در بزرگ: $\frac{1}{2}$

01000H

0000 0001 0000 0000 0000

کمان بزرگ در کش

$1ns$ اینها بیان 01000 ، 01001 ، 01010 ، 01011

$1ns$ $1ns$

09000H

0101 1001 0000 0000 0000

کمان بزرگ در کش

آدرس بزرگ: 2^{14} بایت

آدرس کوچک: 2^{16} بایت

09003 09002 09001 09000

0900F

$m, h, h, m, h, m, m, h, m, h$

$$t_{av} = t_c + (1-h)t_m$$

$$= 1 + (0.15) \times 0 = 1.15 ns$$

$$t_{av} = h_1 T_1 + (1-h_1) \frac{1}{(h_2 t_2)}$$

آدرس:	0	1	2	3	4	5	...	28	29	30	31	32	...	255	...
شماره بایته:	0	0	0	0	1	1	...	7	7	7	7	8	...	7	...
حای بیت:	0	0	0	0	1	1	...	7	7	7	7	0	...	7	...
Caches															

وقتی برای اولین بار اولین داده یکایسته می آید در Cache نیت و هر چهار کلمه یک بایسته وارد Cache می شود و سه کلمه بعدی بایسته hit می شود. و بعد از اینکه 32 کلمه اول بایسته Cache پر می شود و با 32 کلمه بعد تقاضای داده های Cache تغییر می کنند و لذا پس از آنکه کلمه ای برای بار دوم بایسته آن کلمه قطعاً در Cache نیت پس صرفاً به واسطه همجواری مکانی به hit rate 75% - $\frac{3}{4}$ خواهیم رسید.

3- برای هر یک از معماری‌های حافظه زیر زمان متوسط دسترسی به داده حافظه (average memory access time) را محاسبه کنید (فرمول استفاده شده را به طور کامل توضیح دهید و اگر تعداد cycle های محاسبه شده اعشاری بود به سمت بالا تقریب بزنید):

الف) زمان پاسخ حافظه نهان را یک cycle و miss rate برابر 5% در نظر بگیرید و زمان پاسخ حافظه اصلی را دویست cycle و miss rate آنرا 8% لحاظ کنید. همچنین زمان پاسخ حافظه disk را دویست هزار cycle منظور نمایید.

ب) زمان پاسخ حافظه نهان را سه cycle و hit rate آنرا 92% در نظر گرفته و زمان پاسخ حافظه اصلی را چهارصد cycle و hit rate آنرا 98% لحاظ کنید. همچنین زمان پاسخ حافظه disk را پنجاه و پنج هزار cycle در نظر بگیرید.

ج) چنانچه در سلسله مراتب حافظه، از سه سطح حافظه نهان استفاده شده باشد بدین صورت که درخواست ابتدا به حافظه نهان سطح یک (L1) رفته، اگر با شکست مواجه شود، به حافظه نهان سطح دو (L2) رفته و اگر با شکست مواجه شود به حافظه نهان سطح سه (L3) خواهد رفت و در صورت شکست به حافظه اصلی و سپس disk برود. در این شرایط، اگر زمان پاسخ برای حافظه سطح یک، یک cycle و hit rate برابر 96% داشته باشد، زمان پاسخ حافظه نهان سطح دو، بیست و پنج cycle و hit rate برابر 95% داشته باشد و زمان پاسخ حافظه نهان سطح سه، هشتاد cycle و hit rate برابر 98% داشته باشد و نیز زمان پاسخ حافظه اصلی شصت cycle و hit rate برابر 88% داشته باشد و زمان پاسخ حافظه disk، پنجاه هزار cycle و hit rate برابر 100% درصد داشته باشد.

Solution: Remember: $AMAT = (\text{hit time}) + (\text{miss rate}) \times (\text{miss penalty})$
 where the miss penalty is simply the AMAT for the next level of the memory hierarchy.
 Therefore:

$$\begin{aligned}
 AMAT &= 1 + (.05)(AMAT_{\text{main memory}}) \\
 &= 1 + (.05)(200 + (.08)(AMAT_{\text{disk}})) \\
 &= 1 + (.05)(200 + (.08)(30,000)) \\
 &= 1 + (.05)(200 + 2400) = 1 + (.05)(2600) = 1 + 130 = 131 \text{ cycles}
 \end{aligned}$$

Solution: Same idea as part (a), but we're given hit rates and have to derive miss rates; remember that $(\text{miss rate}) = 1 - (\text{hit rate})$:

$$\begin{aligned}
 AMAT &= 3 + (.08)(AMAT_{\text{main memory}}) \\
 &= 3 + (.08)(400 + (.02)(AMAT_{\text{disk}})) \\
 &= 3 + (.08)(400 + (.02)(55,000)) \\
 &= 3 + (.08)(400 + 1100) = 3 + (.08)(1500) = 3 + 120 = 123 \text{ cycles}
 \end{aligned}$$

Solution: Again, we're essentially doing the same calculation; there's just 5 levels in the memory hierarchy, rather than the 3 we're used to:

$$\begin{aligned}
 AMAT &= 1 + (.04)(AMAT_{L2 \text{ cache}}) \\
 &= 1 + (.04)(25 + (.05)(AMAT_{L3 \text{ cache}})) \\
 &= 1 + (.04)(25 + (.05)(80 + (.02)(AMAT_{\text{main memory}}))) \\
 &= 1 + (.04)(25 + (.05)(80 + (.02)(600 + (.12)(AMAT_{\text{disk}})))) \\
 &= 1 + (.04)(25 + (.05)(80 + (.02)(600 + (.12)(50,000)))) \\
 &= 1 + (.04)(25 + (.05)(80 + (.02)(600 + 600))) \\
 &= 1 + (.04)(25 + (.05)(80 + (.02)(6600))) \\
 &= 1 + (.04)(25 + (.05)(80 + 132)) \\
 &= 1 + (.04)(25 + (.05)(212)) \\
 &= 1 + (.04)(25 + 10.6) = 1 + (.04)(35.6) = 1 + 1.424 = 2.424 \approx 3 \text{ cycles}
 \end{aligned}$$