**UNIVERSIDAD NACIONAL AUTONOMA DE MÉXICO.**

**FACULTAD DE INGENIERIA.**

**LOS BUSES DE MEMORIA.**

**POR DAVILA ORTEGA JESUS EDUARDO.**

**¿Qué es la memoria RAM?**

Definicion fabricantes de RAM

La memoria de acceso aleatorio (RAM) es su almacenamiento de datos a corto plazo del sistema. Almacena la información que usa de forma activa su computadora para que pueda acceder a ella de manera rápida. Cuantos más programas ejecute su sistema, más memoria necesitará.

Definicion Pagina

Es la memoria de corto plazo del computador. Su función principal es recordar la información que tienes en cada una de las aplicaciones abiertas en el computador, mientras este se encuentre encendido.

Esta memoria de corto plazo solo actúa cuando el computador esté encendido.

Definicion DELL

La memoria de acceso aleatorio (RAM) es la memoria de la computadora que almacena la información que un programa necesita mientras se ejecuta. La memoria de acceso aleatorio se refiere al tipo de almacenamiento de datos que permite que se pueda acceder a los datos almacenados en cualquier orden, es decir, de manera aleatoria y no en secuencia.

**¿Para que se usa la RAM?**

Se usa para cargar y ejecutar las aplicaciones.

La memoria RAM se mide en megabytes (MB) o gigabytes (GB). Cuanta más memoria RAM tenga tu computador, más cosas podrás hacer al mismo tiempo. Si no tienes la suficiente memoria RAM, podrás notar que tu ordenador se pone lento al tener muchos programas abiertos.

**Conceptos auxiliares.**

CAS: indica el tiempo que tarda la memoria en colocarse sobre una columna o celda.

RAS: indica el tiempo que tarda la memoria en colocarse sobre una fila.

ACTIVE: indica el tiempo que tarda la memoria en activar un tablero.

PRECHARGE: indica el tiempo que tarda la memoria en desactivar un tablero

**Evolución de la RAM.**

**Asynchronus Operation**

Una interfaz asincrona es aquella en la que se determina que es necesario un periodo de tiempo mínimo para garantizar que se complete una operación. A cada una de las operaciones internas de un chip DRAM asíncrono se le asignan valores de tiempo mínimos, de modo que si ocurre un ciclo de reloj en cualquier momento antes de ese tiempo mínimo, debe ocurrir otro ciclo antes de que se permita que comience la siguiente operación.

Page Mode Access

Para implementar modos de acceso especiales , los diseñadores consideraron viable eliminar algunas de las operaciones internas para ciertos tipos de accesos. La primer implementación significante fue llamada Page Mode Access.

Con este método, la señal RAS se mantiene activa de modo que una ‘Pagina’ completa de datos se mantiene en los amplificadores de detección. Las nuevas direccioines de columna se puede registrar repetidamente solo ciclando CAS. Esto proporciona lecturas de acceso aleatorio mucho más rapidas, ya que se eliminan la configuración de la dirección de fila y los tiempos de espera.

Lo malo

No todas las aplicaciones se benefician mucho de este tipo de acceso.

El modo original se mejoró y reemplazó muy rápidamente.

Los actuales métodos de acceso poseen ventajas muy significativas.

Fast Page Mode

Una gran mejora del método original.

Esta mejora vino al eliminar el tiempo de configuración de la dirección de columna durante el ciclo de la pagina. Esto se logró activando los búferes de dirección de columna en el flanco descendente de RAS(en lugar de CAS). Dado que RAS permanece bajo durante todo el ciclo de la página, esto actúa como un pestillo transparente cuando CAS es alto y permite que la configuración de la dirección ocurra tan pronto como la dirección de la columna sea válida, en lugar de esperar a que CAS caiga.

Método de acceso más utilizado para la DRAM y todavía se ocupa en muchos sistemas.

Consumo de energía reducido, principalmente porque no es necesario detectar y restaurar la corriente durante el acceso al modo de página.

Inconvenientes.

Los búferes de salida se apagan cuando CAS sube.

El tiempo de ciclo mínimo es de 5ns antes de que se apaguen los búferes de salida, lo que esencialmente agrega al menos 5 ns al tiempo de ciclo

En la actualidad FPM es la menos deseable de todas las memorias DRAM disponibles.

Tiempos típicos son 6-3-3-3.

Debido a la demanda limitada, FPM es en realidad más caro ahora que la mayoría de las memorias más rápidas disponibles en la actualidad.

**HyperPage Mode (EDO)**

La ultima gran mejora de las DRAM asíncronas vino con el Hyperpage mode o también conocido como Extended DataOut. Esta inovacion consistía simplemente en dejar de desactivar los búferes de salida en el flanco ascendente de CAS. En escencia esto elimina el tiempo de precarga de la columna mientras se bloquean los datos. Esto permite reducir el tiempo minimo para que CAS este bajo y el flanco ascendente puede llegara antes.

Mejoras.

Ademas de una mejora del 40% o más en los tiempos de acceso, EDO utiliza la misma cantidad de silicio y el mismo tamaño de paquete. Se ha demostrado que funciona bien con velocidades de bus de memoria de hasta 83 MHz con poca o ninguna penalización de rendimiento.

Si los chips son lo suficientemente rapidos (55ns o más rapidos), EDO se puede usar incluso con un bus de memoria de 100MHz

Todos los conjuntos de chips de placa base actuales lo admiten sin problemas de compatibilidad.

5-2-2-2 a 66MHz

6-3-3-3 a 100 MHz

**Burst EDO (BEDO)**

Aunque era una buena idea, estaba muerto antes de que naciera. La adición de un modo de ráfaga, junto con una arquitectura de doble banco, habría proporcionado los tiempos de acceso 4-1-1-1 a 66MHz que muchos esperaban con SDRAM. El modo de ráfaga es un avance sobre el Page Mode, ya que después de ingresar la primera dirección, las siguientes 3 direcciones se generan internamente, eliminando asi el tiempo necesario para ingresar una nueva dirección de columna

Caida

Intel decidió que EDO ya no era viable y SDRAM era su arquitectura de memoria preferida, esto ocasiono que no implementaron la compatibilidad con BEDO en sus conjuntos de chips.

Varios fabricantes de memorias habían invertido mucho tiempo y dinero en el desarrollo de SDRAM durante la última década y no estaban muy contentos con el diseño de BEDO.

Excepto por el soporte de velocidades de bus de 100 MHz y más, BEDO probablemente habría sido una memoria mucho más rápida y estable que SDRAM.

Esencialmente BEDO perdió apoyo tanto por razones políticas y económicas como técnicas al parecer.

**Synchronous Operation**

Evidencia de que las velocidades del bus tendrían que ser superiores a 66 MHz

Intentando superar los grandes problemas de latencia que aun existían

Al implementar una interfaz síncrona, pudieron hacer esto y tambien obtener algunas ventajas adicionales.

Con una interfaz asíncrona, el procesador debe de esperar inactivo a que la DRAM complete sus operaciones internas, lo que suele tardar unos 60 ns. Con el control síncrono, la DRAM bloquea la información del procesador bajo el control del reloj del sistema. Estos pestillos almacenan las direcciones, los datos y las señales de control, lo que permite que el procesador maneje otras tareas. Después de un número especifico de ciclos de reloj los datos están disponibles y el procesador puede leerlos desde las líneas de salida.

Ventajas

El reloj del sistema es el único borde de tiempo que debe de proporcionarse a la DRAM.

Las entradas también se simplifican, ya que las señales de control, las direcciones y los datos pueden bloquearse sin que el procesador supervise la configuración y los tiempos de espera.

.**JEDEC SDRAM**

Todas las DRAM que tienen una interfaz síncrona se conocen genéricamente como SDRAM. Esto incluye CDRAM, RDRAM, ESDRAM y otros, sin embargo, eltipo que con más frecuencia se denomina SDRAM es la DRAM síncrona, estándar JEDEC.

JEDEC SDRAM no solo tiene una interfaz síncrona controlada por el reloj del sistema, sino que también incluye una arquitectura de doble banco y modo de ráfaga (1 bit, 2 bits, 4 bits, 8 bits y página completa). Un 'registro de modo' que se puede configurar al encender y cambiar durante el funcionamiento controla el modo de ráfaga, el tipo de ráfaga (secuencial o intercalado), la duración de la ráfaga y la latencia CAS (1, 2 o 3).

Esto significa que el tiempo de acceso a la columna es el factor limitante para la latencia CAS.

SDRAM se introdujo inicialmente como la respuesta a todos los problemas de rendimiento, sin embargo, rápidamente se hizo evidente que había pocos beneficios de rendimiento y muchos problemas de compatibilidad.

Recuerde, internamente toda la DRAM funciona de manera muy similar, y la mayoría de las ganancias de rendimiento se logran "ocultando" las operaciones internas de varias maneras.

Los módulos SDRAM originales usaban chips de 83 MHz (12 ns) o chips de 100 MHz (10 ns), sin embargo, estos solo estaban clasificados para la operación de bus de 66 MHz. Debido a algunos de los retrasos introducidos al tener que lidiar con las diversas sincronizaciones de señales, los chips de 100 MHz producirán un módulo que funciona de manera confiable a aproximadamente 83 MHz, en muchos casos. Estos módulos SDRAM ahora se denominan PC66, para diferenciarlos de los que se ajustan a la especificación PC100 de Intel.

**PC100 SDRAM**

Cuando Intel decidió implementar oficialmente una velocidad de bus del sistema de 100MHz, comprendio que la mayoría de los módulos SDRAM disponibles en ese momento no funcionarían correctamente por encima de los 83 MHz

Intel presento la especificación PC100 como una guía para los fabricantes para construir módulos que funcionen correctamente en su próximo i440BX. Con esta especificación Intel estableció una serie de pautas para longitudes de seguimiento , anchos y espaciado de seguimiento, numero de capas de PCB, especificaciones de programación de EEPROM

**DDR SDRAM**

Una de las limitaciones teórica del diseño del JEDEC SDRAM es la de 125 MHz, aunque los avances tecnológicos pueden permitir un funcionamiento de hasta 133 MHz.

Es obvio la necesidad de aumentar aun más el ancho de banda de la memoria se mantenga al día con los procesadores futuros. Hay varios estándares nuevos en competencia en el horizonte que son muy prometedores, sin embargo, la mayoría de ellos requieren pinouts especiales, anchos de bus más pequeños u otras consideraciones de diseño.

A corto plazo, la SDRAM de Doble Velocidad de Datos (Double Data Rate) parece muy atractiva. Esencialmente, este diseño permite que la activación de las operaciones de salida en el chip ocurra tanto en el borde ascendente como descendente del reloj. Actualmente, solo el flanco ascendente señala la ocurrencia de un evento, por lo que el diseño de DDR SDRAM puede duplicar efectivamente la velocidad de operación hasta por los menos 200 MHz.

**Enchanced SDRAM (ESDRAM)**

Para superar algunos de los problemas de latencias inherentes a los módulos de memoria DRAM estándar, varios fabricantes han incluido una pequeña cantidad de SRAM directamente en el chip, creando efectivamente una memoria cache en el chip. Uno de esos diseños que esta llamando la atención es ESDRAM de Ramtron International Corporación.

ESDRAM es esencialmente SDRAM, más una pequeña cantidad de caché SRAM que permite tiempos de latencia más bajos y operaciones de ráfagas de hasta 200 MHz. Al igual que con la memoria caché externa, el objetivo de una memoria caché DRAM es mantener los datos utilizados con mayor frecuencia en la memoria caché SRAM para minimizar los accesos a la DRAM más lenta. Una ventaja de la SRAM en chip es que se puede usar un bus más ancho entre la SRAM y la DRAM, lo que aumenta efectivamente el ancho de banda y la velocidad de la DRAM incluso cuando hay una falta de caché.

**RAM basada en Protocolos**

Todas las DRAM mencionadas anteriormente tiene líneas de control, datos y dirección separadas, esto limita la velocidad a la que el dispositivo puede operar con la tecnología actual. Para superar esta limitación, varios diseños implementan todas estas señales en el mismo bus.

Algunos diseños basados en esto que más llamaron la atención son SyncLink DRAM (SLDRAM) y Direct Rambus DRAM (DRDRAM) con licencia de Rambus, Inc.

**DRDRAM**

Intel ha apostado por el diseño de memoria propietario desarrollado por Rambus, Inc. En la superficie, parece ser una solución muy rápida para la memoria del sistema debido a su rápido funcionamiento (hasta 800 MHz). Sin embargo, la realidad es que el diseño es solo hasta dos veces más rápido que la operación SDRAM actual debido al ancho de bus más pequeño (16 bits frente a 64 bits).

Problemas

Las velocidades más altas requieren longitudes de cable cortas y blindaje adicional para evitar problemas con EMI.

los tiempos de latencia son realmente peores que los de la SDRAM rápida disponible en la actualidad.

Dado que la mayoría de las aplicaciones actuales no utilizan realmente todo el ancho de banda del bus de memoria, el simple hecho de aumentar el ancho de banda mientras se ignoran los problemas de latencia probablemente no proporcione ninguna mejora real en el rendimiento.

el mayor inconveniente de la tecnología es que es una tecnología propietaria. Los fabricantes que deseen implementar una solución con DRDRAM deberán pagar regalías a Intel y Rambus, Inc., y tampoco tendrán control real sobre la tecnología.

**SLDRAM**

Muchos fabricantes de memorias están apoyando a SLDRAM como la solución a largo plazo para el rendimiento del sistema. Si bien SLDRAM es un diseño basado en protocolos, al igual que RDRAM, es un estándar de la industria abierta, que no requiere pagos de regalías.

Otra ventaja de costo para el diseño de SLDRAM es que no requiere un rediseño de los chips de RAM.

Debido al uso de paquetes para direcciones, datos y señales de control, la SLDRAM puede funcionar en un bus más rápido que la SDRAM estándar, hasta al menos 200 MHz. Así como DDR SDRAM opera la señal de salida al doble de la velocidad del reloj, también lo puede hacer SLDRAM. Esto hace que la operación de salida alcance los 400 MHz, y algunos ingenieros afirman que puede alcanzar los 800 MHz en un futuro próximo.

En comparación con DRDRAM, parece que SLDRAM es una solución mucho mejor debido a la velocidad de reloj real más baja (que reduce los problemas de señal), los tiempos de latencia más bajos y el costo más bajo debido al diseño y operación libres de regalías en los diseños de bus actuales. Parece que incluso el ancho de banda de SLDRAM es mucho mayor que DRDRAM a 3,2 GB/s frente a 1,6 GB/s

Aunque Intel inicialmente tenía la intención de admitir solo DRDRAM en futuros conjuntos de chips, los fabricantes de conjuntos de chips de la competencia, los fabricantes de memoria y la presión de los usuarios finales pueden obligarlos a incluir también soporte para SLDRAM. Si el mercado puede influir con éxito en Intel para que brinde este apoyo, es posible que veamos una situación en la que la mejor tecnología gane sobre la exageración del marketing.

**Referencias.**

Pablo Manzano (26/01/2018) “Memoria RAM” Extraído de: <https://sites.google.com/site/pablomanzanofhw/memoria-ram>.

Crucial (s.f) “¿Cuál es la diferencia entre las memorias DDR5, DDR4, DDR3, DDR3, DDR y SDRAM?”. Extraído de: <https://www.crucial.mx/support/articles-faq-memory/difference-between-ddr4-ddr3-ddr2-ddr-sdram>. Recuperado el 28 de marzo del 2022.

Ángel Aller (1/05/2021) “DDR RAM, ¿Cómo ha sido la evolución de DDR, DDR2, DDR3, DDR4, DDR5?” Extraído de: <https://www.profesionalreview.com/2021/05/01/ddr-ram-ddr2-ddr3-ddr4-y-ddr5/>.

DELL (21/02/2021) “¿Qué es la memoria (RAM)?” Extraído de: <https://www.dell.com/support/kbdoc/es-es/000148441/what-is-memory-ram>.

José Manuel Mendias Cuadros (s.f.) “Tema 12. Organización de la memoria” Extraído de: <http://www.fdi.ucm.es/profesor/mendias/512/docs/tema12.pdf>. Recuperado el 29 de marzo del 2022.

GCFGlobal (s.f.) “Memoria RAM y disco duro” Extraído de: <https://edu.gcfglobal.org/es/informatica-basica/memoria-ram-y-disco-duro/1/>. Recuperado el 29 de marzo del 2022

Crucial (2017) “¿Qué es y hace la memoria de la computadora (RAM)?” Extraído de: <https://www.crucial.mx/articles/about-memory/support-what-does-computer-memory-do>.

Dean Kent (24/10/1998) “RAM Guide” Extraído de: <https://www.tomshardware.com/reviews/ram-guide,89.html>.

Bauman National Library (24/01/2017) “FPM DRAM (Fast Page Mode DRAM)” Extraído de: <https://en.bmstu.wiki/FPM_DRAM_(Fast_Page_Mode_DRAM)>.

Next U (s.f.) “La evolución de las memorias RAM” Extraído de: <https://www.nextu.com/blog/evolucion-memoria-ram/>. Recuperado el 1 de abril del 2022.

pctechguide.com (s.f.) “The Evolution of Memory”. Extraído de: <https://www.pctechguide.com/computer-memory/the-evolution-of-memory>. Recuperado el 2 de abril del 2022.

Lawrence Williams (5/03/2022) “Different Types of RAM (Random Access Memory) Explained”. Extraído de: <https://www.guru99.com/different-types-ram-random-access-memory.html>.

Jessica P.C (s.f.) “Evolución de la memoria RAM”. Extraído de: <https://www.timetoast.com/timelines/evolucion-de-la-memoria-ram-fd77159b-0248-4a82-b5ae-d2367e5170c6>. Recuperado el 3 de abril del 2022.