

存储系统

吕熠娜

厦门大学信息学院



>>> 存储系统

- 随机读写存储器
- 只读存储器和闪速存储器
- Cache存储器
- 虚拟存储器
- 存储保护

若 C_2 充电， C_1 未充电，则 T_2 导通， T_1 截止，A为高电平，B为低电平，这一状态为存储元的**1状态**。

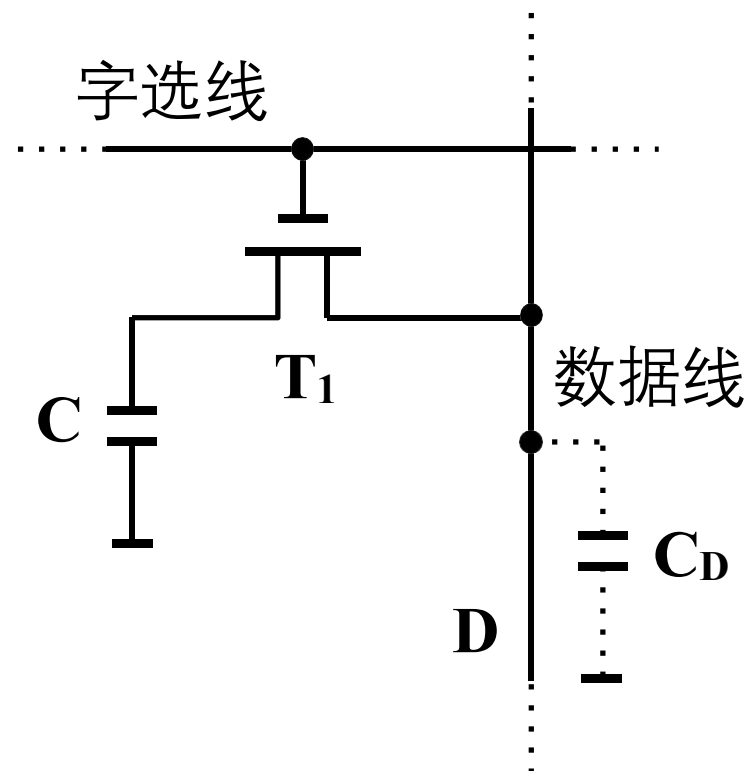
若 C_1 充电， C_2 未充电，则A低电平，B为高电平，这一状态为存储元的**0状态**。

[illegible]

[illegible]

>>> 单管动态存储元

- 单管动态存储元是所有元电路中最简单的一种。虽然它的外围控制电路复杂，但由于在提高集成度上所具有的优势，使它成为目前大容量DRAM的首选存储元。
- 写操作时，字选线给出高电平， T_1 导通，数据线上的数据被存入 C 。
- 读操作时，字选线同样给出高电平， C 经过 T_1 向数据线上的分布电容 C_D 充电，使数据线获得存储元的信息。
- 由于 $C_D \gg C$ ，数据线上读出的电压值很低，而且 C 上的电荷消耗殆尽，是一种**破坏性读出**。这种类型DRAM需要有灵敏的读出放大器，并且需要对存储元的信息进行恢复。



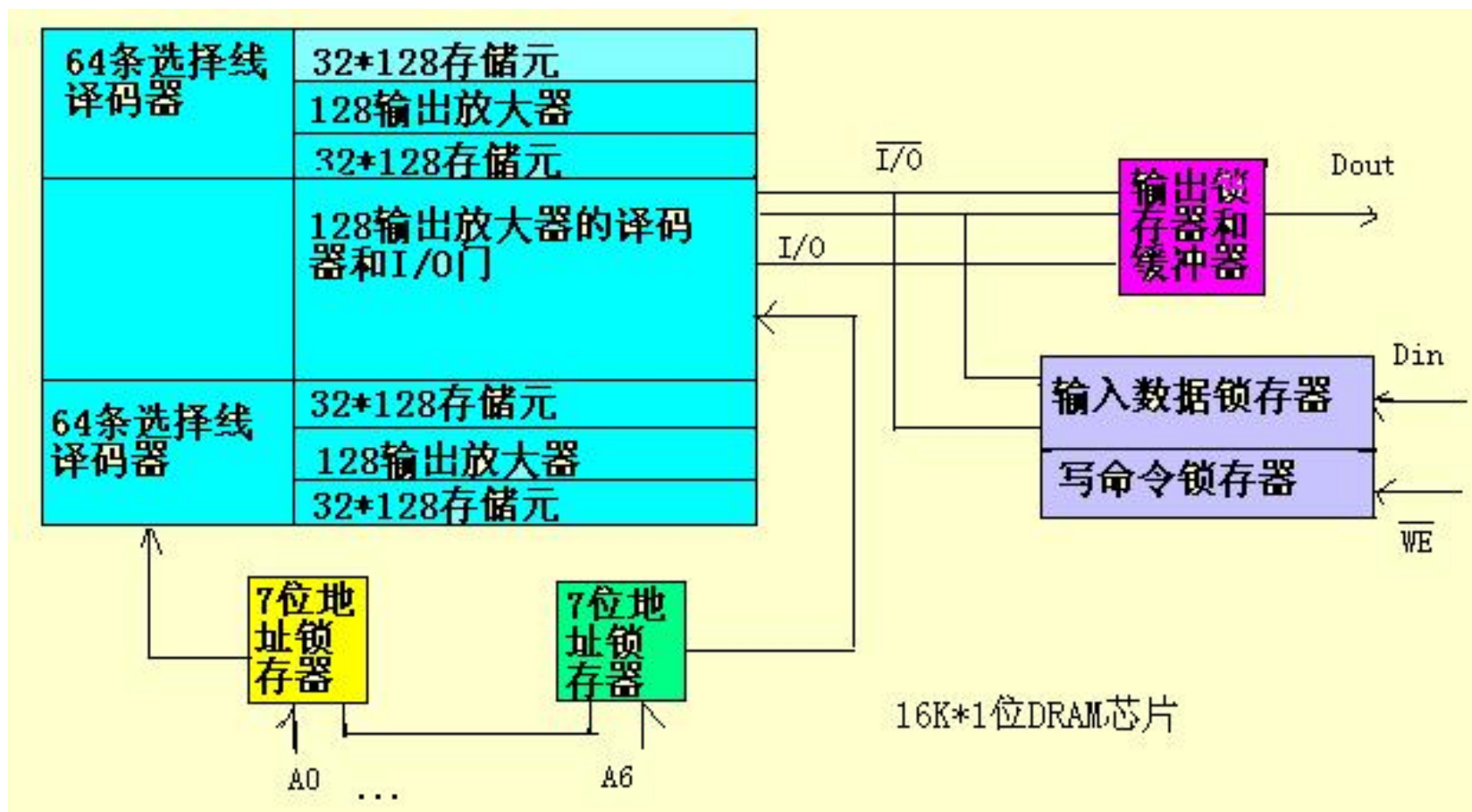


DRAM芯片2116



- 2116是 $16\text{K} \times 1$ 位的DRAM，存储元排列成 128×128 矩阵。为减少引线数目，**采用地址复用技术，地址引线只有7条**。片内设有行地址锁存器和列地址锁存器，通过7条地址线接收CPU**分时**发送的地址：由行地址选通信号 \overline{RAS} 把先出现的7位行地址送至行地址锁存器，再由随后出现的列地址选通信号 \overline{CAS} 把7位列地址送至列地址锁存器。7条行地址线也用作刷新地址，实现按行刷新。
- 没有专门的片选线 \overline{CE} 。使用中可用行选信号 \overline{RAS} 和列选信号 \overline{CAS} 兼做片选。
- 数据线不是输入、输出共有的双向线，而是两根分设的输入、输出线 D_{in} 和 D_{out} ，且有各自的锁存器。
- 只设一根读写控制线 \overline{WE} ，为低电平时写入，为高电平时读出。

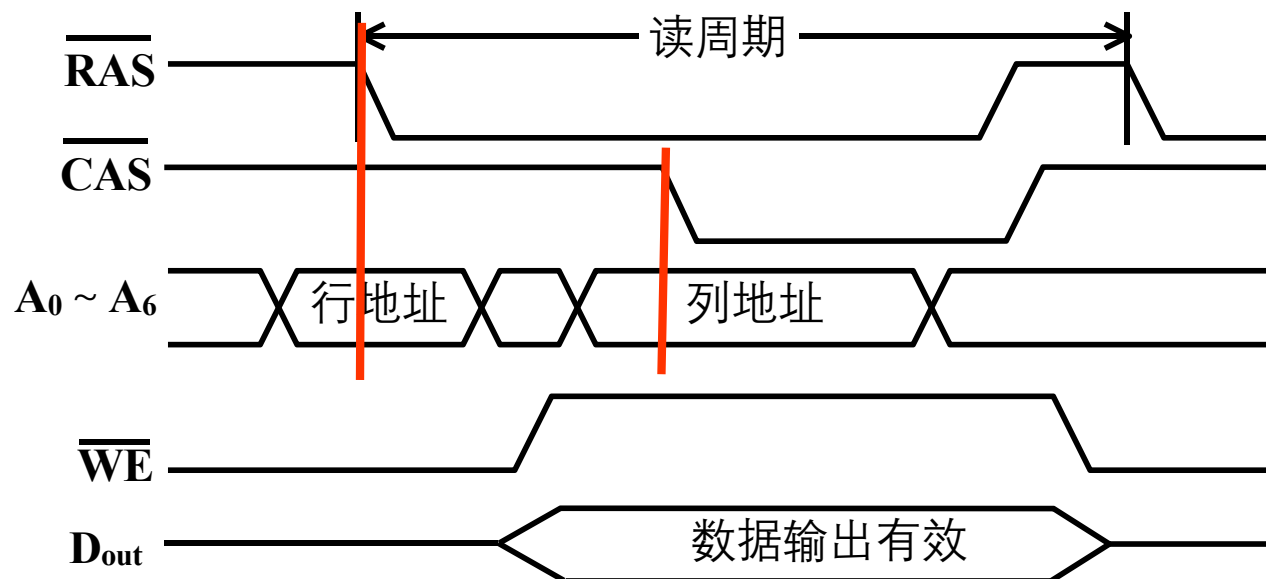
>>> DRAM芯片2116



读、写周期

读周期：在读周期， $A_0 \sim A_6$ 先收到7位行地址，然后行选信号 $\overline{RAS} = 0$ ，通过脉冲的下降沿将行地址锁存。地址锁存后，可以撤消 $A_0 \sim A_6$ 的行地址。为提高读出速度，可以在产生列选信号之前产生读命令（ $\overline{WE} = 1$ ）。然后 $A_0 \sim A_6$ 收到7位列地址，列选信号（ $\overline{CAS} = 0$ ）通过脉冲的下降沿将列地址锁存。数据输出有效后，可以撤消行选信号、列选信号和读命令。

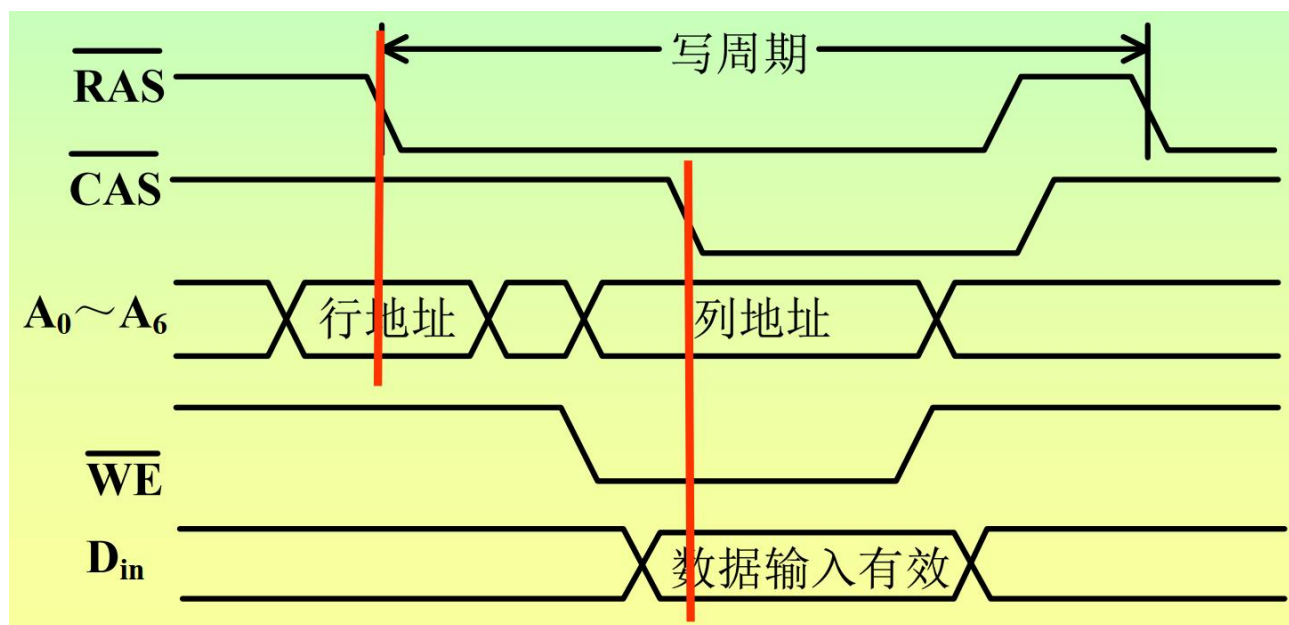
行地址信号在 \overline{RAS} 有效之前有效，且在 \overline{RAS} 有效后保持一段时间，将数据锁存，列地址也相同。



读、写周期

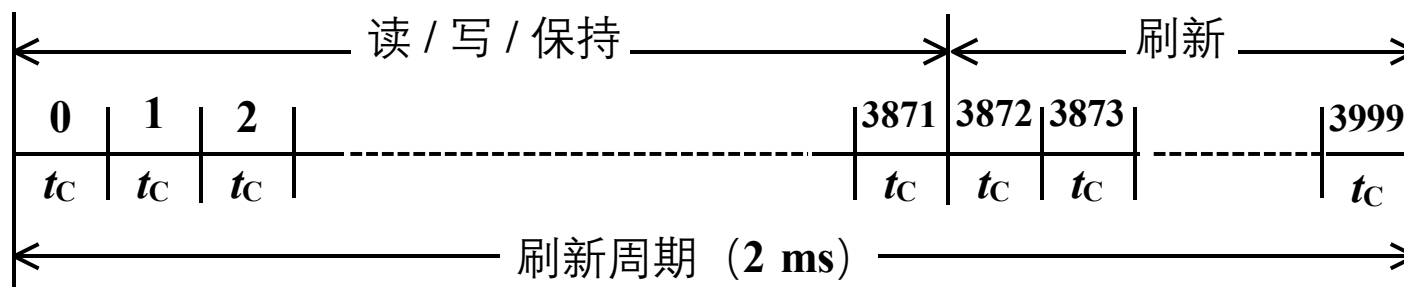
写周期：先在地址端准备好行地址，然后发行选信号 ($\overline{\text{RAS}} = 0$) 和写命令 ($\overline{\text{WE}} = 0$)。行地址锁存后，可撤消芯片地址端的行地址。之后，在地址端准备好列地址，在数据输入端准备好写入数据，发列选信号。数据可靠写入后，可以撤消输入数据、行选信号、列选信号和写命令。

没有专门的片选线CE，用行选信号RAS和列选信号CAS兼做片选。



>>> DRAM的刷新

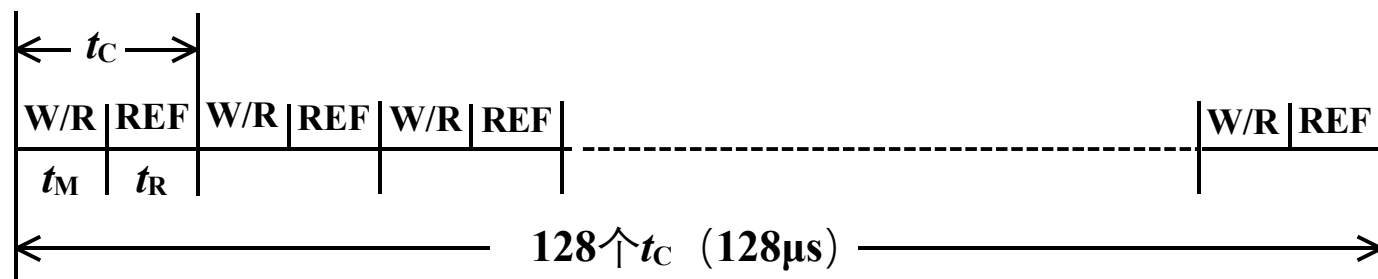
- DRAM的存储元利用栅极电容有无电荷表示信息。每隔一定时间必须对所有存储元的栅极电容补充电荷，称为刷新。刷新过程中只改变行选择地址，每次刷新一行。另外，刷新时不需要片选信号。
- 刷新有三种方式：**集中式、分散式和异步式**。以16K×1位的芯片为例，其存储元排列成128×128矩阵。
- 集中式**：在每个刷新间隔内，前一段时间进行读写操作或保持，后一段时间集中进行刷新。设读写周期为 $t_c = 0.5 \mu s$ ，刷新间隔为2 ms，相当于4000个读写周期。利用最后128个 t_c 进行刷新，前3872个 t_c 用来读写或保持。在集中刷新的时间内不能进行存取访问，称为**死时间**。



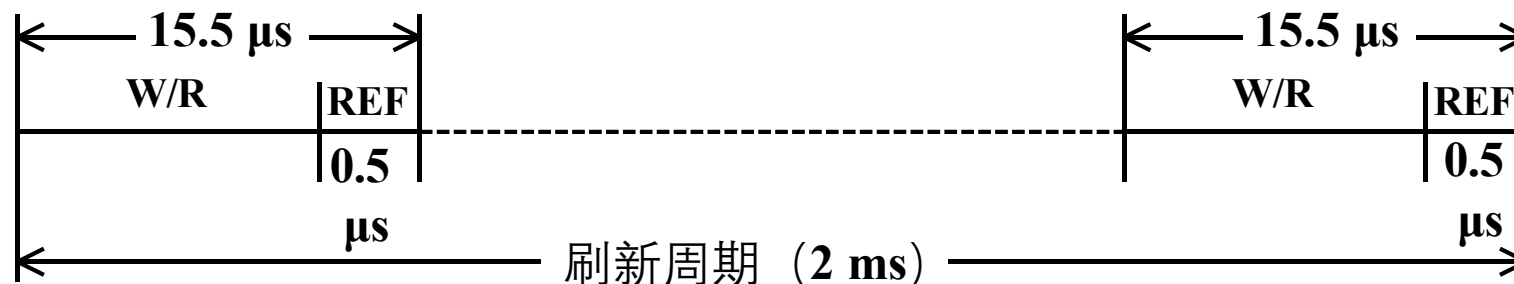
DRAM的刷新

分散式：把每个存储系统周期 t_C 分成两半，前半段时间 t_M 用来读写或保持，后半段时间 t_R 用来刷新。每过128个系统周期，存储器就刷新一遍。如果读写周期为 $0.5\ \mu\text{s}$ ，存储器系统周期为 $1\ \mu\text{s}$ ，则刷新间隔为 $128\ \mu\text{s}$ 。

这种方式不存在死时间。但刷新过于频繁，影响系统速度。



异步式：是前两种方式的结合。把 $2\ \text{ms}$ 的刷新间隔分成128段，每段约 $15.5\ \mu\text{s}$ 。其中前 $15\ \mu\text{s}$ 用于读写或保持，后 $0.5\ \mu\text{s}$ 用于刷新。



>>> DRAM的控制电路

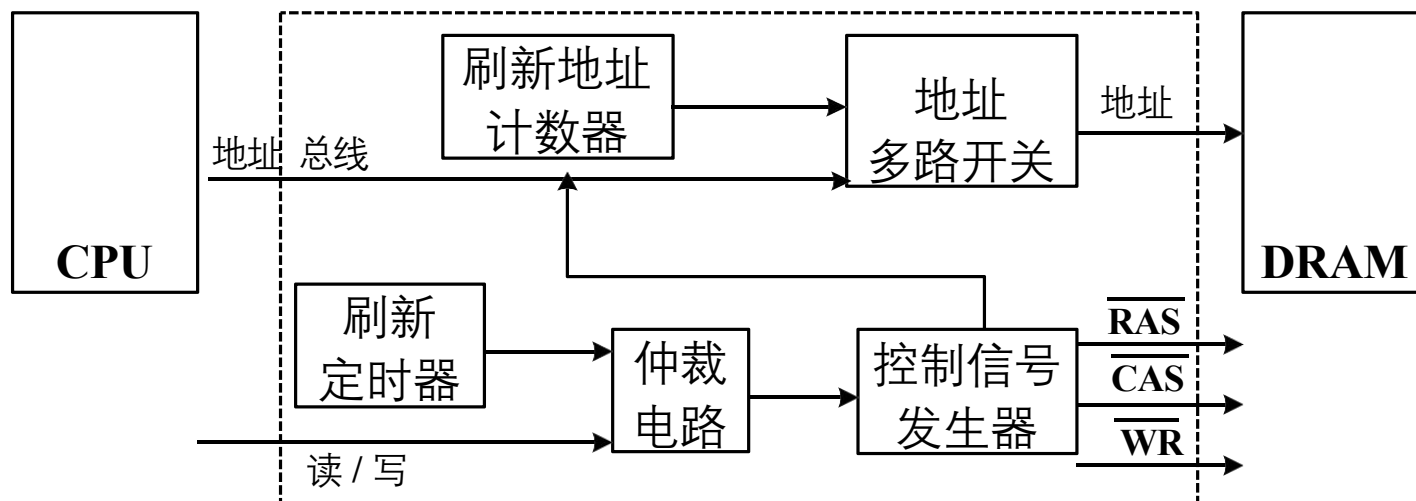
地址多路开关：向DRAM分时提供行地址和列地址，刷新时提供刷新地址。

刷新定时器：定时产生刷新请求。

刷新地址计数器：只用 $\overline{\text{RAS}}$ 信号的刷新操作，需提供刷新地址计数器。

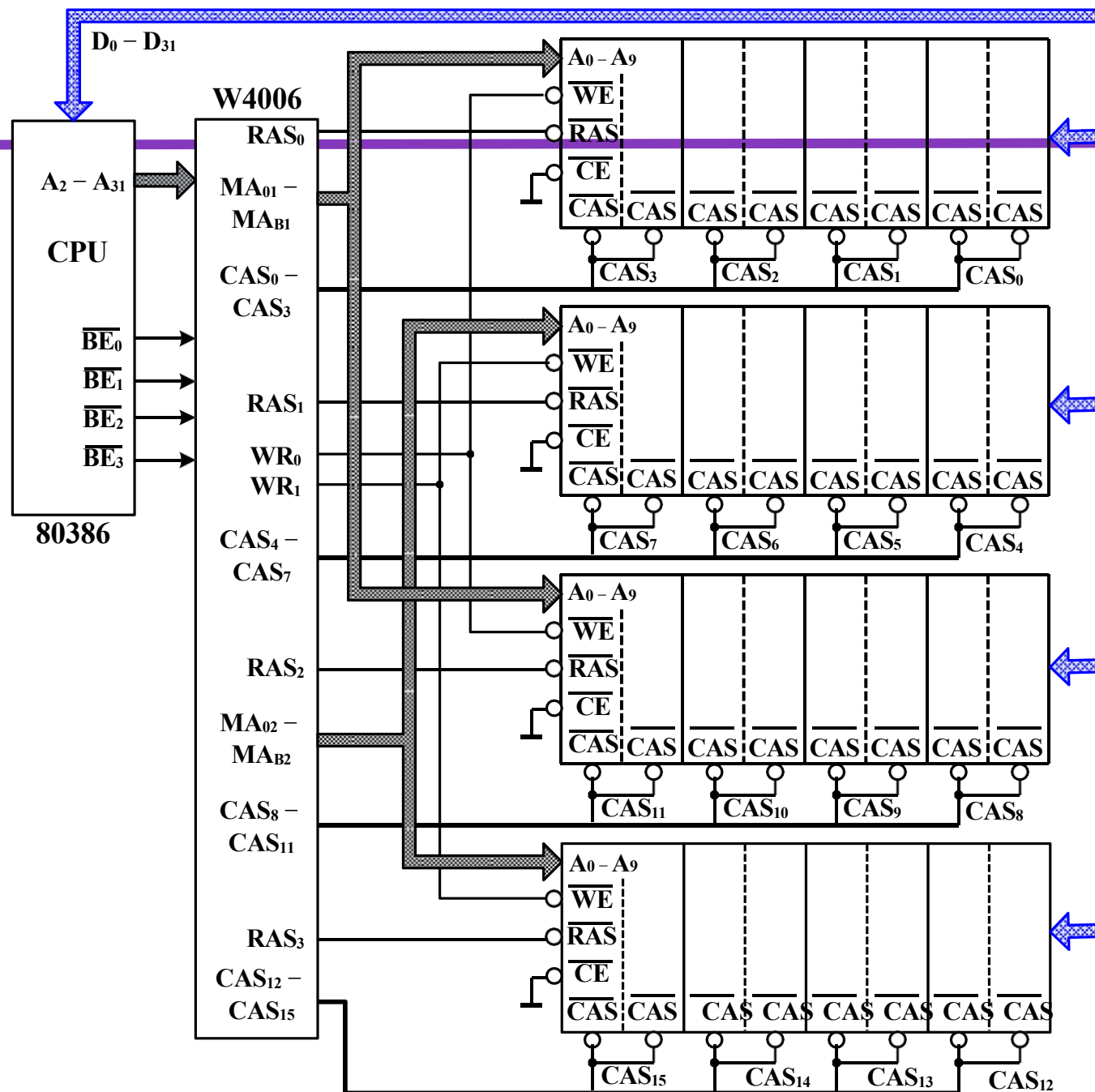
仲裁电路：来自CPU的访问存储器请求和来自刷新定时器的刷新请求同时出现，由仲裁电路对二者的优先权进行裁定。

控制信号发生器：提供行地址选通信号 $\overline{\text{RAS}}$ 、列地址选通信号 $\overline{\text{CAS}}$ 和写命令 $\overline{\text{WR}}$ ，对存储器进行存取或刷新。



主存组成实例

80386是32位处理器。地址线为 $A_2 - A_{31}$ （没有 A_0, A_1 ），用于确定一个4字节单元的地址； $\overline{BE}_0 - \overline{BE}_3$ 指明访问该4字节中的那些字节。控制两个存储器进行交叉访问。





上图利用8片 $1\text{M} \times 4$ 位的芯片进行位扩展，得到 $1\text{M} \times 32$ 位的存储模块，再利用4个这样的模块进行字扩展，得到 $4\text{M} \times 32$ 位的主存储器。通过DRAM控制器W4006AF和CPU相连。

$\text{RAS}_0 - \text{RAS}_3$ ：对存储器的行选通信号，分别与每个存储模块对应。

$\text{MA}_{01} - \text{MA}_{B1}$ ：对存储器的地址信号，对应于 RAS_0 和 RAS_2 指向的存储模块。

$\text{MA}_{02} - \text{MA}_{B2}$ ：对存储器的地址信号，对应于 RAS_1 和 RAS_3 指向的存储模块。

$\text{WR}_0 - \text{WR}_1$ ：对存储器的写允许信号。

$\text{CAS}_0 - \text{CAS}_{15}$ ：对存储器的列选通信号，由字节使能信号 $\overline{\text{BE}}_0 - \overline{\text{BE}}_3$ 产生：

$\overline{\text{BE}}_0$ ：产生 CAS_0 、 CAS_4 、 CAS_8 、 CAS_{12} ，选中 $\text{D}_7 - \text{D}_0$ ；

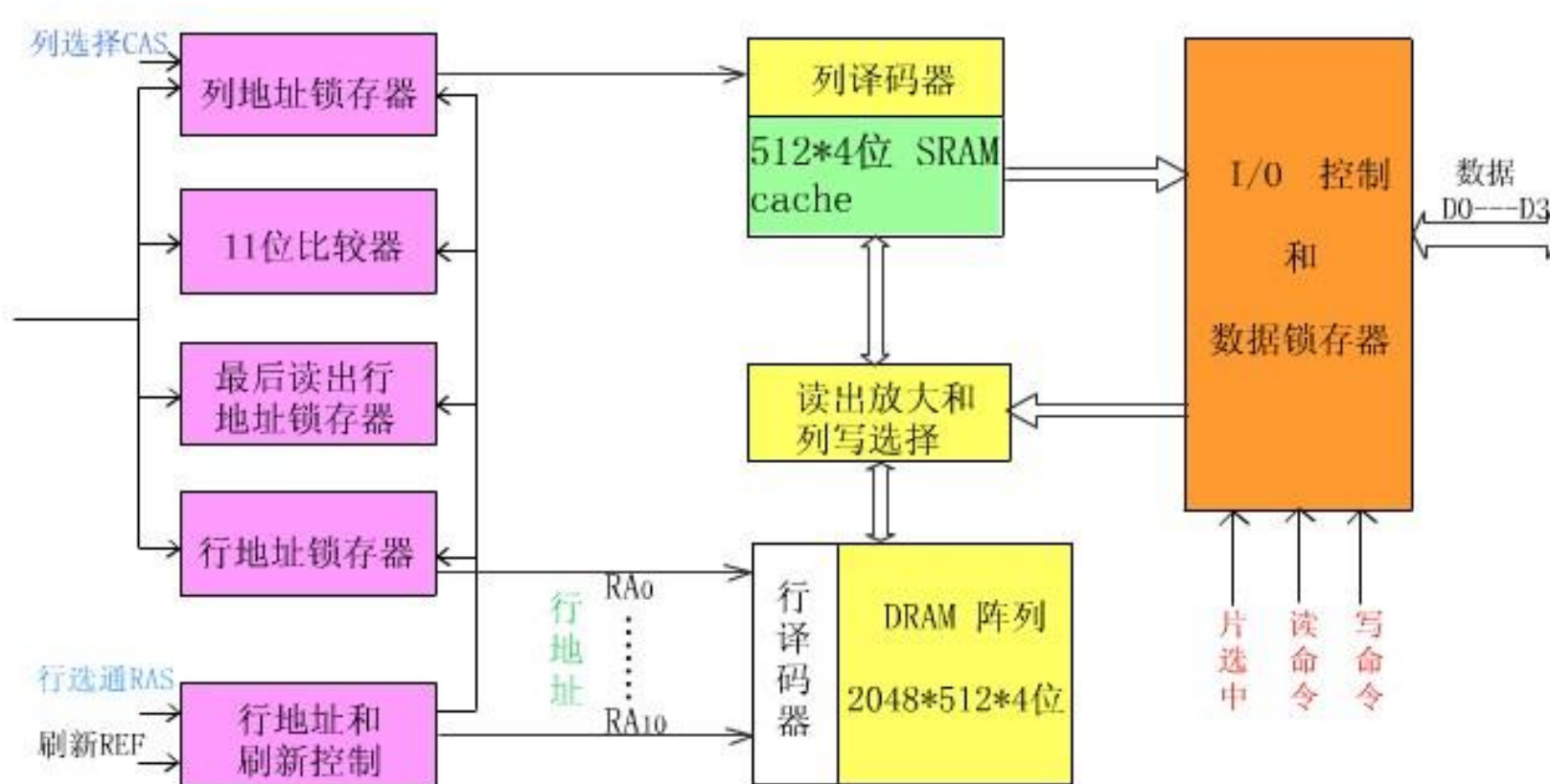
$\overline{\text{BE}}_1$ ：产生 CAS_1 、 CAS_5 、 CAS_9 、 CAS_{13} ，选中 $\text{D}_{15} - \text{D}_8$ ；

$\overline{\text{BE}}_2$ ：产生 CAS_2 、 CAS_6 、 CAS_{10} 、 CAS_{14} ，选中 $\text{D}_{23} - \text{D}_{16}$ ；

$\overline{\text{BE}}_3$ ：产生 CAS_3 、 CAS_7 、 CAS_{11} 、 CAS_{15} ，选中 $\text{D}_{31} - \text{D}_{24}$ ；

>>> 新型DRAM芯片

- **CDRAM**: 增强型DRAM (cache DRAM) 。它是在DRAM芯片内集成了一个SRAM作为高速缓存。
- 以 $1\text{M} \times 4$ 位CDRAM为例，其SRAM为 512×4 位。CDRAM的存储元排列成 $2048 \times 512 \times 4$ 位。地址引脚11根，采用地址复用技术。首先在行选通信号作用下锁存11位行地址，从2048行中选择一行，将该行的 512×4 位数据送入SRAM暂存；然后在列选通信号作用下，锁存9位列地址。在读命令有效时，从512列中选择一列，将其4位数据送至数据线 $D_0 - D_3$ 。
- 下一次读取时，将输入行地址与上一次读取的行地址比较，若相同表示该行数据仍在SRAM中，只需根据列地址从SRAM中选择一列输出即可；若不同则更新SRAM和最后读出行地址锁存器。这种方式对成块传送非常有利。如果读取时地址高11位不变而低9位连续变化，就可以使SRAM中位组连续读出，这称为猝发式读取。

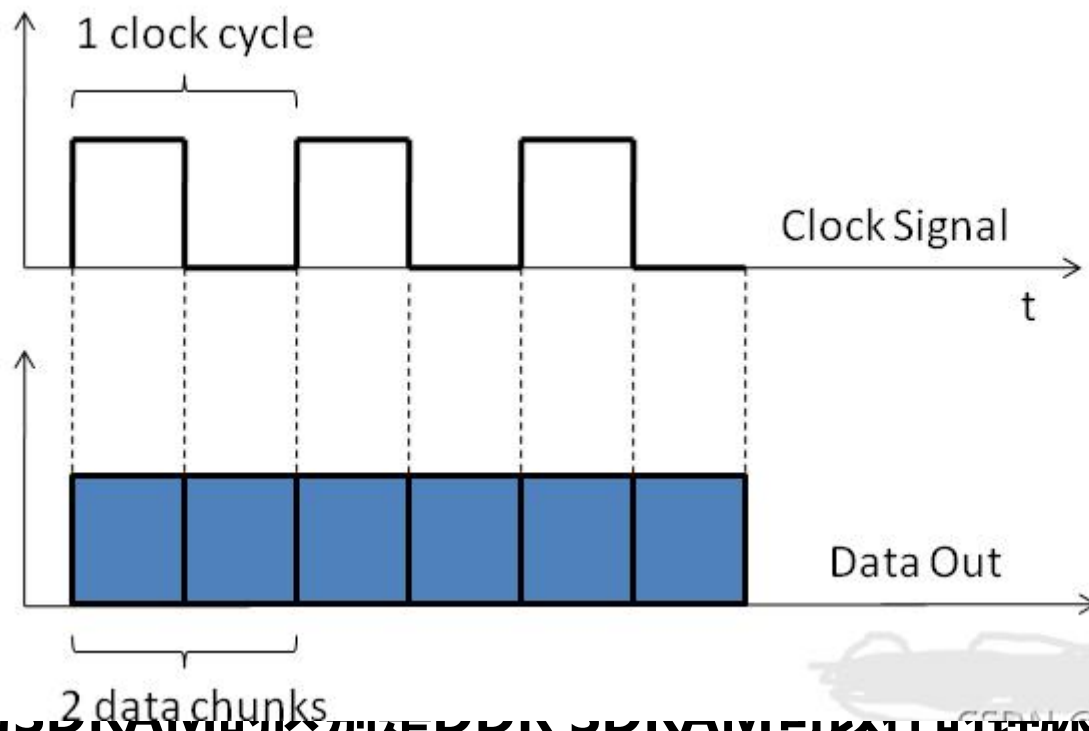


CDRAM的这种结构的两个优点:

- › 在SRAM读出期间可同时对DRAM阵列进行刷新。
- › 芯片内的数据输出路径与输入路径是分开的，允许在写操作完成的同时来启动同一行的读操作。



- > **SDRAM**: 同步DRAM (Synchronous DRAM)。传统的DRAM与CPU之间采用异步方式交换数据。CPU发等待而不能做其它任务。例如系统时钟，在存储器读操作如果DRAM是异步工
- > **DDR SDRAM**: 对SDRAM基础上，与SDRAM的区别是DDR SDRAM可以在时钟的上升沿和下降沿读出数据，不需要提高时钟频率就可以将SDRAM的速度加倍。



时间内，CPU必须
CPU知道
可离开并执行其它
以把地址放入锁存
器读出的数据。如

。其核心建立在
升沿和下降沿读出

>>> SRAM和DRAM的比较

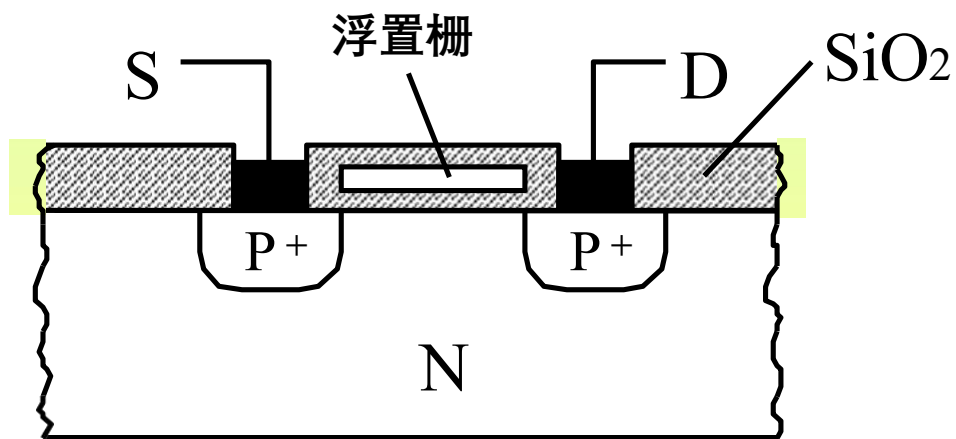
- › DRAM使用单管存储元，存储容量较大，约为SRAM的4倍。由于**DRAM采用地址复用技术，引脚数目比SRAM少得多**，封装尺寸也比较小。
- › DRAM的价格比较便宜，约为SRAM的1/4。
- › 由于使用动态存储元，DRAM的**功耗**约为SRAM的1/6。
- › DRAM的速度比SRAM低。
- › **DRAM需要刷新**，外围电路复杂。
- › SRAM一般用作容量不大的高速缓冲存储器，DRAM一般用作主存。
- › 它们的共同特点是断电后存储的信息消失，属于易失性存储器。

只读存储器

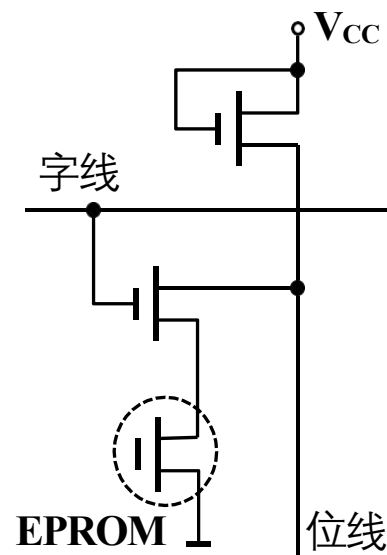
- 只读存储器 (Read Only Memory, ROM) 在正常工作时只能读出, 不能写入。ROM 是非易失性存储器, 切断电源后, 存储的信息也不会丢失。
- **掩模式只读存储器 (Masked ROM, MROM)** : 它的内容由厂家按用户提出的要求在芯片的生产过程中直接写入的, 写入后内容无法改变。MROM的优点是可靠性高, 集成度高, 形成批量之后价格便宜。缺点是灵活性差。
- **一次编程只读存储器 (Programmable ROM, PROM)** : PROM允许用户利用专门的编程器写入自己的程序, 但一旦写入后, 其内容无法改变。PROM产品出厂时, 所有记忆单元均制成0 (或1) , 用户根据需要可自行将其中某些记忆单元改为1 (或0) 。双极型PROM有两种结构, 一种是熔丝烧断型, 另一种是PN结击穿型, 由于它们的写入都是不可逆的, 所以只能进行一次写入。

>>> 只读存储器

- **可擦除可编程只读存储器 (Erasable PROM, EPROM)**：用户可以对其内容多次改写。有光擦除 (UVEPROM) 和电擦除 (EEPROM) 两种。
- **光擦除EPROM的存储单元**如下图。在出厂时所有储存单元的浮置栅都没有电荷，处于截止状态，相当于存“1”。写入“0”时，在D和S之间加高电压，使D、S间被击穿，有电子通过 SiO_2 绝缘层注入浮置栅。高压电源去除后，浮置栅上的电荷无处泄漏，使D、S间形成导电沟道，MOS管导通，相当于存“0”。如果用紫外光照射存储单元，浮置栅上的电荷形成光电流泄漏走，存储单元恢复“1”状态。



P沟道增强型浮栅雪崩注入MOS管



>>> EPROM芯片2716

- 2716是2K×8位光擦除EPROM。有11条地址线 $A_0 - A_{10}$ ，7条用于行译码，4条用于列译码；有8条数据线 $D_0 - D_7$ 。工作电源 V_{CC} 为+5V，编程电源 V_{PP} 在脱机编程时加+25V，正常工作时接+5V。
- \overline{CS} 为片选端，PD/PGM为功率下降/编程输入端。当PD/PGM接高电平时，芯片功耗下降75%，输出端呈高阻态。正常工作时， \overline{CS} 和PD/PGM连在一起，没有选中的片子就工作在功耗下降方式下。
- 编程时， \overline{CS} 接高电平，在PD/PGM端加TTL高电平脉冲，数据线上的输入就会写入指定的存储单元。

引脚 操作	PD/PGM	\overline{CS}	V_{PP}	V_{CC}	$D_0 \sim D_7$
读	低	低	+ 5V	+ 5V	输出
未选中	无关	高	+ 5V	+ 5V	高阻
功率下降	高	无关	+ 5V	+ 5V	高阻
编程	脉冲	高	+ 25V	+ 5V	输入

>>> 闪存存储器

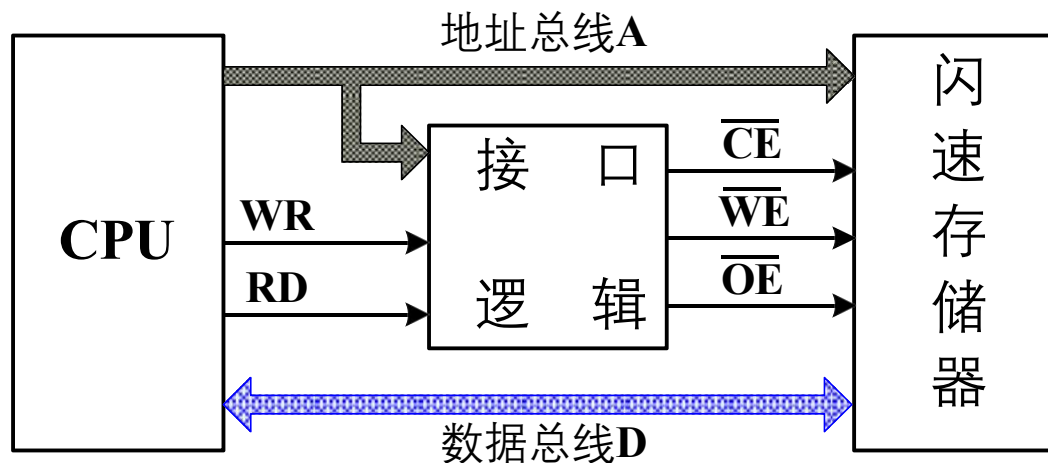
- › 闪存存储器是一种高密度、非易失性半导体存储器，其存储单元由单支叠栅MOS管构成，可在联机状态下进行电擦除、改写。其特点有：
- › **非易失性**：SRAM和DRAM的信息在断电后丢失，需要磁盘作为后援存储器。而闪存的存储单元与E²PROM类似，利用MOS管的浮置栅极是否存储电荷表示信息，具有非易失性。
- › **廉价的高密度**：相同存储容量的闪存与DRAM相比，位成本接近，但闪存节省了后援存储器（硬盘）的成本和空间。
- › **可直接执行**：闪存可与CPU直接相连，省去了从磁盘到RAM的加载步骤。**固态性能**：闪存是一种低功耗、高密度且没有机电移动装置的半导体技术，适合于便携式计算机和移动存储设备。
- › 闪存的外部接口有三类：地址总线，数据总线，控制端有片选信号 \overline{CE} ，输出允许信号 \overline{OE} 和写命令信号 \overline{WE} ；另有对器件供电的 V_{CC} （+5V）和擦除/编程电源 V_{PP} （+12V）及地线。



28F256A的工作模式

操作 \ 引脚		V_{PP}	A_0	A_9	\overline{CE}	\overline{OE}	\overline{WE}	$DQ_0 \sim DQ_7$
只读	读	V_{PPL}	A_0	A_9	0	0	1	数据输出
	输出禁止	V_{PPL}	x	x	0	1	1	高阻态
	等待	V_{PPL}	x	x	1	x	x	高阻态
读写	读	V_{PPH}	A_0	A_9	0	0	1	数据输出
	输出禁止	V_{PPH}	x	x	0	1	1	高阻态
	等待	V_{PPH}	x	x	1	x	x	高阻态
	写	V_{PPH}	A_0	A_9	0	1	0	数据输入

闪存与CPU的连接:





- V_{PP} 引脚接低电压 (V_{PPL}) 时, 28F256A是一个只读存储器, 可实现读、等待、输出禁止和读系统标识符等操作; V_{PP} 接高电压 (V_{PPH}) 时, 除实现上述功能外, 还可实现存储器内容的变更, 如擦除和编程。
- **读操作:** 片选信号 \overline{CE} 和输出允许信号 \overline{OE} 都有效 (低电平) 时实现数据输出。 V_{PP} 接高电压时, 读操作可输出阵列数据、系统标识符代码, 还可输出数据实现擦除/编程校验; V_{PP} 接低电压时, 只能输出阵列数据。
- **输出禁止操作:** 输出允许端 \overline{OE} 接高电平时, 28F256A被禁止输出, 数据输出引脚处于高阻态。
- **等待操作:** 片选信号 \overline{CE} 处于高电平时, 器件功耗大大降低, 输出端呈高阻态。
- **标识符操作:** 当 \overline{CE} 和 \overline{OE} 均为低电平时, 令 A_9 升至高电压, 从地址0000H和0001H可读出厂家代码和器件代码。
- **写操作:** V_{PP} 接高电压, $\overline{CE} = 0$ 且 $\overline{WE} = 0$ 时, 实现写操作。

CPU和主存储器在速度上是不匹配的，限制了CPU性能的发挥；另一方面，在一个CPU周期内可能需要几个存储单元的数据，这种情况也成为限制高速计算机的主要问题。

解决CPU和主存之间速度差异的主要途径有：

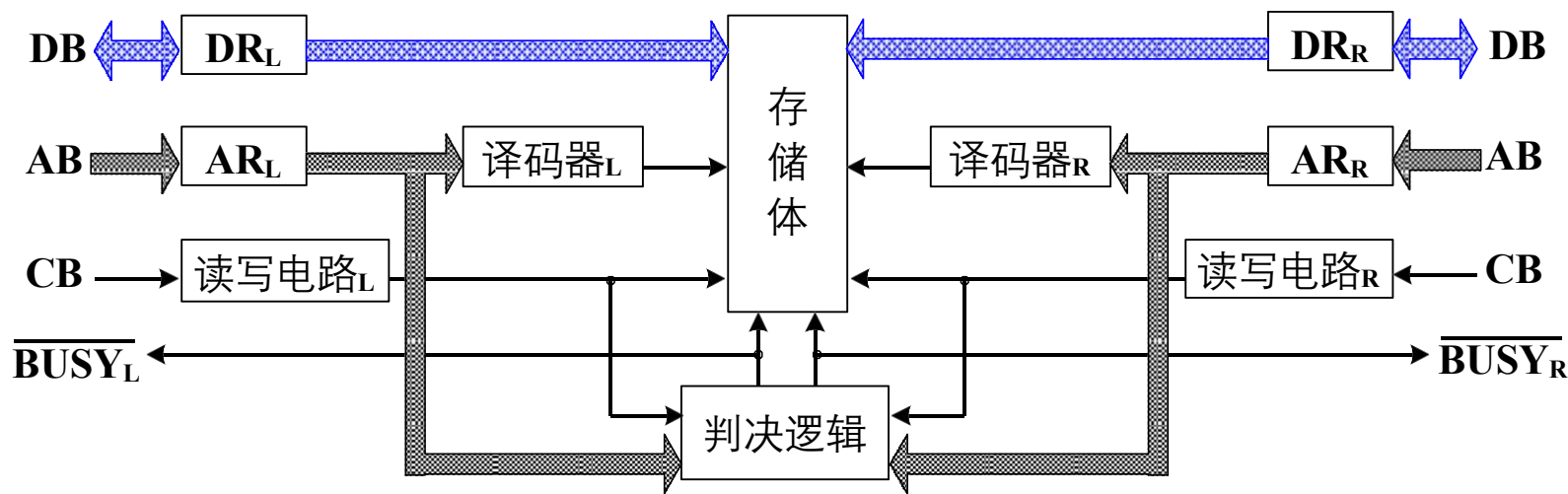
- ① 在CPU内部设置更多的通用寄存器，存放运算的中间结果，减少访问主存的次数。**
- ② 在CPU和主存之间插入高速缓冲存储器（Cache），缩短读出时间。**
- ③ 采用并行操作的存储器，如双端口存储器、多模块交叉存储器和相联存储器。**
- ④ 主存储器采用更高速的技术来缩短读出时间，或加长存储器的字长。**

双端口存储器

存储器一方面要不断接受CPU的访问，另一方面还要与外围设备交换信息。普通的RAM只有一套访问端口，在任一时刻只能接受一个部件的访问，而且一个存储周期内只能读/写一次，是串行的工作模式。

双端口RAM有两个相互独立的访问端口，即在一个存储体中配置左右两套地址寄存器（ AR_L ， AR_R ）、地址译码器、数据缓冲寄存器（ DR_L ， DR_R ）和读写控制电路。两个端口分别连接两套独立的总线。

IDT7133是 $2K \times 16$ 位双端口RAM。两个端口具有各自的地址线（ $A_0 \sim A_{10}$ ）、数据线（ $I/O_0 \sim I/O_{15}$ ）和控制线（ R/\overline{W} ， \overline{CE} ， \overline{OE} ， \overline{BUSY} ）。



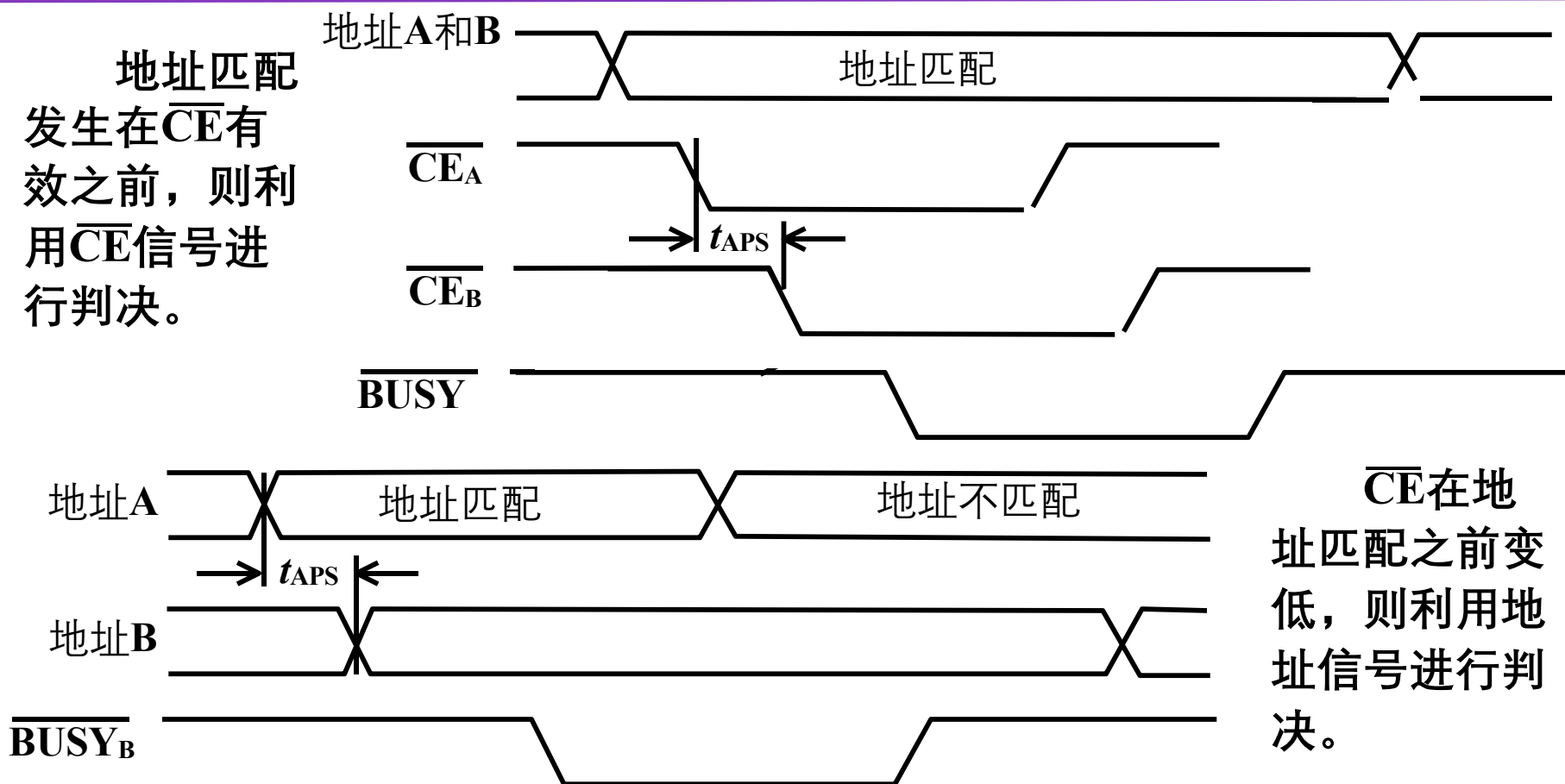


当两个端口地址不同时，在两个端口进行读写操作，不会发生冲突。任意端口被选中时，就可以对地址码指定的存储单元进行存取。每个端口有自己的片选控制 \overline{CE} 、输出驱动控制 \overline{OE} 和读写控制 R/\overline{W} 。读操作时， \overline{CE} 为低电平， R/\overline{W} 为高电平， \overline{OE} 为低电平，输出驱动器打开，从存储矩阵读出的数据就出现在数据总线上；写操作时， \overline{CE} 为低电平， R/\overline{W} 为低电平，将数据缓冲寄存器的数据写入存储矩阵。

左端口或右端口						功 能
R/\overline{W}_{LB}	R/\overline{W}_{UB}	\overline{CE}	\overline{OE}	I/O ₀₋₇	I/O ₈₋₁₅	
×	×	1	×	Z	Z	功率下降模式，高阻抗输出
0	0	0	×	数据入	数据入	低位和高位字节数据写入存储器
0	1	0	0	数据入	数据出	低位字节写入，高位字节输出
1	0	0	0	数据出	数据入	低位字节输出，高位字节写入
0	1	0	1	数据入	Z	低位字节写入存储器
1	0	0	1	Z	数据入	高位字节写入存储器
1	1	0	0	数据出	数据出	存储器数据输出至低位和高位字节
1	1	0	1	Z	Z	高阻抗输出



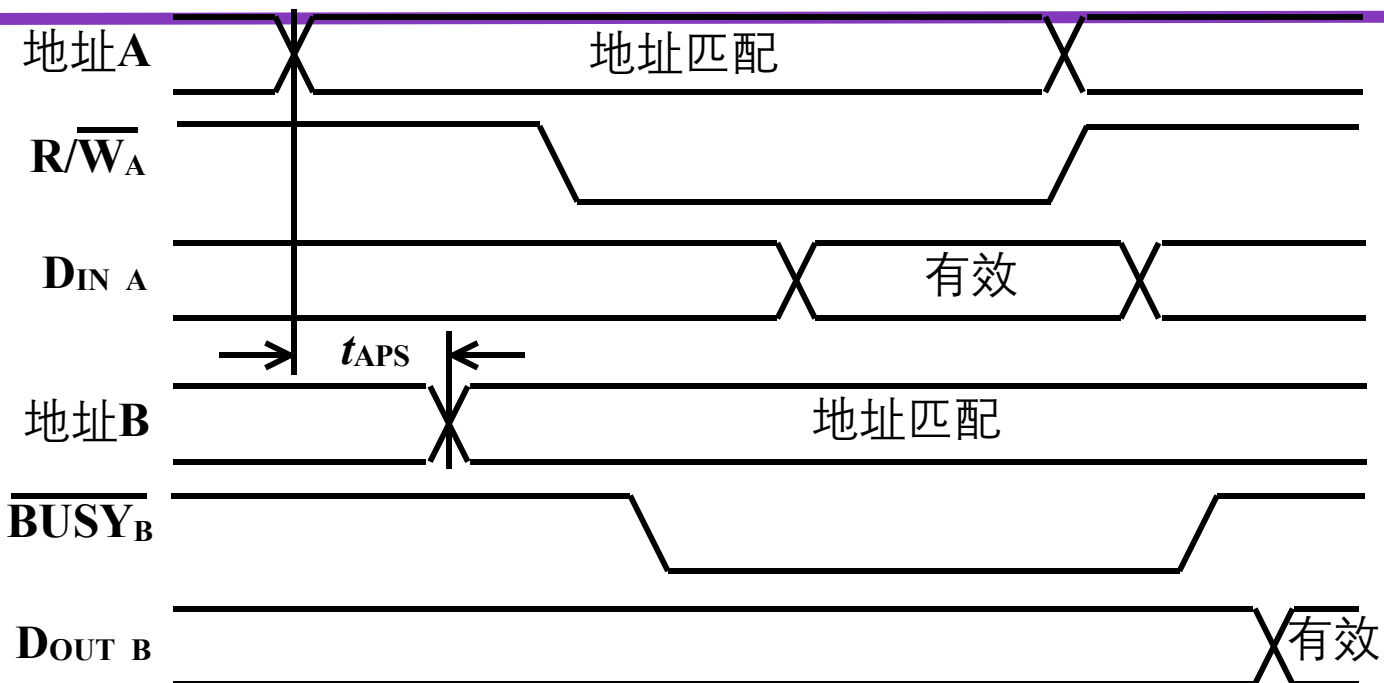
两个端口对同一存储单元进行访问，会发生冲突。此时由判决逻辑对端口的优先权进行判决。在判决中失败的端口置 $\overline{\text{BUSY}}$ 标志，暂时关闭该端口。



- ① 端口A可以指左端口也可以指右端口，端口B是和A相反的端口；
- ② t_{APS} 不能小于 5 ns，否则无法确定那个端口的 $\overline{\text{BUSY}}$ 信号变成低电平，但不会出现两个端口的 $\overline{\text{BUSY}}$ 同时变成低电平。



下图是端口A对某一存储单元进行写操作，端口B对同一存储单元进行读操作的时序。端口A的地址首先有效，因此在判决中获得优先权。



双端口RAM的应用：

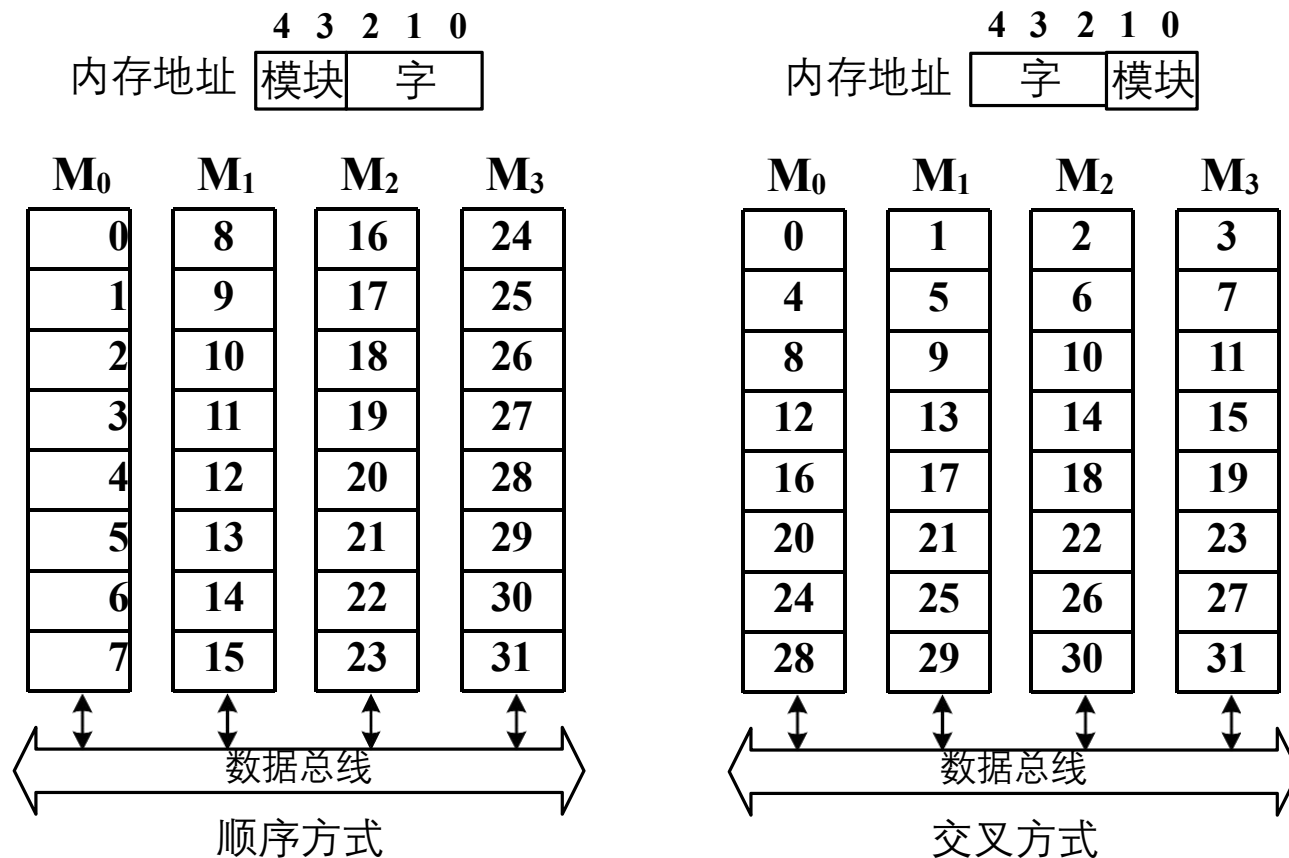
- ① 实现CPU和DMA设备同时并行访问主存，避免相互干扰。
- ② 在多机系统中，用双端口或多端口存储器实现多机之间的信息交换。
- ③ 多级存储体系中的Cache采用双端口，一端面向CPU，一端面向主存，CPU访问Cache和Cache与主存交换数据可并行进行。
- ④ 内部总线为多总线结构的CPU中，用作通用寄存器为运算器的两个输入端并行提供操作数。



多模块交叉存储器



- **顺序方式：**某一模块出现故障时，其他模块可以照常工作，通过增添模块来扩充存储器容量比较方便。各模块串行工作，存储器的带宽受到限制
- **交叉方式：**连续地址分布在相邻的模块内，同一个模块内的地址是不连续的。对连续字的成块传送可实现多模块流水式并行存取，提高存储器带宽。





每个模块有各自的读写控制电路、AR和DR。CPU同时访问四个模块，由存储器控制部件控制它们分时使用数据总线进行信息传递。

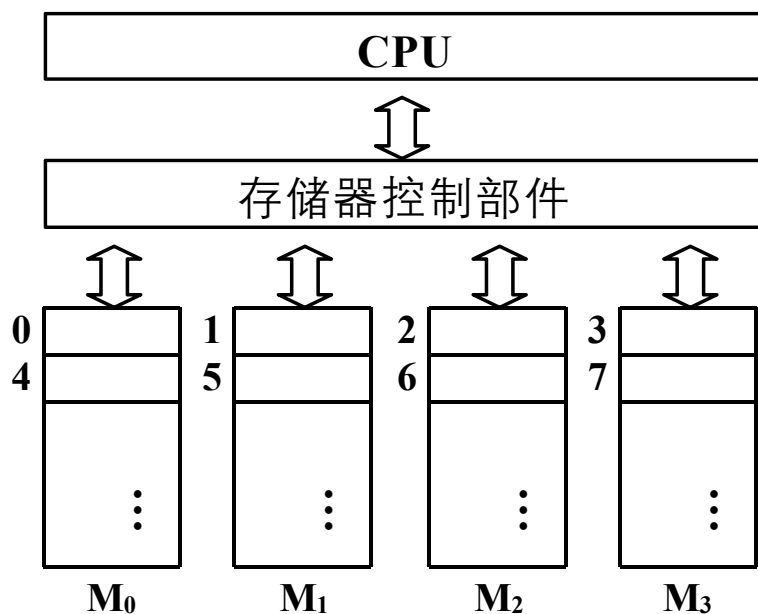
设模块存取一个字的存储周期为 T ，总线传送周期为 τ ，存储器的交叉模块数为 m ，为了实现流水线方式存取，应当满足

$$T = m\tau \quad (m = T/\tau \text{ 称为交叉存取度})$$

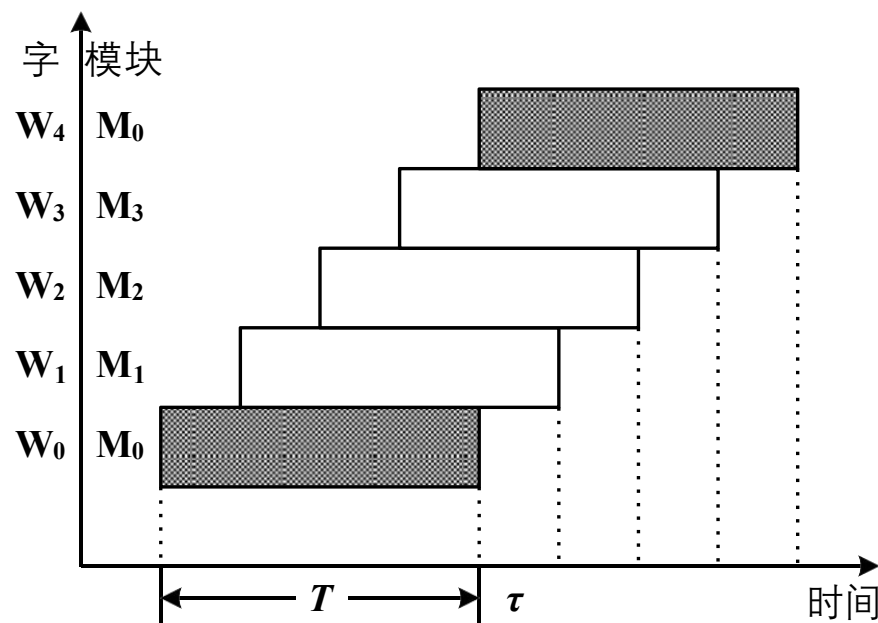
连续读取 n 个字所需的时间为

$$t_1 = T + (n - 1)\tau$$

而顺序方式存储器连续读取 n 个字所需时间为 $t_2 = nT$ 。交叉存储器的带宽大大提高。



四模块交叉存储器结构



四模块交叉存取的工作时序

多模块交叉存储器

例：设存储器容量为32字，字长64位，模块数 $m=4$ ，分别用顺序方式和交叉方式进行组织。存储周期 $T=200\text{ns}$ ，数据总线宽度为64位，总线传送周期 $\tau=50\text{ns}$ 。连续读4个字，问顺序存储器和交叉存储器的带宽各是多少？



多模块交叉存储器

【解】

顺序存储器和交叉存储器连续读出 $m=4$ 个字的信息总量都是

$$q=64\text{位}\times 4=256\text{位}$$

顺序存储器和交叉存储器连续读出4个字所需的时间分别是：

$$t_2=mT=4\times 200\text{ns}=800\text{ns}=8\times 10^{-7}\text{s};$$

$$t_1=T+(m-1)\tau=200\text{ns}+3\times 50\text{ns}=350\text{ns}=3.5\times 10^{-7}\text{s}$$

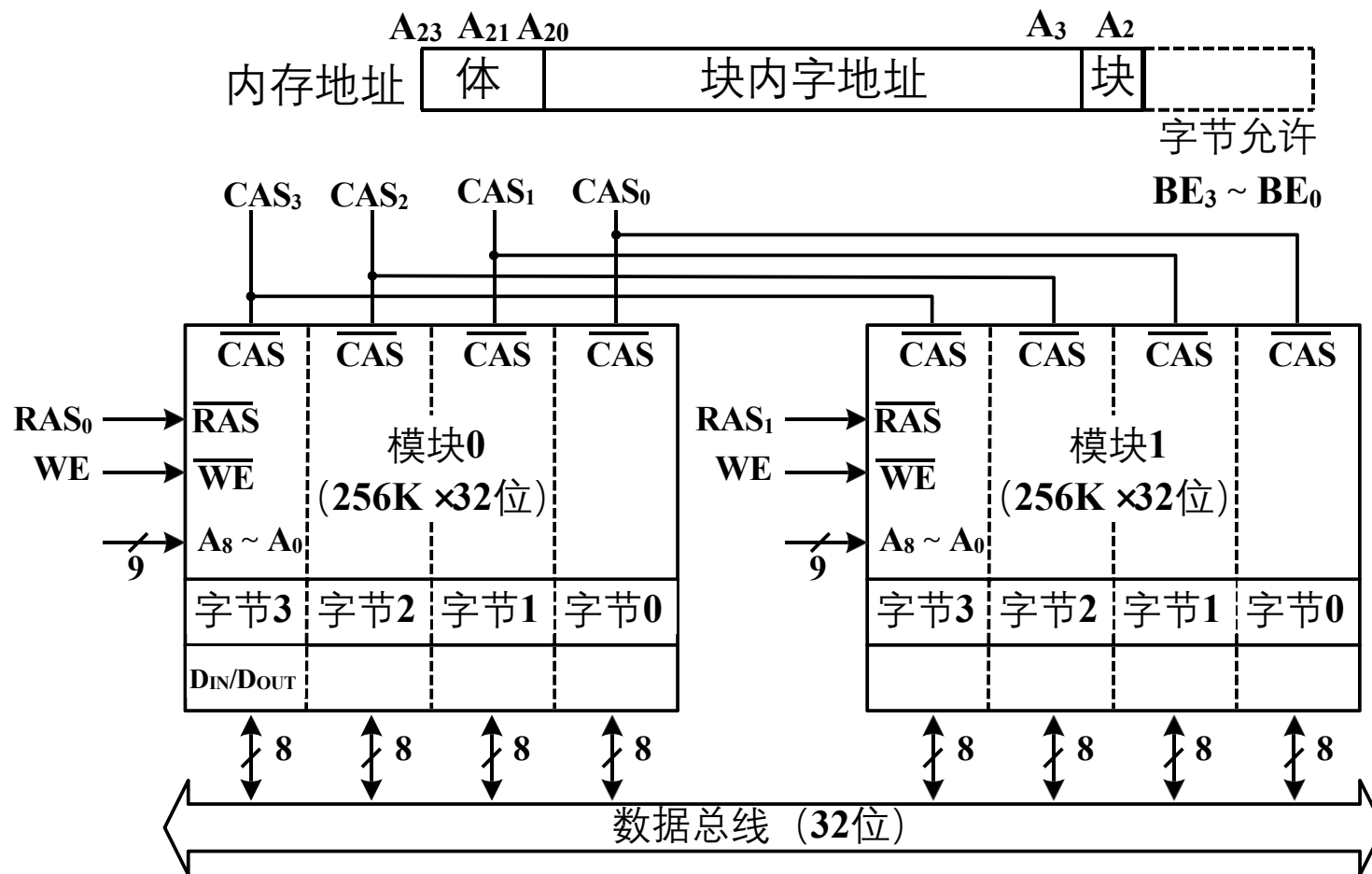
顺序存储器和交叉存储器的带宽分别是：

$$W_2=q/t_2=256\div (8\times 10^{-7})=32\times 10^7 \text{ [位/s] } ;$$

$$W_1=q/t_1=256\div (3.5\times 10^{-7})=73\times 10^7 \text{ [位/s]}$$

二模块交叉存储器实例

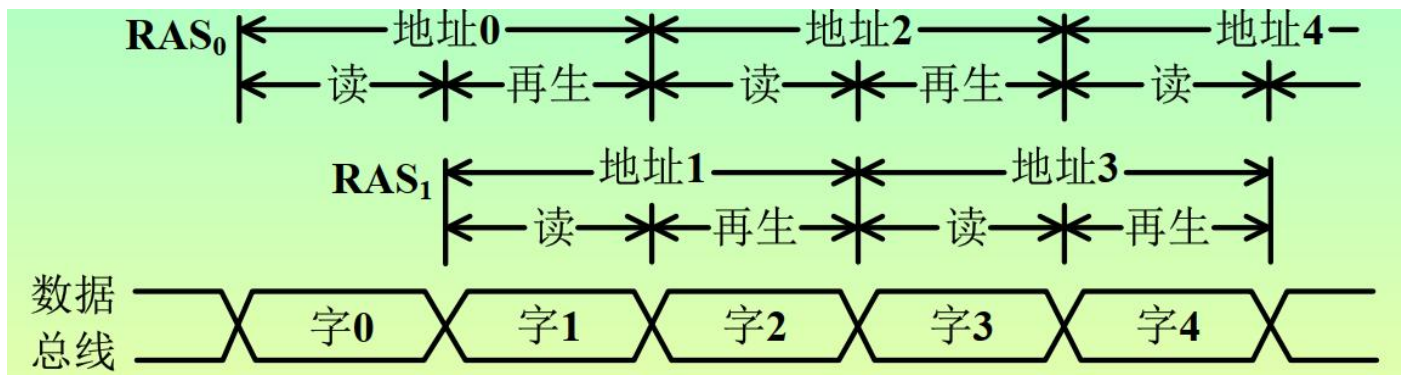
每个模块为 $256K \times 32$ 位，两个模块构成一个2MB的存储体，全系统共8个存储体。地址总线24位，**高3位选择存储体**； **$A_{20} \sim A_3$ 的18位地址用于模块内的 $256K$ 个存储字选择**，分成行、列地址送至芯片的9位地址引脚； **A_2 用于模块选择**， $A_2 = 0$ 时模块0的行选择信号 RAS_0 有效， $A_2 = 1$ 时模块1的行选择信号 RAS_1 有效。





多模块交叉存储器

- 单管DRAM存储元的读出为破坏性读出，读取后要立即按照读出信息予以再生。若CPU先后两次读取的存储字使用同一RAS选通信号，CPU在接收到第一个存储字之后必须插入等待状态，直至前一存储字再生完毕才开始第二个存储字的读取。若采用 $m=2$ 的交叉存取度的成块传送，两个连续地址字的读取之间不必插入等待状态（零等待存取）。

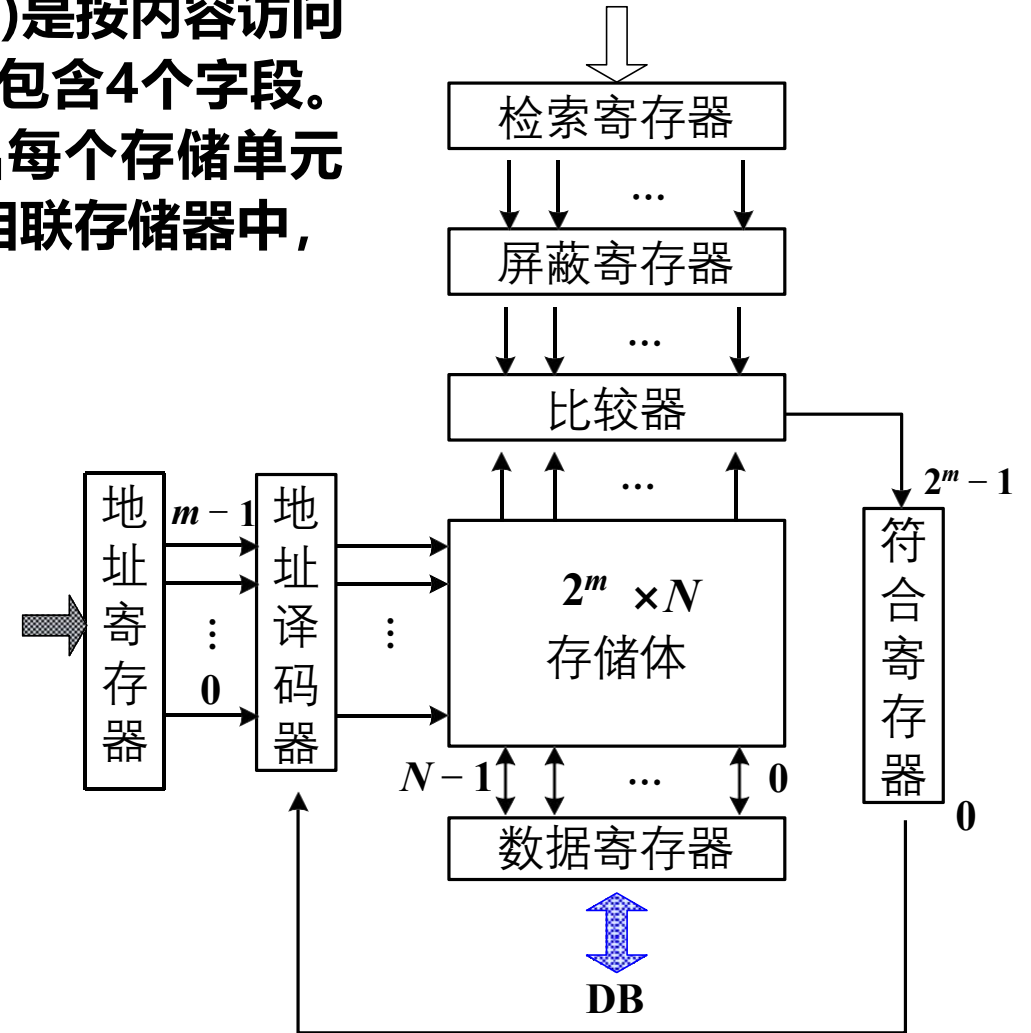


- 多模块交叉存储器适用于并行处理，在读取连续数据块时可获得高效率，是大、中型机内存的典型结构。多模块交叉存储器要求模块数为2的整数幂，任意模块出现故障都会影响整个地址空间。

相联存储器

- 相联存储器 (Content Addressed Memory, CAM)是按内容访问的存储器。以下表为例，该表包含4个记录，每个记录包含4个字段。为了查找成绩为80的人，可以从地址 n 开始逐一读出每个存储单元的内容，再对第4字段进行判断；也可将表格存放在相联存储器中，用第4字段作为关键字直接进行查找。
- 相联存储器的基本原理是把存储单元所存内容的一部分作为检索项(即关键字项)，去检索该存储器，并将存储器中与该检索项符合的存储单元内容进行读出或写入。

物理地址	学号	姓名	出生年月	成绩
n	001	AA	1981.1	80
$n+1$	002	BB	1981.2	85
$n+2$	003	CC	1981.3	90
$n+3$	004	DD	1981.4	95



相联存储器结构



相联存储器

相联存储器包括以下几部分：

- ① **存储体**：用高速半导体存储器构成。有 2^m 个存储单元，每个存储单元为 N 位。
- ② **检索寄存器**：用于存放检索内容，长度为 N 位。检索时，取其中若干位作为检索项。
- ③ **屏蔽寄存器**：用于存放屏蔽码，长度为 N 位。检索寄存器中检索项对应的屏蔽寄存器中的相应位为1，非检索项对应的位为0，被屏蔽掉。
- ④ **符合寄存器**：用于记录各存储单元的相应位与检索项的符合情况。符合寄存器的位数等于存储单元数，每一位对应一个存储单元。
- ⑤ **比较器**：将检索项和各存储单元相应位进行比较，比较结果送符合寄存器相应位。
- ⑥ **数据寄存器**：存放从存储体中读出的数据和向存储体写入的数据。

在计算机系统中，相联存储器主要用于存放Cache的行地址，或用于存放虚拟存储器中的分段表、页表和快表。



谢谢