Subject [Cache memory + controller]   موضوع الدرس

Date   التاريخ   cache mem

Cache memory → SRAM   cpu ⇄ ≠ [ ] ⇄ ≠ [ ]

Cache Hit: لو الـ CPU طلب عنوان وطلع الـ range موجود

cache miss: لو طلب العنوان ومطلعش موجود في الـ range

فيه Levels من الـ Cache memory بتتحدد من مدى قربه من الـ Core

(*) Cache Coherance: بيضمن إن لو مواجهة التغيرات في الـ cache الـ Controller بتاعه يسمع باقي الـ Controllers

higher → Lower

Regfile > cache > memory [RAM] > HDD [speed]

- FPU [Floating Point Unit]: خاصة بالأرقام float
- MPU [memory Protection Unit]:

cpu ⟷ cache ⟷ mpu ⟷ main RAM

- MMU [memory managment unit]

mp ⟷ mmu ⟷ Ram

(*) Data Buss → Bidirection   في الاتجاهين
رايح للـ mp أو جاي منه

(*) Address Buss → unidirection   في اتجاه واحد
طالع فقط من mp

(*) Control Buss → 4 lines بيتشكل عن

↳ Active low [Active whe equal Zero]

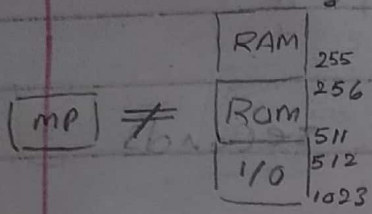
(*) Archit

(1) von-neumen :- one memory system

← مينفعش اكلم الـ RAM والـ Rom ل

هتقسم الوقت لأن كل واحدة

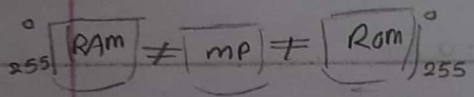
ليها Range من indeces مختلفة



(2) Harvard :-

← الاتنين ليهم نفس الـ indeces range

فيبقى مش عارف أكلم انهي واحد ؟

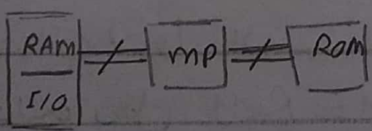


⇒ Sol :- S.W → RAM → هنكتب Assembly

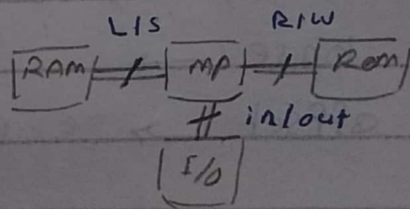
c-language بنكتبها بـ . load / store اسمها instruction

→ Rom → Read / write

(*) I/o (harvard)

→ 

memory - mapped

→ 

Port - mapped

Subject موضوع الدرس

Date التاريخ

(*) Pipelining :- في نفس الوقت instruction i.s

- Von-n → can't support Pipelining
- Harvard → can support Pipelining

- Risc → can support Piplining
- Cisc → can't support Piplining

- Mips → Million - inst - per - seconds

(*) Clock systems

↳ electrical → RC - oscillater

↳ mechanical → Material

→ Ceramic Resenator

→ crystel oscillater

ES ⟹ (memory mapped)

for exp: range of addrecessa ل Device كل

↳ (GPIO) → (Base) + (offset)

base → periphial لليوصلنا لأول ال

offset → periphial داخل ال Reg ليوصلنا لكل

periphial → [H.w circuit + Reg]

(*) Embedded sys Engineer يتعامل → TRM

[Tech - Ref - manual] → specs

Subject موضوع الدرس | Date التاريخ

Specs → TRm

↳ (memory map)

↳ Periphial

① base address ← كل الي بتتبع ←

② End → for periphial

→ inside The periphial → offset

- X or 0 → X
- X or 1 → 1

* H W Ports :-

↳ two types → master / slave

* Protocol

type → AXi / AHB / CHi

→ master intiate transaction → Read / write [Add-data-size]