TSN硬件使用手册

（版本1.0）

OpenTSN开源项目组

2020年12月

**目录**

[1. 概述 3](#_Toc63779884)

[2. 板卡的说明 3](#_Toc63779885)

[3. 搭建硬件工程 4](#_Toc63779886)

[3.1. 代码下载 4](#_Toc63779887)

[3.2. IP核定制 4](#_Toc63779888)

[3.3. 工程编译 4](#_Toc63779889)

[4. 逻辑下载到FPGA 4](#_Toc63779890)

[5. 工程上板调试 5](#_Toc63779891)

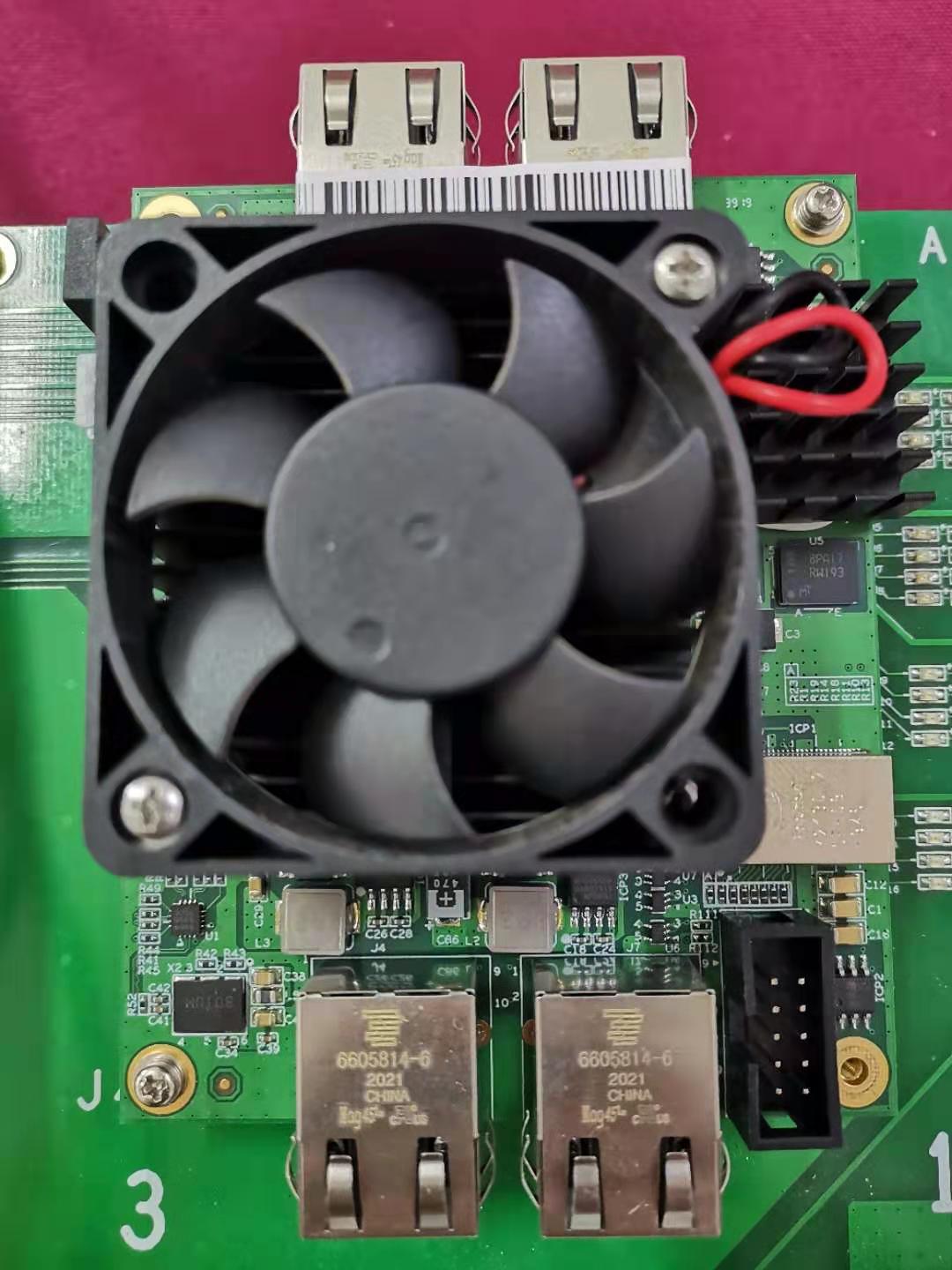
# 概述

本文档为时间敏感网络（下文简称TSN）硬件的使用手册，介绍了TSN硬件板卡和工程编译的操作步骤。

TSN硬件包含4个千兆以太网接口，可作为端、交换和交换端；支持IEEE 802.1AS、802.1Qch、802.1Qbv、802.1Qcc标准，能对端系统时间敏感分组的注入和提交时间进行精确控制。

# 板卡的说明

如下图2‑1所示，是TSN硬件板卡，其对外接口在图中有相应的标注及表格内有说明。



0

2

3

1

图2‑1 板卡图

上图中标号0-3的接口详细说明如表1。

表1 TSN硬件板卡接口说明

|  |  |
| --- | --- |
| 编号 | 接口说明 |
| 0 | 0号千兆以太网接口 |
| 1 | 1号千兆以太网接口 |
| 2 | 2号千兆以太网接口 |
| 3 | 3号千兆以太网接口 |

# 搭建硬件工程

## 代码下载

TSN硬件代码下载网址为<https://github.com/fast-codesign/OpenTSN2.0/tree/>

centrilized/Hardware。

## IP核定制

用户需自己在Inter Quartus中生成硬件工程所需的IP核（包括锁相环、RAM、FIFO等）,并将生成的IP核文件夹及其qsys文件放置在ipcore目录下，每个IP核的各参数设置详见ipcore/readme.txt

## 工程编译

用户在代码根目录下执行make，然后工程开始综合、布局布线、生成sof文件、静态时序分析等；在界面出现compile finish时，说明工程编译完成，在

output\_files目录下生成sof文件。

# 逻辑下载到FPGA

TSN硬件逻辑下载到FPGA的具体操作步骤如下：

1. 用下载线将编译工程的电脑连接图2-1的硬件开发板。
2. 打开Inter Quartus，点击tools->programmer->addfiles，添加编译完成的TSN\_FPGA\_8port.sof文件/TSN\_FPGA\_8port.jic（如果需要固化程序，需先将sof文件转换成jic文件）。如下图4‑1所示。

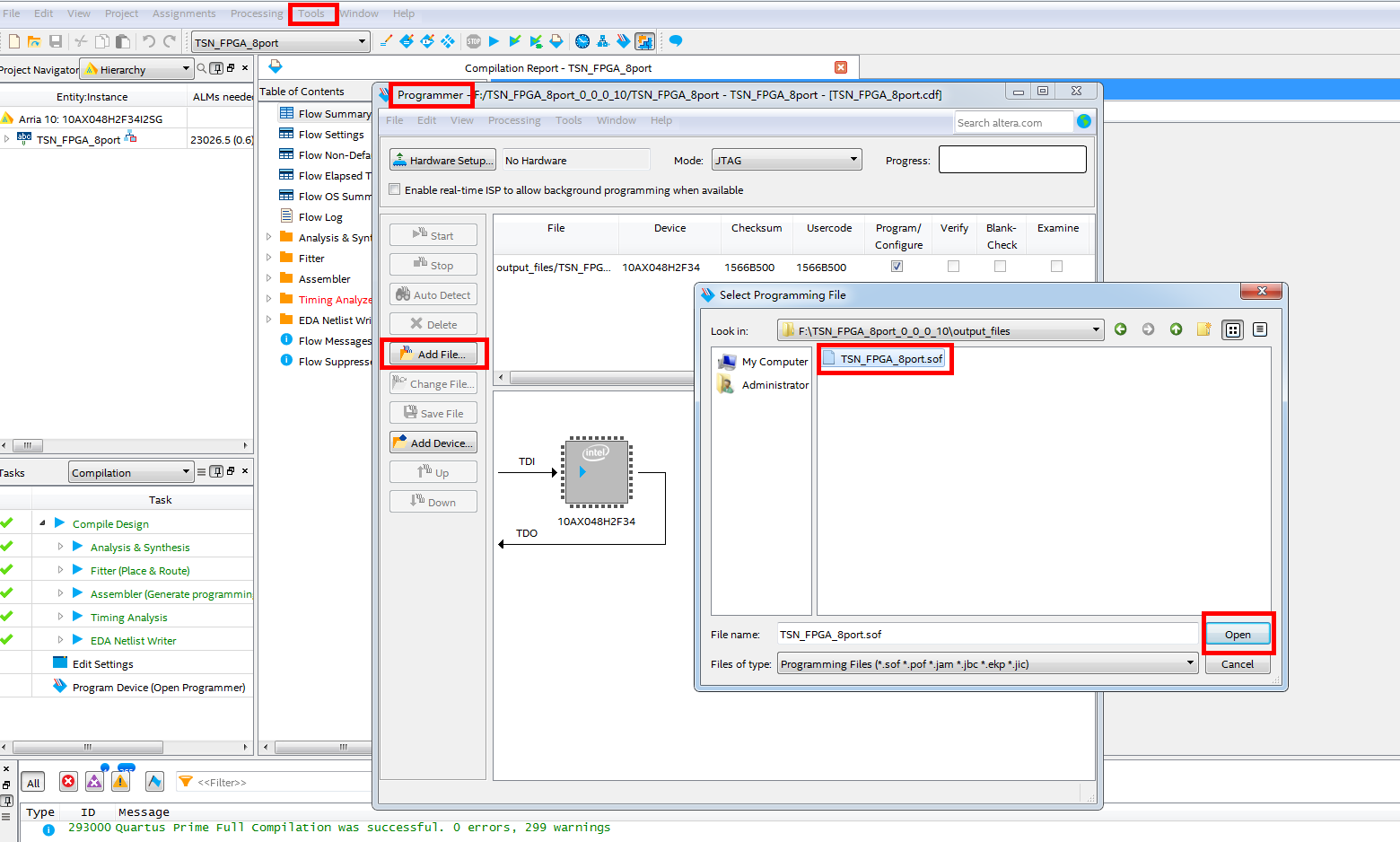


图4‑1 添加.sof/jic文件

1. 选择下载线的USB串口，并选择JTAG模式下载，点击start开始将TSN逻辑下载到FPGA。如下图4‑2所示。

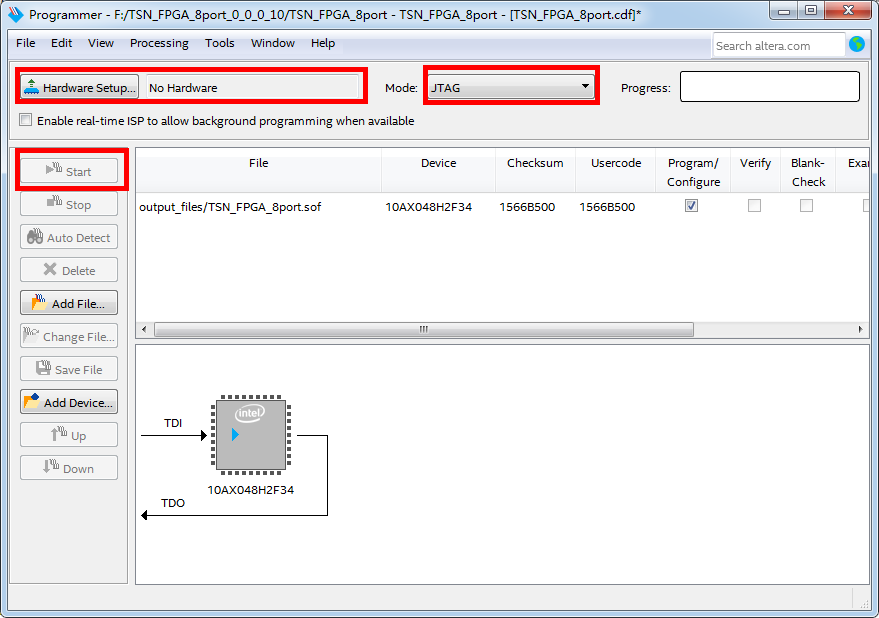


图4‑2 下载TSN硬件逻辑

# 工程上板调试

上板调试的大致操作步骤如下：

1. 点击tools->signaltaplogicAnalyzer，在触发信号栏，选择需要调试的信号，设置触发参数。如下图5‑1所示。

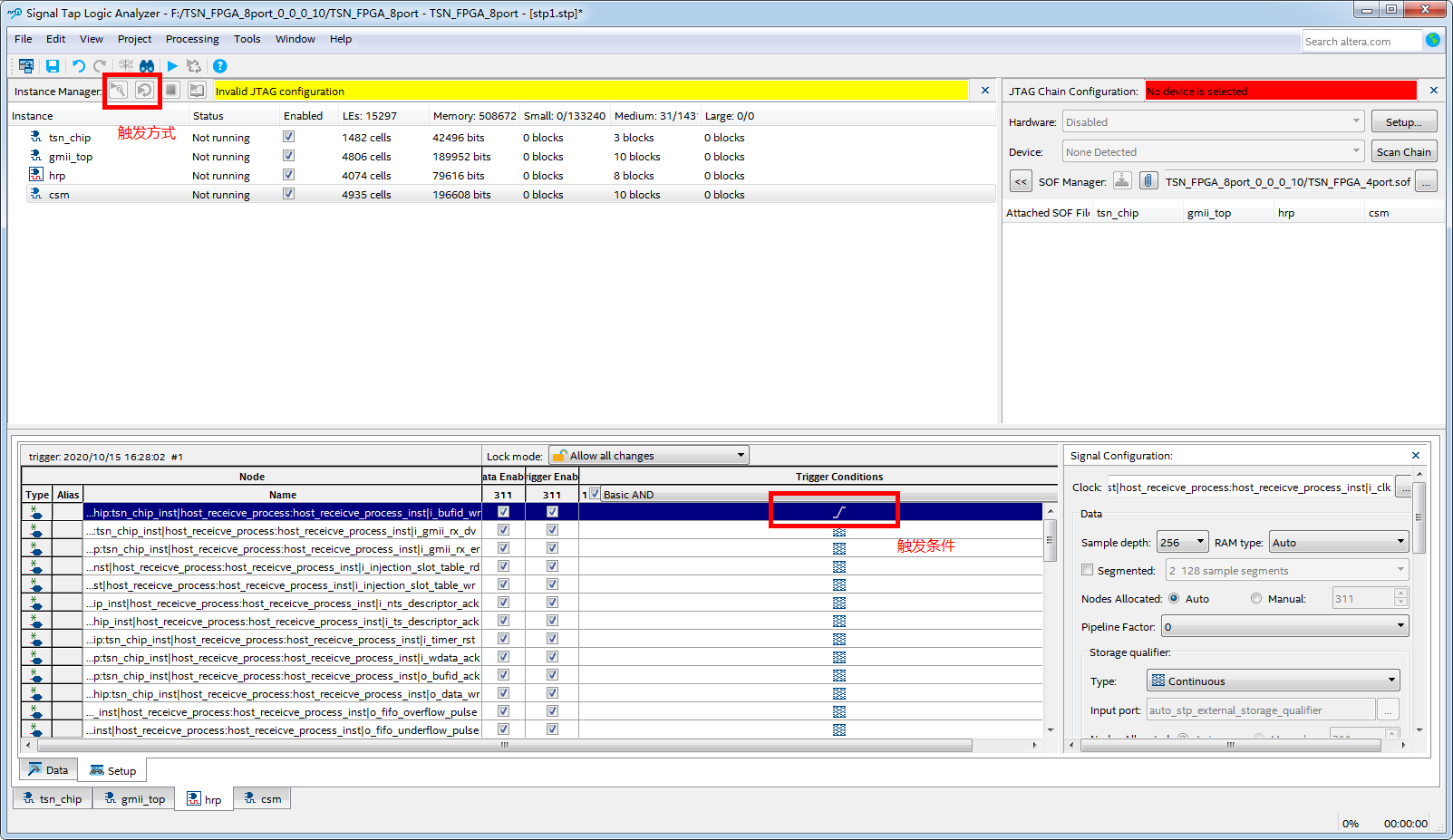


图5‑1 设置触发参数

1. 选择单步触发或连续触发，可以看到调试信号的具体数据。如下图5‑2所示。

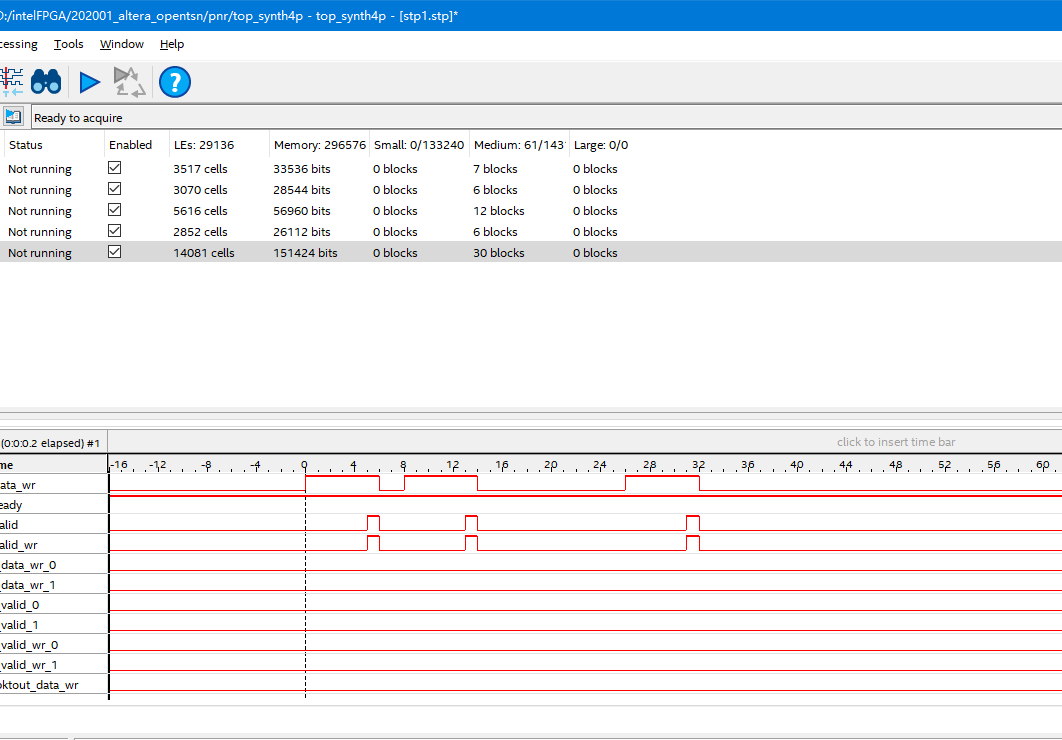


图5‑2 调试信号的具体数据