

Digitaltechnik

Wintersemester 2024/2025

Vorlesung 3



TECHNISCHE
UNIVERSITÄT
DARMSTADT



ENCRYPTO
CRYPTOGRAPHY AND
PRIVACY ENGINEERING

1 Spannungen als Logikpegel

2 Feldeffekt-Transistoren

3 CMOS-Gatter

4 Leistungsaufnahme



Harris 2016
Kap. 1.6 - 1.9

Anwendungs- software		Programme
Betriebs- systeme		Gerätetreiber
Architektur		Befehle Register
Mikro- architektur		Datenpfade Steuerung
Logik		Addierer Speicher
Digital- schaltungen		UND Gatter Inverter
Analog- schaltungen		Verstärker Filter
Bauteile		Transistoren Dioden
Physik		Elektronen

Nächste Woche nutzen wir SystemVerilog in den Übungen

Wenn möglich Laptop mitbringen!










Abgabefrist für Hausaufgabe A zu
Vorlesungen 01 und 02 nächste Woche
Freitag 23:59!

1 Spannungen als Logikpegel

2 Feldeffekt-Transistoren

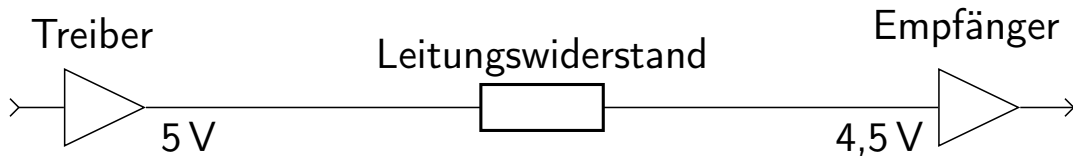
3 CMOS-Gatter

4 Leistungsaufnahme

Anwendungs- software		Programme
Betriebs- systeme		Gerätetreiber
Architektur		Befehle Register
Mikro- architektur		Datenpfade Steuerung
Logik		Addierer Speicher
Digital- schaltungen		UND Gatter Inverter
Analog- schaltungen		Verstärker Filter
Bauteile		Transistoren Dioden
Physik		Elektronen



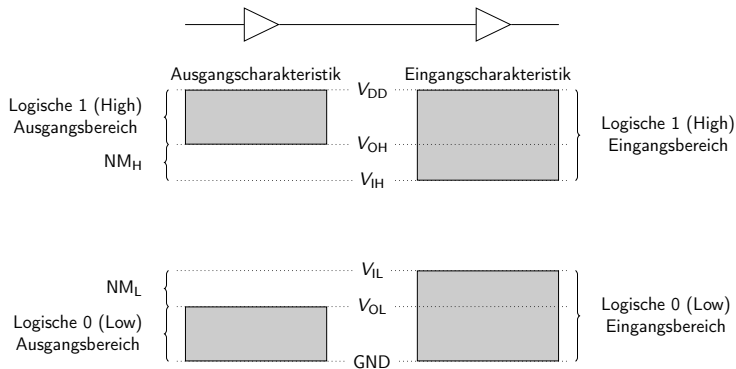
- definiere Spannungspegel für die Werte 0 und 1
 - Logikpegel (logic levels)
- Beispiel:
 - $0\text{ V} \mapsto 0$ (Erde, GND, V_{SS} "Voltage Source Source")
 - $5\text{ V} \mapsto 1$ (Versorgungsspannung, V_{DD} "Voltage Drain Drain")
- aber: reale Spannungspegel unterliegen Rauschen
 - Temperaturabhängige Widerstände
 - Instabile Betriebsspannungen
 - Übersprechen zwischen benachbarten Leitungen



- Ausgang eines Gatters („Treiber“) treibt Ausgangsleitung auf 5 V
- lange Leitung zum nächsten Gatter („Empfänger“) hat hohen Widerstand
- Spannungsabfall bspw. 0,5 V
- Empfänger sieht nur 4,5 V
- ist das noch eine „Eins“?

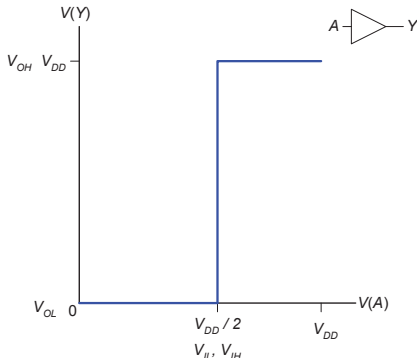


- definiere Spannungsbereiche für die Werte 0 und 1
- steigere Robustheit durch unterschiedliche Bereiche für Ein-/Ausgänge
 - V_{OH} : kleinste Spannung, die Treiber als 1 ausgibt ("Voltage Output High")
 - V_{IH} : kleinste Spannung, die Empfänger als 1 interpretiert ("Voltage Input High")
 - V_{IL} : größte Spannung, die Empfänger als 0 interpretiert ("Voltage Input Low")
 - V_{OL} : größte Spannung, die Treiber als 0 ausgibt ("Voltage Output Low")



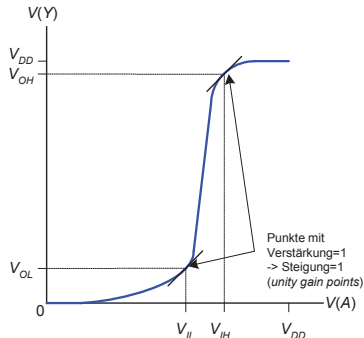
- oberer Störabstand $NM_H = V_{OH} - V_{IH}$ (“Noise Margin High”)
- unterer Störabstand $NM_L = V_{IL} - V_{OL}$ (“Noise Margin Low”)

Idealer Buffer:

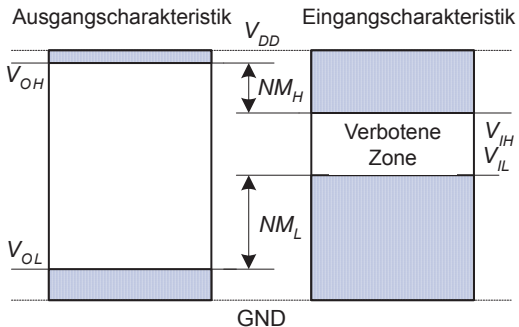
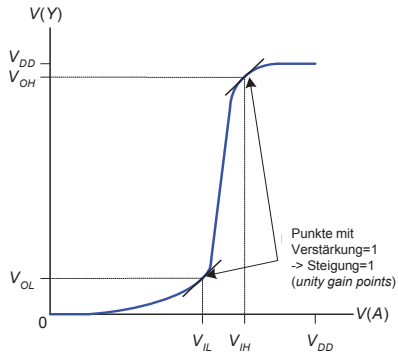
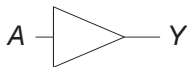


$$NM_H = NM_L = V_{DD}/2$$

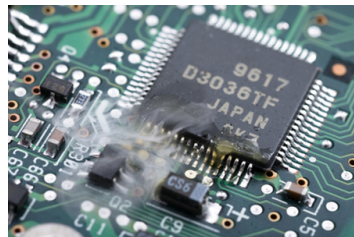
Realer Buffer:



$$NM_H, NM_L < V_{DD}/2$$



- $V_{DD} = 5\text{ V}$ in 1970er-80er Jahren
 - Verbesserte Chip-Fertigungstechnologie erfordert/ermöglicht Absenkung
 - hohe Spannungen würden immer kleinere Transistoren beschädigen
 - Energiebedarf reduzieren
 - $3,3\text{ V} \rightarrow 2,5\text{ V} \rightarrow 1,8\text{ V} \rightarrow 1,5\text{ V} \rightarrow 1,2\text{ V} \rightarrow 1,0\text{ V}$
- ⇒ Vorsicht beim Verbinden von Chips mit unterschiedlichen Versorgungsspannungen!





Logikfamilie	TTL	CMOS	LVTTL	LVC MOS
min V_{DD}	4,75 V	4,5 V	3 V	3 V
typ V_{DD}	5 V	5 V	3,3 V	3,3 V
max V_{DD}	5,25 V	6 V	3,6 V	3,6 V
V_{OL}	0,4 V	0,33 V	0,4 V	0,36 V
V_{IL}	0,8 V	1,35 V	0,8 V	0,9 V
V_{IH}	2,0 V	3,15 V	2,0 V	1,8 V
V_{OH}	2,4 V	3,84 V	2,4 V	2,7 V

TTL: Transistor Transistor Logic

CMOS: Complementary Metal-Oxide Semiconductor Logic

LVTTL: Low Voltage TTL










LVC MOS: Low Voltage CMOS

1 Spannungen als Logikpegel

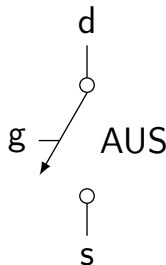
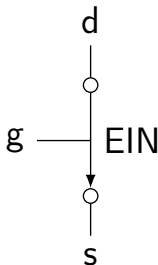
2 Feldeffekt-Transistoren

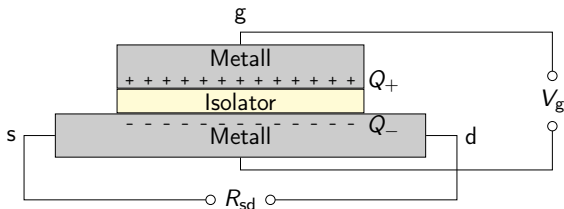
3 CMOS-Gatter

4 Leistungsaufnahme

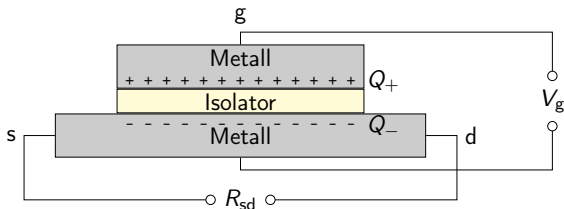
Anwendungs- software		Programme
Betriebs- systeme		Gerätetreiber
Architektur		Befehle Register
Mikro- architektur		Datenpfade Steuerung
Logik		Addierer Speicher
Digital- schaltungen		UND Gatter Inverter
Analog- schaltungen		Verstärker Filter
Bauteile		Transistoren Dioden
Physik		Elektronen

- Logikgatter werden üblicherweise aus Transistoren aufgebaut
 - heute überwiegend **Feldeffekttransistor (FET, "Field Effect Transistor")**
- Transistoren sind spannungsgesteuerte Schalter
 - zwei Anschlüsse (Source s & Drain d), werden je nach Spannung am dritten Eingang (Gate g) verbunden oder getrennt





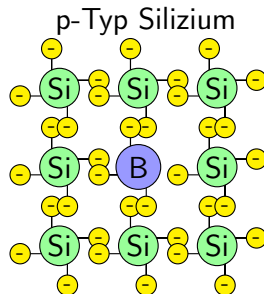
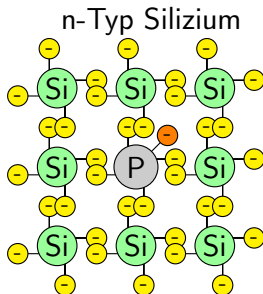
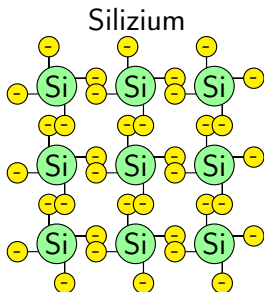
- zwei metallische Streifen mit dünner isolierender Zwischenlage
- Streifen bilden Plattenkondensator (Kapazität C)
- Steuerspannung V_g an Kondensator lädt diesen auf
- ⇒ jeweils Ladung $Q = C \cdot V_g$ auf beiden Streifen (gegensätzliche Ladung)
- ⇒ V_g beeinflusst Menge der freien Ladungsträger, also Widerstand R_{sd}



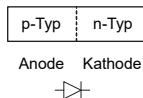
- etwa 10^{14} zusätzliche freie Ladungsträger pro Kubikzentimeter f. $V_g = 1\text{ V}$
- etwa 10^{22} freie Ladungsträger pro Kubikzentimeter in Metallen
- ⇒ Ladungsträgeranreicherung durch Feldeffekt in Metallen unerheblich
- aber etwa 10^{13} freie Ladungsträger pro Kubikzentimeter in *Halbleitern*
- ⇒ erst mit Halbleitern wird Feldeffekt technisch nutzbar

- reines Silizium ist schlechter Leiter (keine freien Ladungsträger)
- Dotierung ermöglicht gezieltes einbringen freier Ladungsträger

Typ	freie Ladungsträger	dotierte Elemente
n	Elektronen (-)	Arsen (As), Phosphor (P)
p	Löcher (+)	Bor (B), Gallium (Ga)



- Übergang zwischen p-Typ und n-Typ Silizium



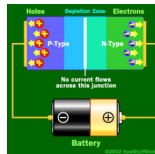
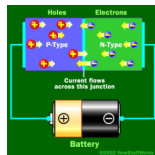
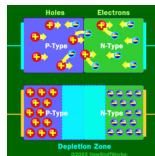
- Schwellenspannung V_{th} (technologieabhängig, z.B. 0,7 V f. Si);
Spannung an Anode V_A ; Spannung an Kathode V_C

- Vorwärtsspannung

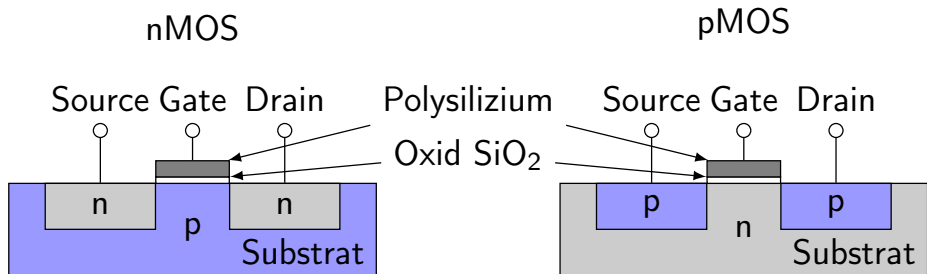
- $V_{AC} = V_A - V_C > V_{th}$
- Stromfluss von Anode zu Kathode

- Sperrspannung

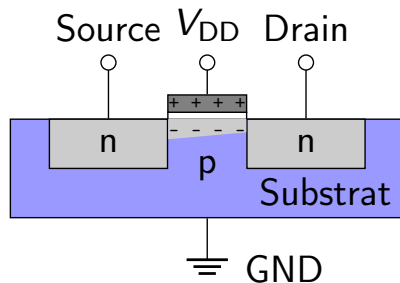
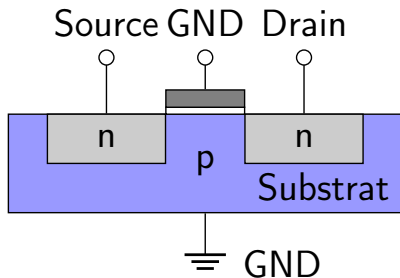
- $V_{AC} = V_A - V_C < V_{th}$
- kein Stromfluss



- Metalloxid-Halbleiter (MOS) Transistoren
 - Undotiertes Silizium (früher Metallschicht) für Gate
 - Oxid (Siliziumdioxid = Glas) für Isolator
 - Dotiertes Silizium für Substrat und Anschlüsse (Source, Drain)



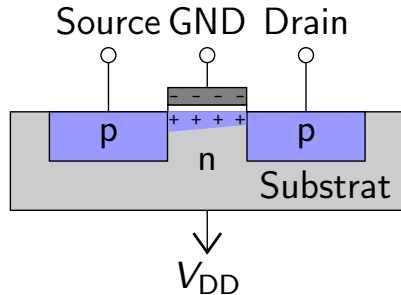
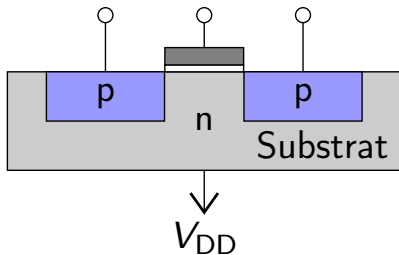
- Gate = 0, ausgeschaltet (keine Source-Drain Verbindung)
 - Gate = 1, eingeschaltet (leitfähiger Source-Drain Kanal)
 - Majoritätsladungsträger sind Elektronen
- ⇒ leiten 0'en gut von Source nach Drain weiter



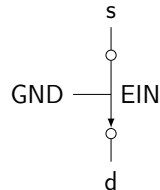
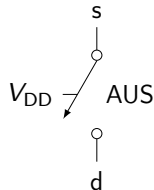
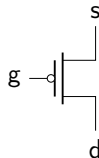
- Gate = 1, ausgeschaltet (keine Source-Drain Verbindung)
- Gate = 0, eingeschaltet (leitfähiger Source-Drain Kanal)
- Majoritätsladungsträger sind Löcher

⇒ leiten 1'en gut von Source nach Drain weiter

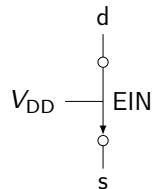
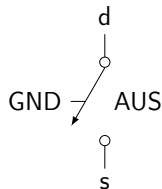
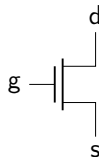
Source V_{DD} Drain



pMOS



nMOS












1 Spannungen als Logikpegel

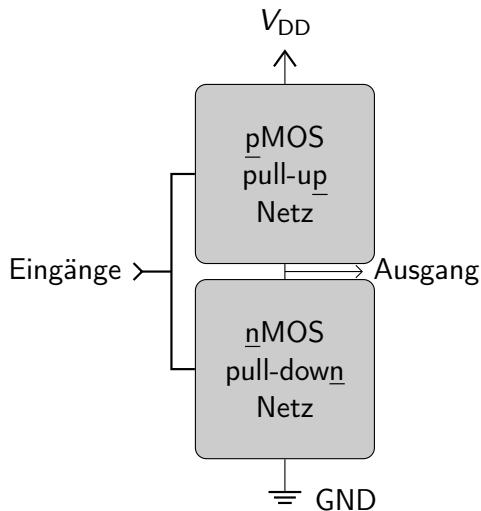
2 Feldeffekt-Transistoren

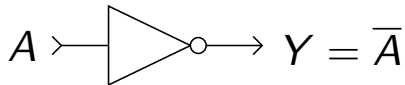
3 CMOS-Gatter

4 Leistungsaufnahme

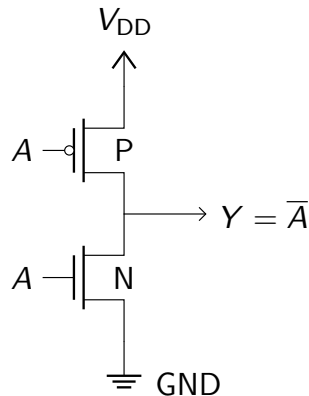
Anwendungs- software		Programme
Betriebs- systeme		Gerätetreiber
Architektur		Befehle Register
Mikro- architektur		Datenpfade Steuerung
Logik		Addierer Speicher
Digital- schaltungen		UND Gatter Inverter
Analog- schaltungen		Verstärker Filter
Bauteile		Transistoren Dioden
Physik		Elektronen

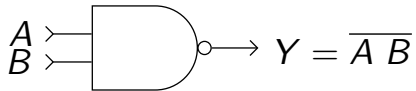
- pMOS Transistoren leiten 1'en
„gut“ von Source nach Drain weiter
⇒ Source an V_{DD} anschließen
 - nMOS Transistoren leiten 0'en
„gut“ von Source nach Drain weiter
⇒ Source an GND anschließen
- ⇒ Complementary
Metal-Oxide-Semiconductor (CMOS) Logik



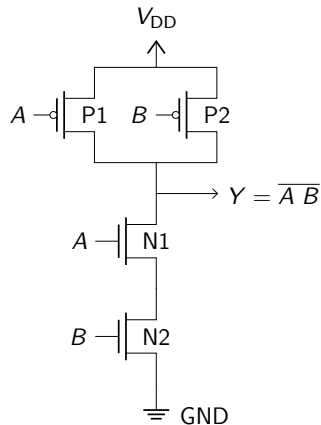


A	P	N	Y
0	EIN	AUS	1
1	AUS	EIN	0





A	B	P1	P2	N1	N2	Y
0	0	EIN	EIN	AUS	AUS	1
0	1	EIN	AUS	AUS	EIN	1
1	0	AUS	EIN	EIN	AUS	1
1	1	AUS	AUS	EIN	EIN	0



- pMOS Parallelschaltung

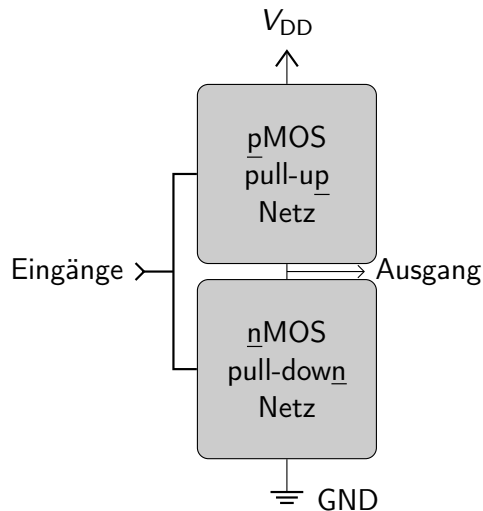


nMOS Serienschaltung

- pMOS Serienschaltung



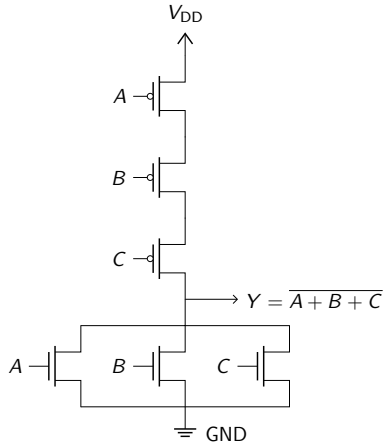
nMOS Parallelschaltung



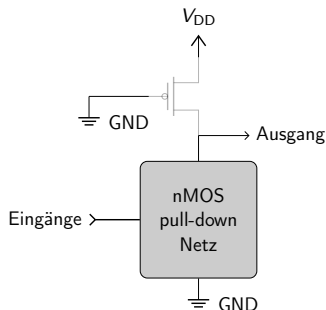
Aufbau eines NOR-Gatters mit drei Eingängen



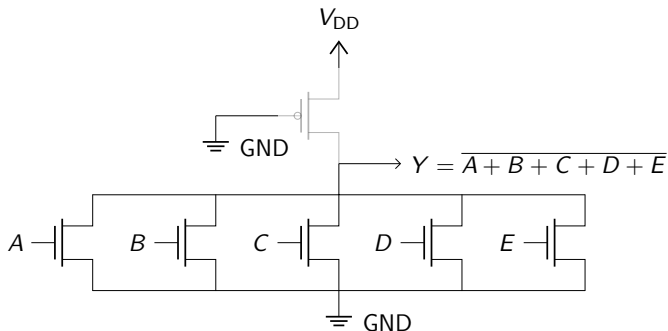
ENCRYPTO
CRYPTOGRAPHY AND
PRIVACY ENGINEERING



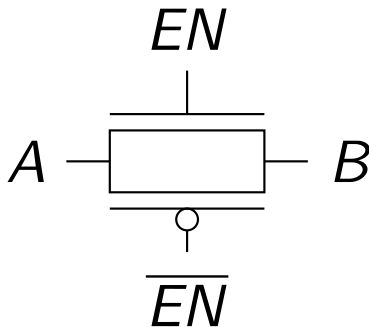
- Ersetzen des Pull-Up Netzes durch schwachen, immer eingeschalteten pMOS
- ⇒ Pull-Up kann durch das Pull-Down Netz „überstimmt“ werden
- nützlich, um lange Reihen von Transistoren zu vermeiden



- Pseudo-nMOS NOR5
- verbraucht aber mehr Energie: schwacher Dauerkurzschluss bei $Y = 0$



- nMOS leitet 0'en „gut“ von Source nach Drain weiter
- pMOS leitet 1'en „gut“ von Source nach Drain weiter
- Transmissionsgatter ist ein besserer Schalter
 - leitet 0'en und 1'en gut weiter
- $EN = 1$ und $\overline{EN} = 0 \rightarrow$ Schalter ist EIN (A mit B verbunden)
- $EN = 0$ und $\overline{EN} = 1 \rightarrow$ Schalter ist AUS (A nicht mit B verbunden)



1 Spannungen als Logikpegel

2 Feldeffekt-Transistoren

3 CMOS-Gatter

4 Leistungsaufnahme

Anwendungs- software		Programme
Betriebs- systeme		Gerätetreiber
Architektur		Befehle Register
Mikro- architektur		Datenpfade Steuerung
Logik		Addierer Speicher
Digital- schaltungen		UND Gatter Inverter
Analog- schaltungen		Verstärker Filter
Bauteile		Transistoren Dioden
Physik		Elektronen



- alternative Begriffe: Leistungsumsatz, Leistungsverbrauch
- Leistung = Energieverbrauch pro Zeiteinheit
- zwei Arten der Leistungsaufnahme:
 - statische Leistungsaufnahme
 - dynamische Leistungsaufnahme



- Leistungsbedarf wenn kein Gatter schaltet
- verursacht durch Leckstrom I_{DD}
 - immer kleinere Transistoren schalten nicht mehr vollständig ab
 - Pseudo-nMOS, ...
- statische Leistungsaufnahme ist also $P_{static} = I_{DD} \cdot V_{DD}$



- Aufladen der Gate-Kapazität C von 0 As auf $Q = C \cdot V_{DD}$
 - Schaltung wird mit Frequenz f betrieben
- ⇒ Transistoren schalten f -mal pro Sekunde
- nur die Hälfte davon sind Aufladungen
 - $I = \frac{Q}{t} = Q \cdot \frac{f}{2} = C \cdot V_{DD} \cdot \frac{f}{2}$
 - dynamische Leistungsaufnahme ist:
$$P_{\text{dynamic}} = I \cdot V = (C \cdot V_{DD} \cdot \frac{f}{2})(V_{DD}) = \frac{1}{2} C \cdot V_{DD}^2 \cdot f$$



■ Abschätzen der Leistungsaufnahme für einen Netbook-Prozessor

- Versorgungsspannung $V_{DD} = 1,2 \text{ V}$
- Taktfrequenz $f = 1 \text{ GHz}$
- \sum Transistorkapazitäten $C = 20 \text{ nF}$
- \sum Leckströme $I_{DD} = 20 \text{ mA}$

$$\begin{aligned} P &= P_{\text{static}} + P_{\text{dynamic}} \\ &= I_{DD} \cdot V_{DD} + \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f \\ &= 24 \text{ mW} + 14,4 \text{ W} \end{aligned}$$



1 Spannungen als Logikpegel

2 Feldeffekt-Transistoren

3 CMOS-Gatter

4 Leistungsaufnahme

nächste Vorlesung beinhaltet

- Kombinatorische Logik
- SystemVerilog: Module und logische Schaltungen beschreiben
- Boole'sche Gleichungen

Zu Übungen nächste Woche Laptop mitbringen!
Hausaufgabe A zu Vorlesungen 01 und 02 muss bis
nächste Woche Freitag 23:59 abgegeben werden.

Anwendungs- software		Programme
Betriebs- systeme		Gerätetreiber
Architektur		Befehle Register
Mikro- architektur		Datenpfade Steuerung
Logik		Addierer Speicher
Digital- schaltungen		UND Gatter Inverter
Analog- schaltungen		Verstärker Filter
Bauteile		Transistoren Dioden
Physik		Elektronen