

ΓΡΑΠΤΗ ΕΞΕΤΑΣΗ ΣΤΟ ΜΑΘΗΜΑ "Συστήματα Μικροϋπολογιστών"

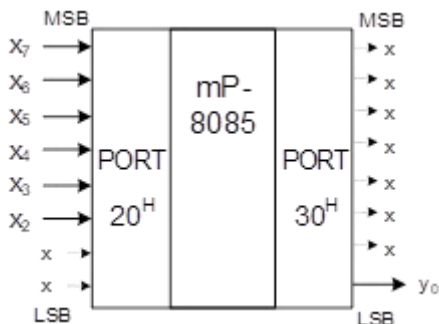
(ΘΕΜΑ 1^ο – ΣΥΝΟΛΟ 3.5 Μονάδες)

Έναρξη 11:30 - ΔΙΑΡΚΕΙΑ 50' + 10' Παράδοση: 12:30'

ΟΝΟΜΑΤΕΠΩΝΥΜΟ: XXXXXXXXXX

ΘΕΜΑ 1α: (1.5 ΜΟΝΑΔΕΣ):

Δίνεται μΥ-Σ που διαθέτει δύο 8-bit θύρες: μία εισόδου (διεύθ. 20^{HEX}) και μία εξόδου (διεύθ. 30^{HEX}). Να γραφεί πρόγραμμα assembly σε 8085 που να υπολογίζει τη λογική συνάρτηση $y_0 = x_2 \cdot x_3 \cdot x_4 \cdot x_5 + x_6 \cdot x_7$



```
ORG 2000H
LDA 2000H
RRC
RRC
ANI 63H ; x7 – x2 is now x5 – x0
MOV B,A
ANI 01H ;x0
MOV C,A ;save to C
MOV A,B
RRC ;x1
RRC ;x2
RRC ;x3
ANI 01H
ANA C ; x2*x3
MOV C,A
MOV A,B
RRC ;x1
RRC ;x2
RRC ;x3
RRC ;x4
ANI 01H
ANA C ; (x2*x3)*x4
MOV C,A
MOV A,B
RRC ;x1
RRC ;x2
RRC ;x3
RRC ;x4
RRC ;x5
ANI 01H
ANA C ; ((x2*x3)*x4)*x5
MOV C,A ; FIRST PART OF y0 IS ON C

MOV A,B
RRC ;x1
RRC ;x2
```

```



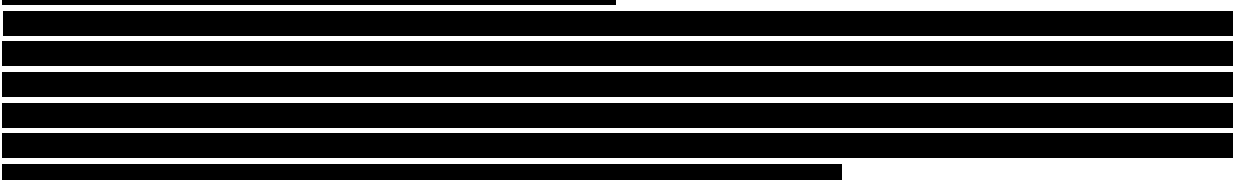

RRC ;x3
RRC ;x4
RRC ;x5
RRC ;x6
ANI 01H
MOV D,A ;D has x6
MOV A,B
RRC ;x1
RRC ;x2
RRC ;x3
RRC ;x4
RRC ;x5
RRC ;x6
RRC ;x7
ANI 01H
ANA D ; A = x7*x6
ORA C ; A = (x7*x6) + (x5*(x4*(x3*x2))) = x7 * x6 + x5*x4*x3*x2
STA 3000H

```

END

ΘΕΜΑ 1β: (1.3 ΜΟΝΑΔΑ): Απαντήστε στα παρακάτω ερωτήματα (σύντομα και αιτιολογημένα):

- (i) Πότε είναι χρήσιμη και πλεονεκτική η χρήση των Μακροεντολών σε σχέση με τις Ρουτίνες; (0.2 ΜΟΝΑΔΕΣ)
- (ii) Εξηγήστε τη λειτουργική διαφορά των καθυστερήσεων που προκαλούνται μέσω ρουτινών χρονοκαθυστέρησης και μέσω μετρητών-χρονοιστών (πλεονεκτήματα, μειονεκτήματα). (0.2 ΜΟΝΑΔΕΣ)
- (iii) Να αναφέρετε τα πλεονεκτήματα που παρέχουν οι διακοπές στα μΥ-Σ. Τί πρόβλημα μπορεί να προκύψει αν μια διακοπή προκαλείται από παλμό μεγάλης ή και μικρής διάρκειας και γιατί; Να προτείνετε λύσεις για την αποφυγή των ενδεχόμενων προβλημάτων. (0.4 ΜΟΝΑΔΕΣ)
- (iv) Δώστε τη μακροεντολή *MOVING n* που μετακινεί το περιεχόμενο ενός εκ των καταχωρητών B, C, H, L στον καταχωρητή A, για $n = 1, 2, 3, 4$ αντίστοιχα. Για άλλη τιμή του n να μην κάνει καμία λειτουργία. (0.5 ΜΟΝΑΔΕΣ)

- (i) 
- (ii) 
- (iii) 
- (iv) 
MOVING n
PUSH B
PUSH C
PUSH H
PUSH L
MVI A,n
CMP 01H
JZ n_1
CMP 02H
JZ n_2
CMP 03H
JZ n_3
CMP 04H
JZ n_4
RET

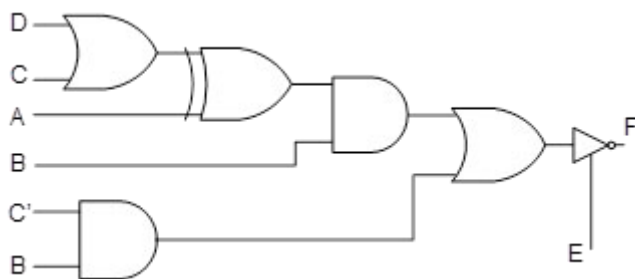
```

N_1:
MOV A,B
ret
N_2:
MOV A,C
ret
N_3:
MOV A,H
ret
N_4:
MOV A,L
Ret
END

```

ΘΕΜΑ 1γ: (0.7 ΜΟΝΑΔΕΣ):

Δώστε την περιγραφή Verilog του παρακάτω κυκλώματος σε **επίπεδο πυλών** και σε μορφή **ροής δεδομένων**.



```

module part1_3(A,B,C,D,E,F);
    input ABCDE;
    output F;
    wire Cnot,w1,w2,w3,w4,w5;
    not N1(Cnot,C);
    and G1(w1, B,Cnot);
    or G2(w2,C,D);
    xor G3(w3,A,w2);
    and G4(w4,B,w3);
    or G5(w5,w1,w4);
    notif(F,E,w5);
    assing F=E? (~w5:1'bz);
endmodule

```

Ροή Δεδομένων:

```

module part1_3(A,B,C,D,E,F)
    input A,B,C,D,E;
    output F;
    assign F = E? (!(( ( ( D || C ) ^ A ) && B ) || ( !C && B )) :1'bz);
endmodule

```