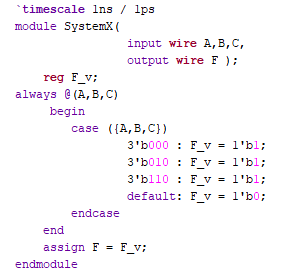
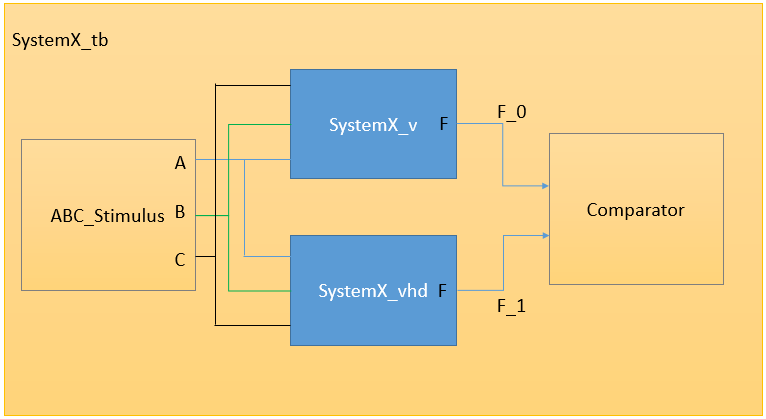
**ÖRNEK 1**

Şekil 1’deki kodun aynısı VHDL ile yazınız. Fonksiyonel olarak aynı işlevi görecektir. LUT değerleri aynı olacaktır. Bunun entity kısmını SystemX\_vhd.vhd olarak ayarlayınız. Ayrıca aşağıdaki kodun ismini SystemX\_v.v şeklinde güncelleyiniz. Bu iki dosyayı SystemX\_tb.v testbench dosyasının içinde instantiate edip testini Figure 2’deki yapıya göre gerçekleştiriniz. ABC\_stimulus bloğu tasarıma örnek data sinyalleri iletsin. Bu iki modülün çıkışını Comparator ile karşılaştırınız. Eğer hatalı ise boolean reg’ini 0 değerine set ediniz.



Şekil 1.Verilog Kodu



Şekil 2.Architecture

**SystemX\_vhd.vhd kodu:**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**use** IEEE**.**NUMERIC\_STD**.ALL;**

**entity** SystemX\_vhd **is**

**Port** **(** A **:** **in** STD\_LOGIC**;**

B **:** **in** STD\_LOGIC**;**

C **:** **in** STD\_LOGIC**;**

F **:** **out** STD\_LOGIC**);**

**end** SystemX\_vhd**;**

**architecture** Behavioral **of** SystemX\_vhd **is**

**signal** ABC **:** std\_logic\_vector**(**2 **downto** 0**);**

**begin**

ABC **<=** A **&** B **&** C**;**

**process** **(**ABC**)** **begin**

**case** **(**ABC**)** **is**

**when** "000" **=>** F **<=** '1'**;**

**when** "010" **=>** F **<=** '1'**;**

**when** "110" **=>** F **<=** '1'**;**

**when** **others** **=>** F **<=** '0'**;**

**end** **case;**

**end** **process;**

**end** Behavioral**;**

**SystemX\_v.v kodu:**

`timescale 1ns **/** 1ps

**module** SystemX\_v**(**

**input** **wire** A**,**

**input** **wire** B**,**

**input** **wire** C**,**

**output** **wire** F

**);**

**reg** F\_v**;**

**always** **@(**A**,**B**,**C**)** **begin** **:** lut\_design

**case** **({**A**,**B**,**C**})**

3'b000 **:** F\_v**=** 1'b1**;**

3'b010 **:** F\_v**=** 1'b1**;**

3'b110 **:** F\_v**=** 1'b1**;**

**default:** F\_v**=** 1'b0**;**

**endcase**

**end**

**assign** F **=** F\_v**;**

**endmodule**

**SystemX\_tb.v kodu:**

`timescale 10ns **/** 10ns

**module** SystemX\_tb**();**

**reg** A**,**B**,**C**;**

**wire** F\_0**;**

**wire** F\_1**;**

// instantiation of verilog code

SystemX\_v DUT\_0**(**

**.**A**(**A**),**

**.**B**(**B**),**

**.**C**(**C**),**

**.**F**(**F\_0**)**

**);**

// instantiation of vhdl code

SystemX\_vhd DUT\_1**(**

**.**A**(**A**),**

**.**B**(**B**),**

**.**C**(**C**),**

**.**F**(**F\_1**)**

**);**

// Data generator

**initial** **begin** **:** ABC\_stimulus

A **=** 0**;** B **=** 0**;** C**=** 0**;**

**#**20 A **=** 0**;** B **=** 0**;** C**=** 1**;**

**#**20 A **=** 0**;** B **=** 1**;** C**=** 0**;**

**#**20 A **=** 0**;** B **=** 1**;** C**=** 1**;**

**end**

// There is no Boolean type in Verilog.

**reg** boolean**;**

// comparator

**always** **@(\*)** **begin**

**if(**F\_0 **==** F\_1**)** **begin**

boolean **=** 1'b1**;**

**end**

**else** **begin**

boolean **=** 1'b0**;**

**end**

**end**

**endmodule**