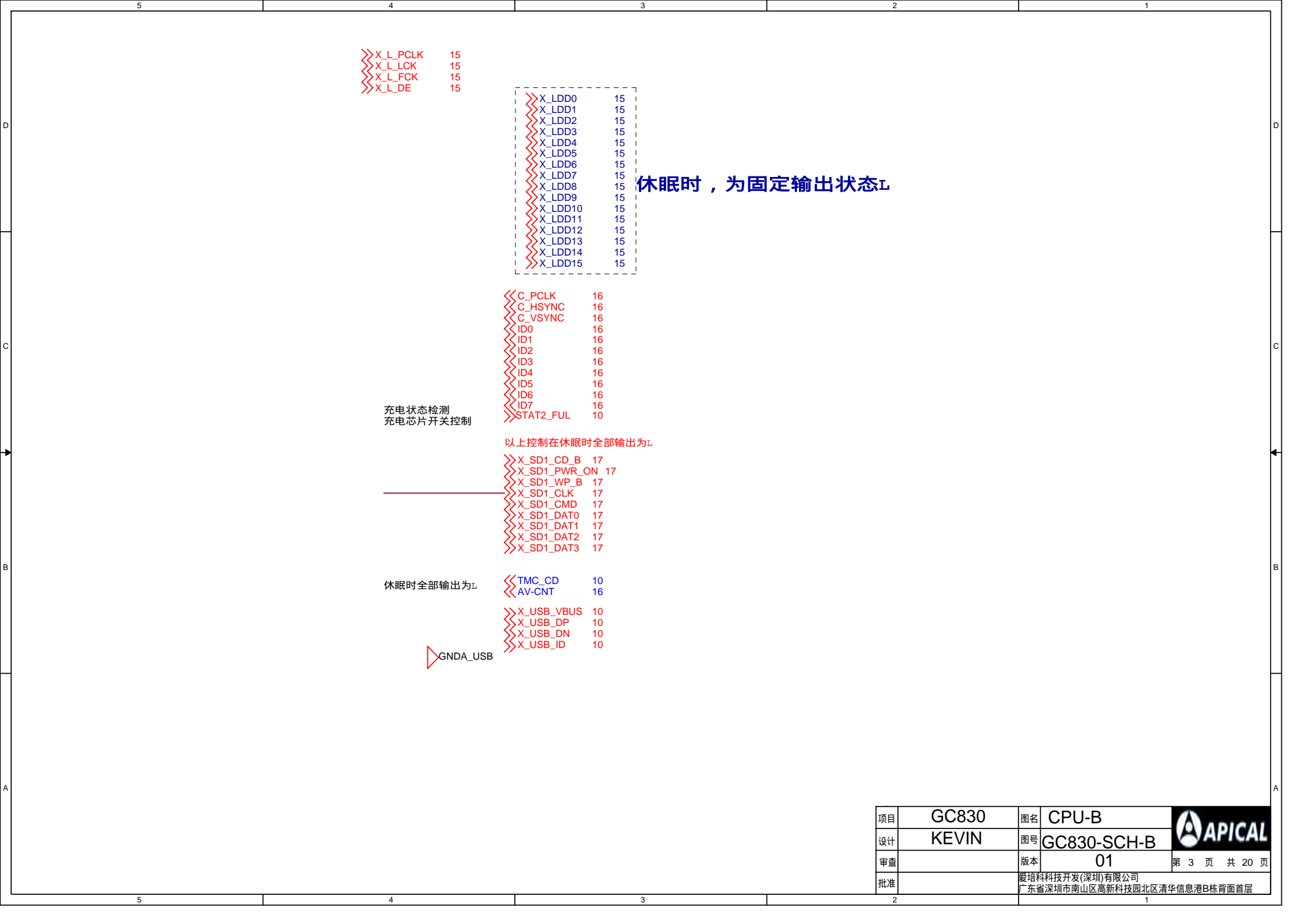


<< X_SCL_0 9,16
 << X_SDA_0 9,16

项目	GC830	图名	CPU-A	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	爱培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			



项目	GC830	图名	CPU-B	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	爱培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			

>> X_MCS0 7
>> X_MCLK_O 7
>> X_MCLKB_O 7
>> X_MRAS 7
>> X_MCAS 7
>> X_MWE 7
>> X_MBA0 7
>> X_MBA1 7

>> X_MCKE 7

>> X_MA[12:0] 7

>> X_MD[31:0] 7

DDR要注意线的类别，也就是数据线对，地址控制线对，时钟线对（另外，如果有参考电压，则参考电压要特别主要干净）。数据线以8bit为一组，与同组的DQS,DQM等长，地址线要求不那么严格，但是与时钟信号线长要保持在400mil范围内，数据线与时钟线线要保持在500mil内。地址线与数据线最好分层或者保持较大60mil以上的间隔布线。参考电压要与其他信号保持安全距离，最好做包地处理.....

Table 4. Byte Lane to Data Strobe and Data Mask Mapping

Data	Data Strobe	Data Mask	Lane #
MDQ[0:7]	MDQS0	MDQM0	Lane #0
MDQ[8:15]	MDQS1	MDQM1	Lane #1
MDQ[16:23]	MDQS2	MDQM2	Lane #2
MDQ[24:31]	MDQS3	MDQM3	Lane #3

>> X_MDQM0 7
>> X_MDQM1 7
>> X_MDQM2 7
>> X_MDQM3 7
>> X_MDQS0 7
>> X_MDQS1 7
>> X_MDQS2 7
>> X_MDQS3 7

项目	GC830	图名	CPU-C	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	爱培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			

```

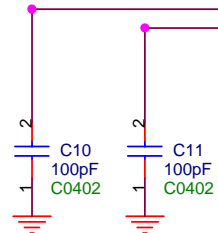
X_FCE_B0      8
X_FCE_B1      8

```

》I2S_BCLK	9
》I2S_LRCLK	9
》I2S_DIN	9
》I2S_DOUT	9

>>LCD_ENVDD 15

	X_XN	15
	X_XP	15
	X_YN	15
	X_YP	15



项目	GC830	图名	CPU-D	
设计	KEVIN	版本号	GC830-SCH-B	
审查		版数	01	
批准	爱培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			



3.3V DC/DC

VCC_3V3



VDD_IO_LCD

2.5V

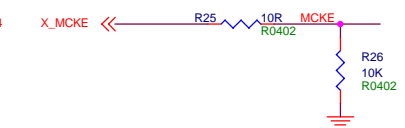
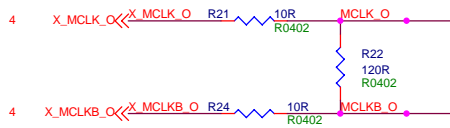
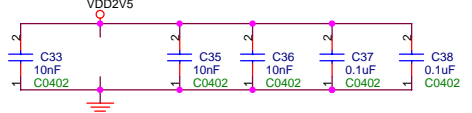
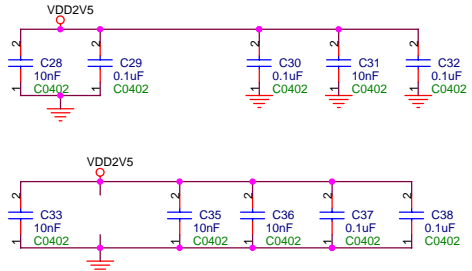
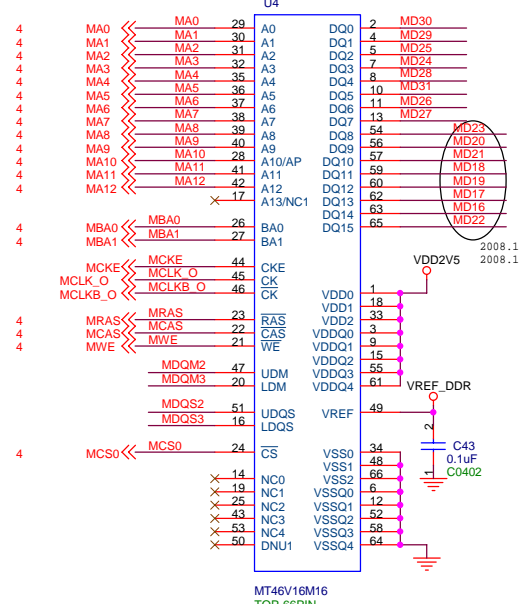
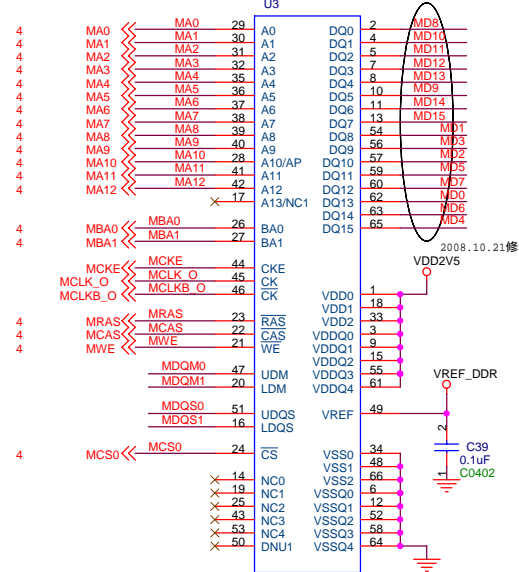
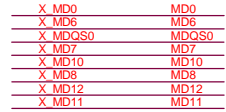
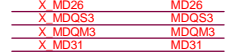
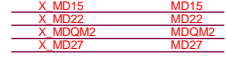
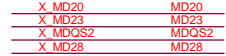
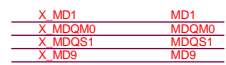
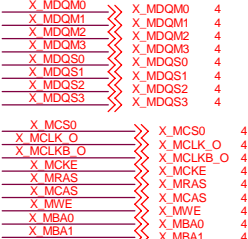
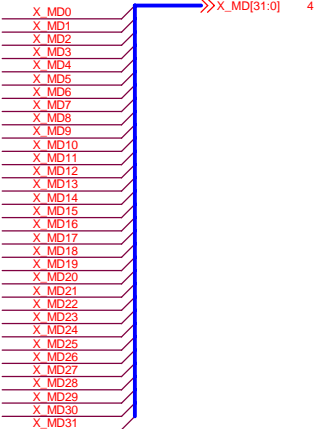
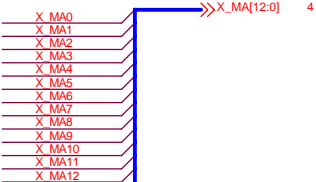
VCC_2V5



VDD_TSCREF25

项目	GC830	图名	CPU-E	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	密培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			

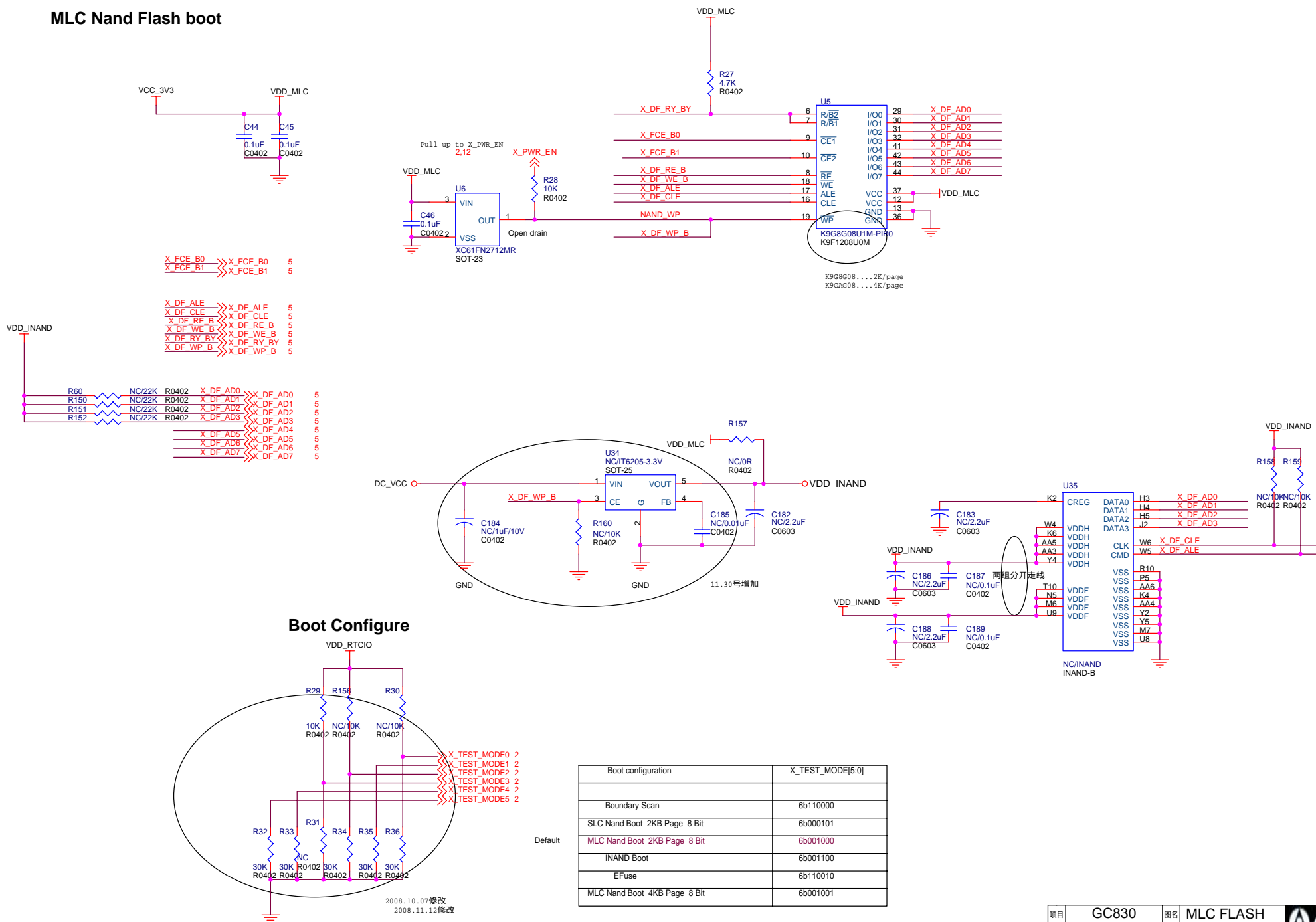
Serial Resistor

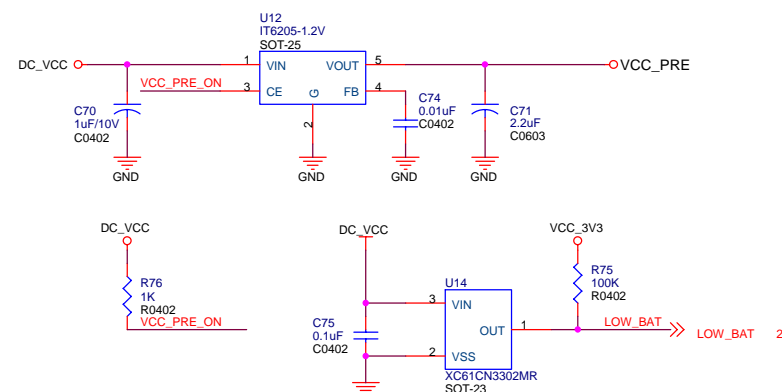


项目	GC830	图名	Normal DDR	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准				

深圳市南山区高新科技园北区清华信息港B栋首层

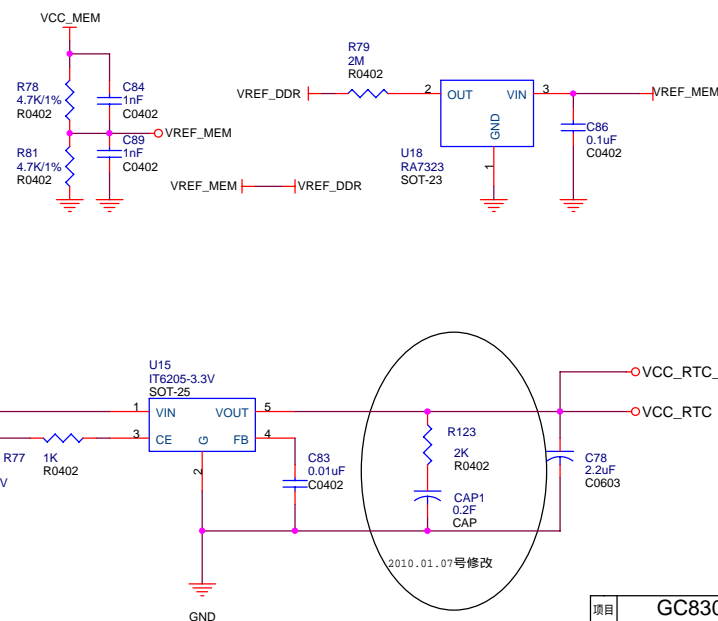
MLC Nand Flash boot



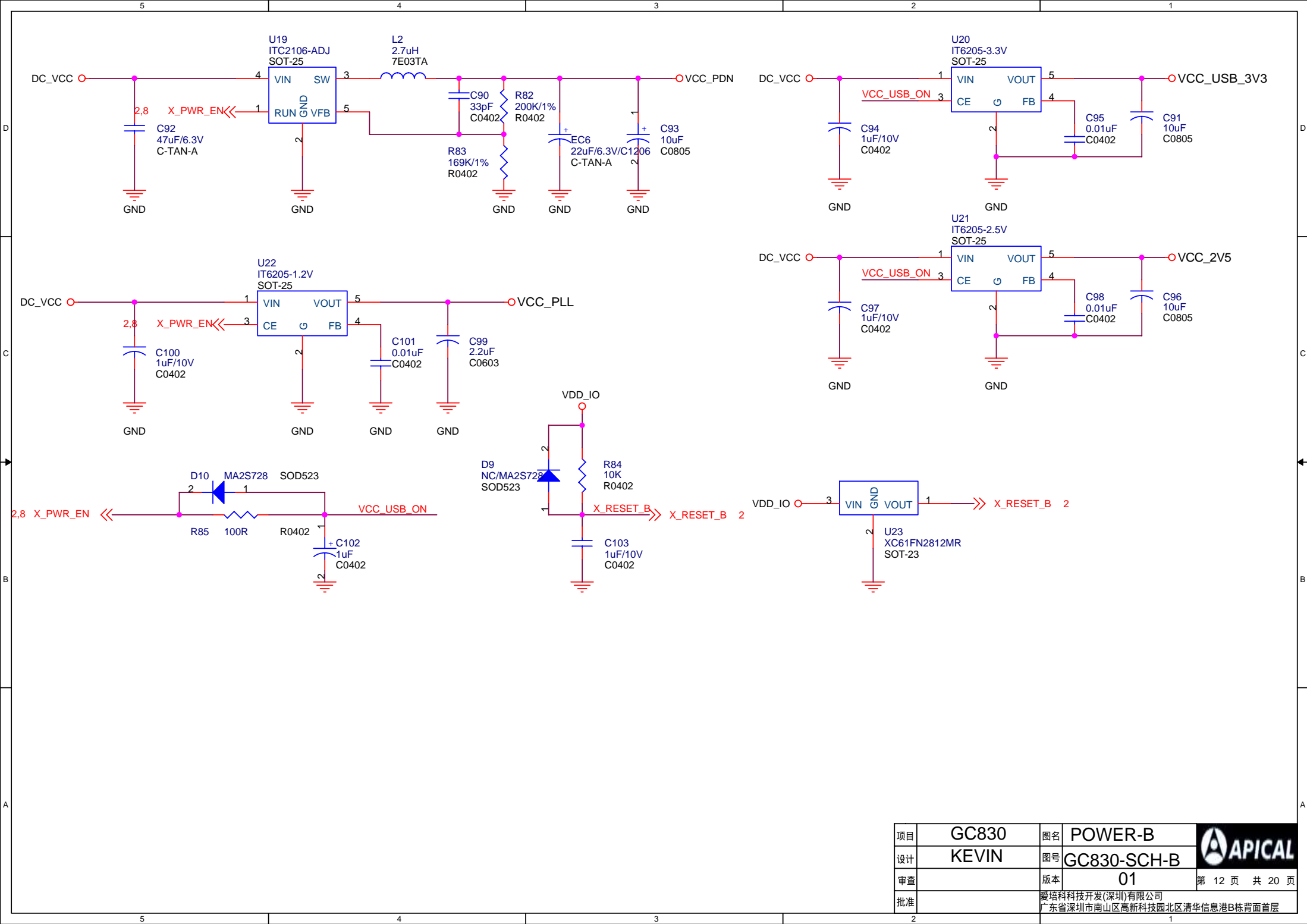


The top diagram shows the basic connection of the IT6205-3.3V SOT-25 voltage regulator. The input pin (VIN) is connected to DC_VCC. The output pin (VOUT) is connected to VCC_3V3. The enable pin (CE) is connected to GND. The feedback pin (NC) is also connected to GND. A bypass capacitor C79 (1uF/10V, C0402) is connected between VIN and GND. A bypass capacitor C81 (0.01uF, C0402) is connected between VOUT and GND. A bypass capacitor C82 (10uF, C0805) is connected between VCC_3V3 and GND.

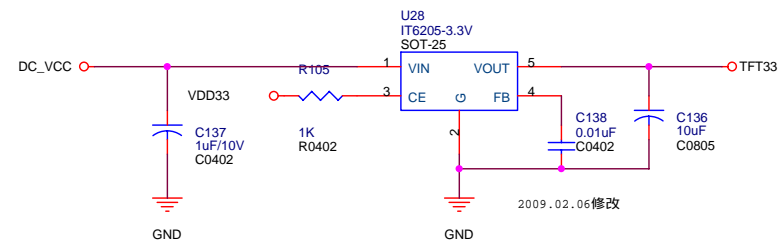
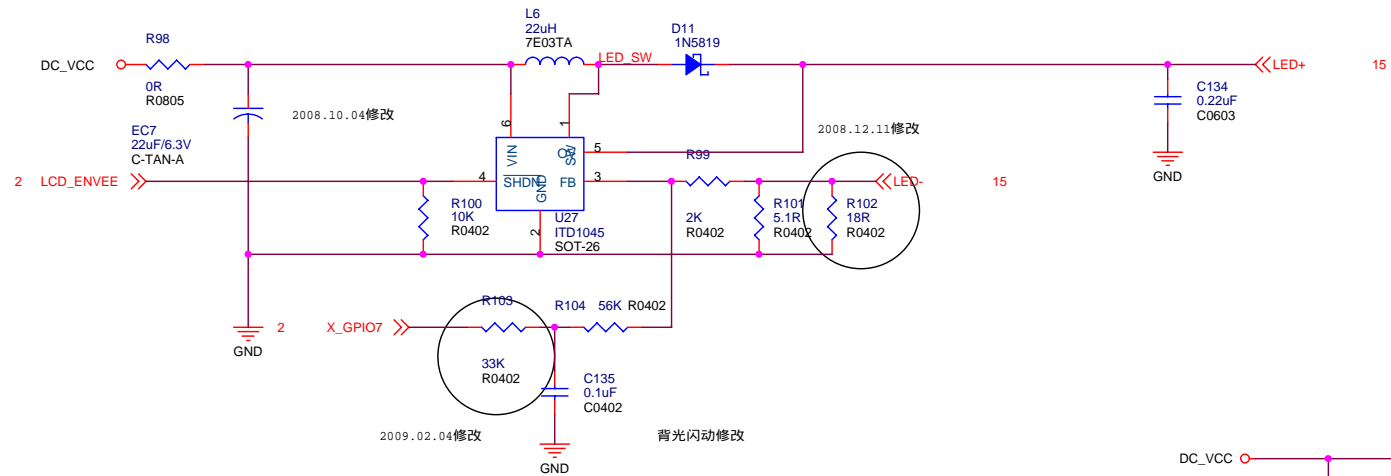
The bottom diagram shows the connection of the IT6205-3.3V SOT-25 voltage regulator with a feedback resistor R1 (10K, R0402) and a bypass capacitor C88 (0.01uF, C0402) connected to the FB pin. The input pin (VIN) is connected to DC_VCC. The output pin (VOUT) is connected to VDD33. The enable pin (CE) is connected to GND. The feedback pin (FB) is connected to GND through R1. A bypass capacitor C87 (1uF/10V, C0402) is connected between VIN and GND. A bypass capacitor C88 (0.01uF, C0402) is connected between FB and GND. A bypass capacitor C85 (10uF, C0805) is connected between VDD33 and GND.



项目	GC830	图名	POWER-A	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	盛塔利科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			
第 11 页 共 20 页				

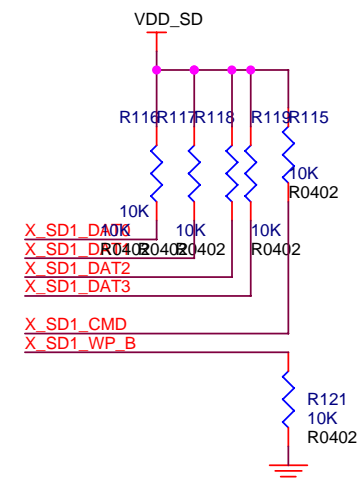
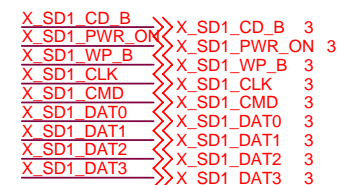
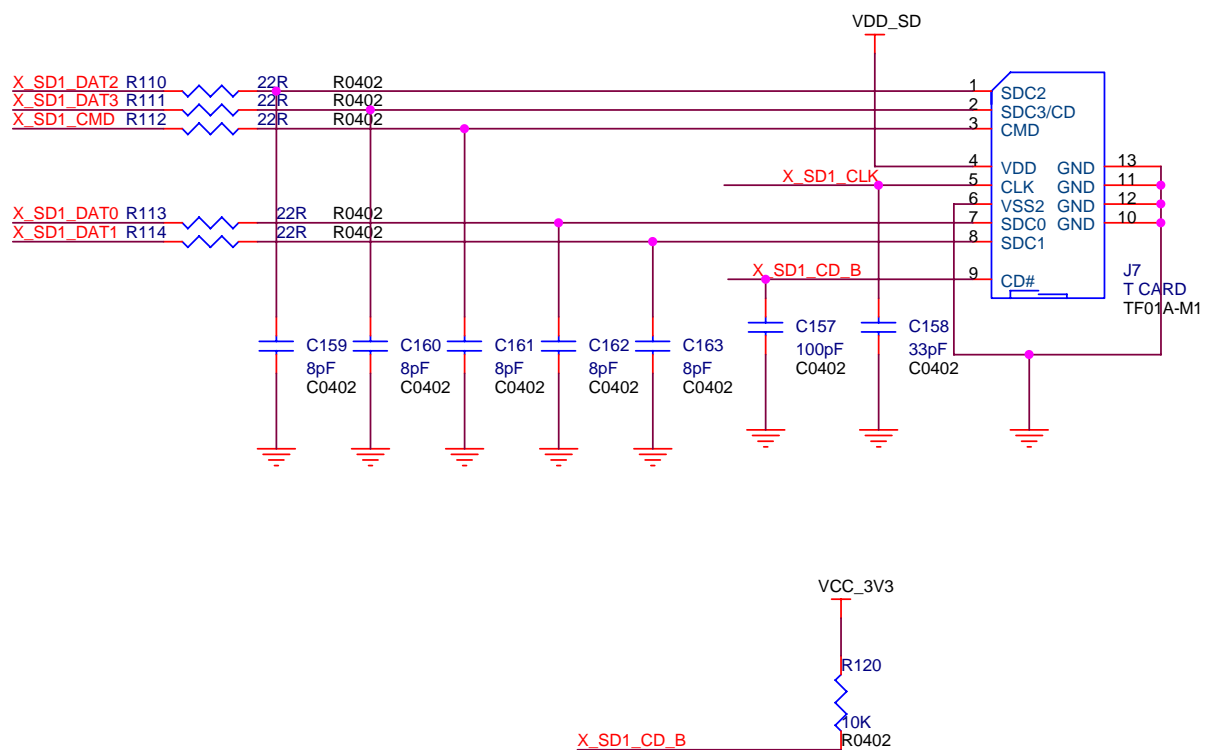
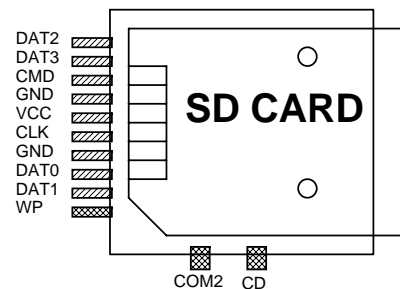
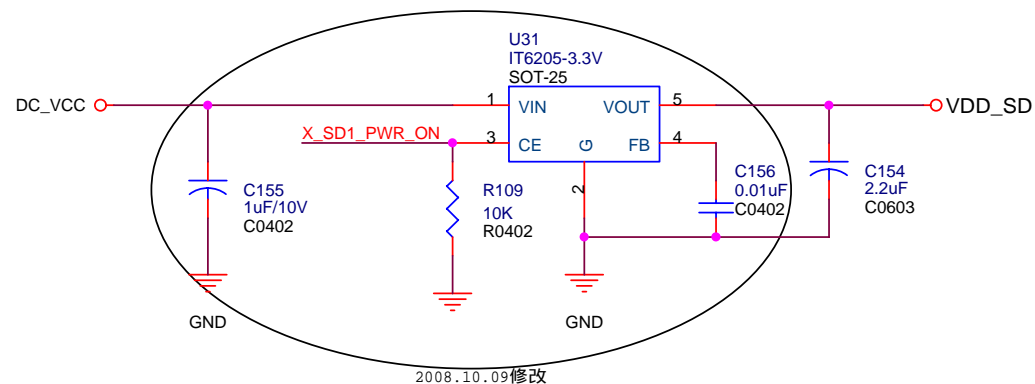


项目	GC830	图名	POWER-B		
设计	KEVIN	图号	GC830-SCH-B		
审查		版本	01		第 12 页 共 20 页
批准	爱培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层				



项目	GC830	图名	TFT-POWER	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	第 14 页 共 20 页
批准		懿培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层		

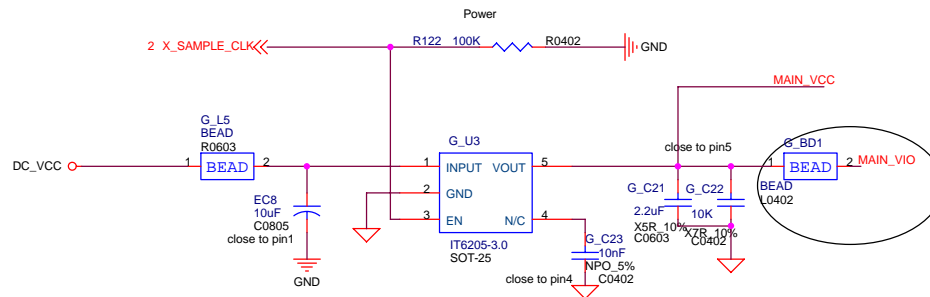
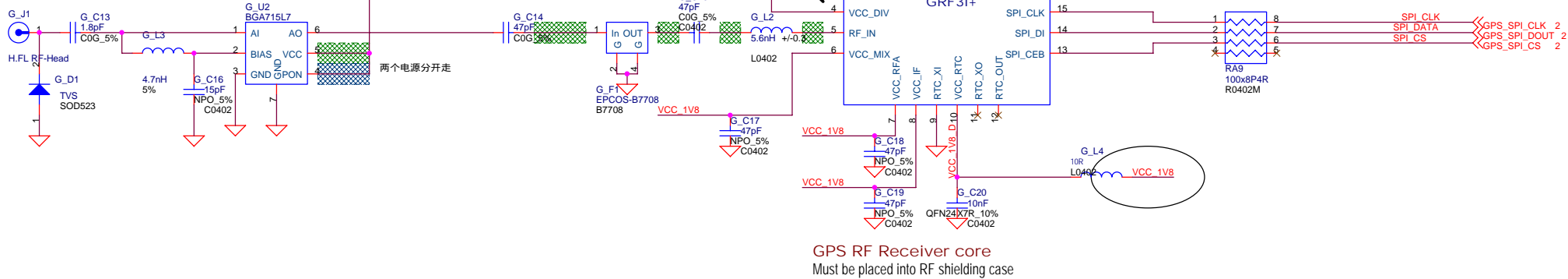




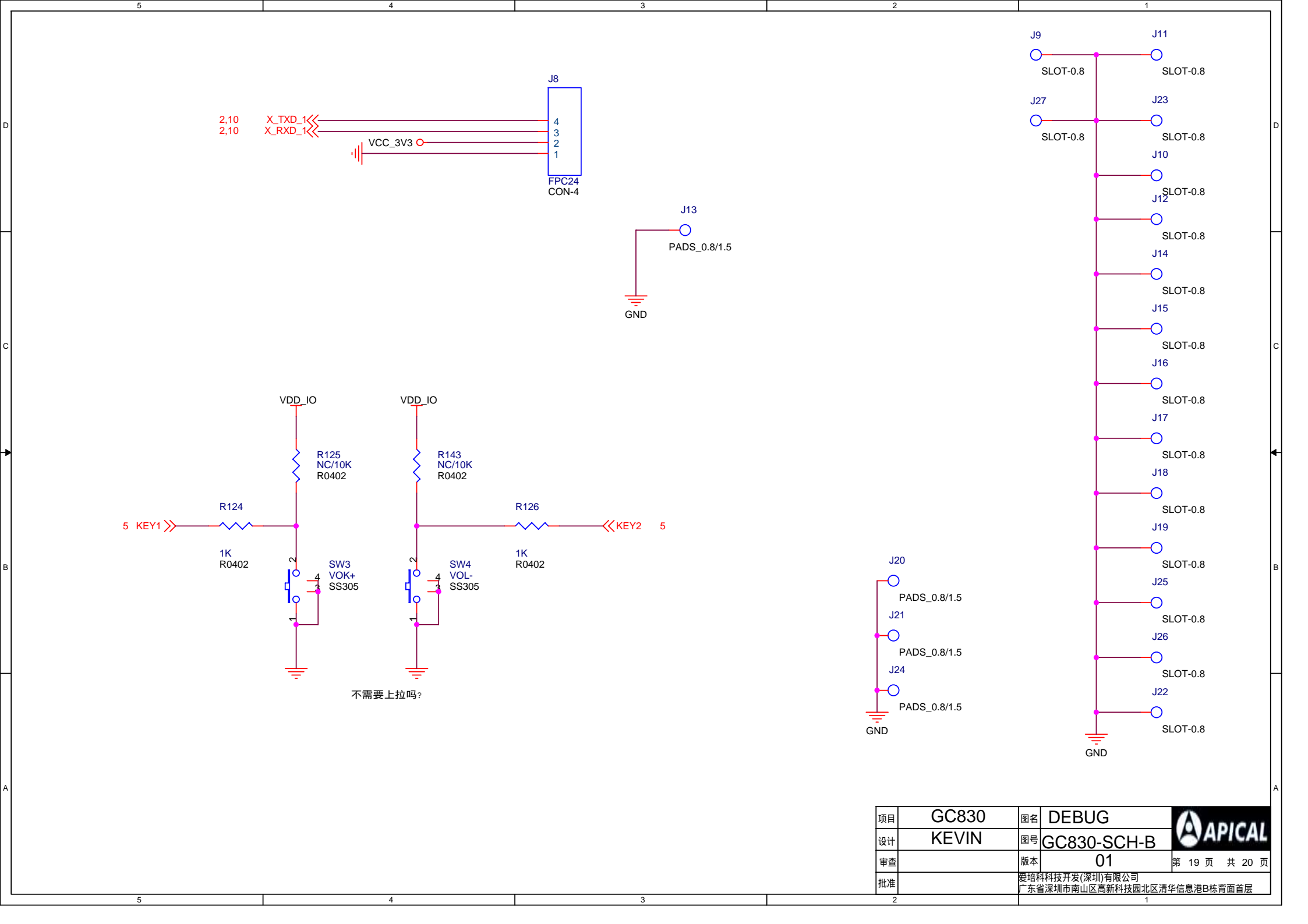
项目	GC830	图名	SD/MMC	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	爱培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			

To GPS Antenna.

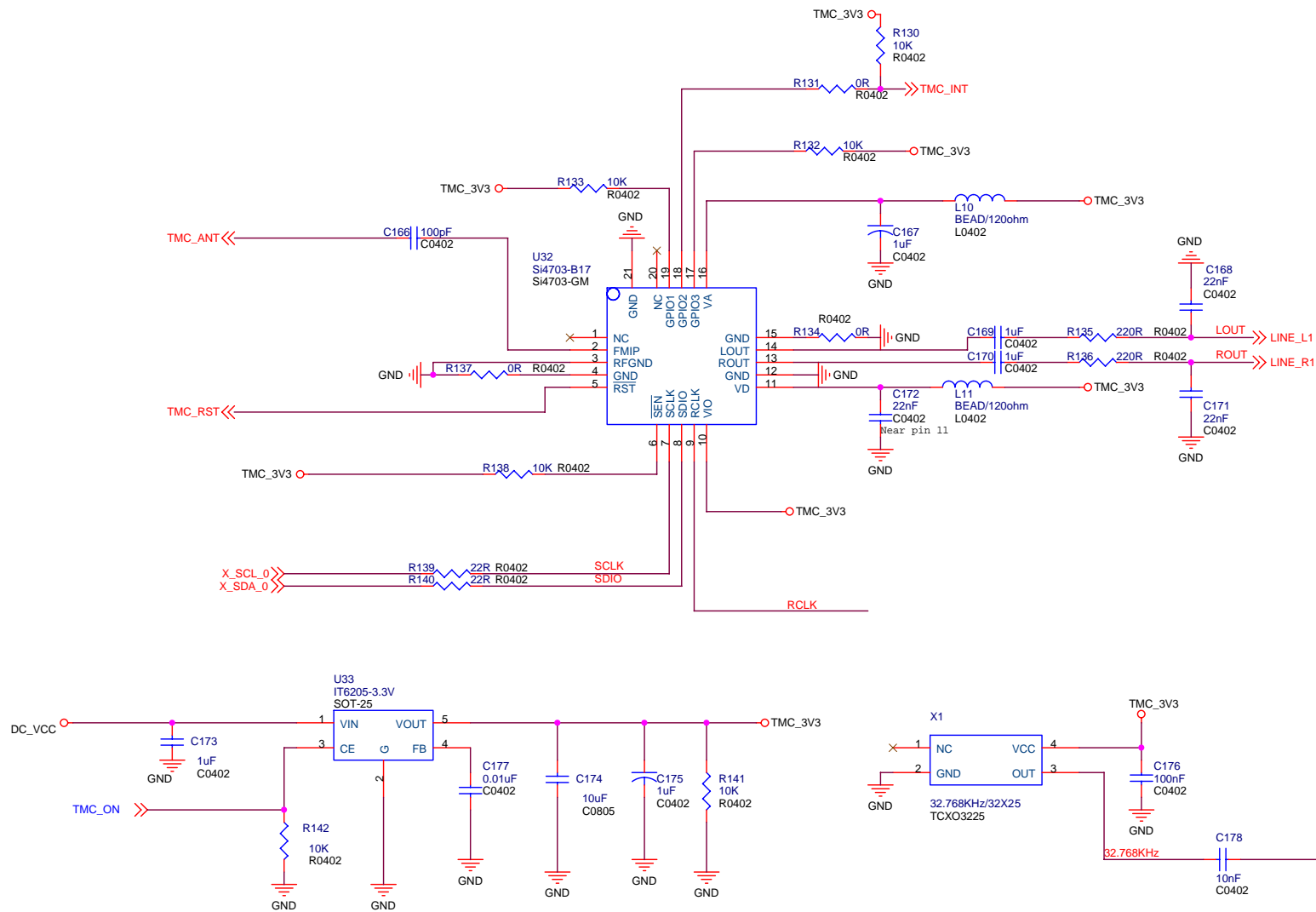
Note: footprint should be U.FL and H.FL compatible.
Ensure no GND via in middle of H.FL footprint.



项目	GC830	图名	GPS(SIRF3i+)	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	第 18 页 共 20 页
批准		密瑞科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层		



项目	GC830	图名	DEBUG	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	爱培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			



项目	GC830	图名	DEBUG	
设计	KEVIN	图号	GC830-SCH-B	
审查		版本	01	
批准	懿培科技开发(深圳)有限公司 广东省深圳市南山区高新科技园北区清华信息港B栋背面首层			



第 20 页 共 20 页

懿培科技开发(深圳)有限公司
广东省深圳市南山区高新科技园北区清华信息港B栋背面首层