

ARCSYS : ce qu'il faut retenir

C. Ferry

December 16, 2015

Contents

1	Logique booléenne	1
2	Logique CMOS	2
3	Circuits combinatoires	2
4	Circuits synchrones	3
4.1	Du point de vue des composants	3
4.2	Du point de vue de la représentation	3
5	Calculateur à logique câblée : Décomposition traitement/commande	4
6	Composants mémoire	4
6.1	SRAM asynchrone	4
6.2	SRAM synchrone	5
6.3	DRAM	5
7	Processeur à jeu d'instructions	5
8	Le cas du NIOS	6
8.1	Instructions	6
8.2	Directives d'assembleur	7
8.3	Stack	7
9	Entrées et sorties	7
9.1	Interruptions matérielles	8
10	Cache	8
11	Pipeline	8
12	Annexe : complément à deux et extension de signe	8

1 Logique booléenne

- Monôme sous forme canonique : mettez votre formule sous forme

$$\bigwedge_{i=1}^n x_i$$

avec les x_i éventuellement complémentés.

- Formule sous (1ère) forme canonique : forme normale disjonctive (OU de monômes). Par exemple, dressez la table de vérités et faites la somme (avec l'opération OU) des lignes où la formule est satisfaite.

- Simplification de formules : méthode de Karnaugh, non détaillée en cours.

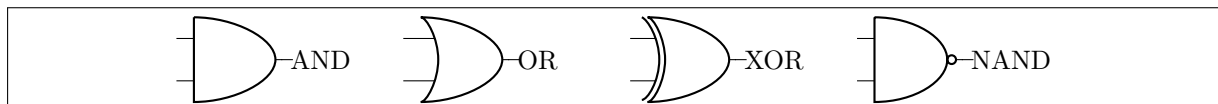
Pour réaliser cette méthode :

$\downarrow c, d \mid a, b \rightarrow$	00	01	11	10	ne changer qu'un bit par colonne
00	1	0	0	0	
01	0	0	0	1	
11	1	1	1	0	
10	0	1	1	1	
ne changer qu'un bit par ligne					

Former dans ce tableau les plus grands rectangles possibles : la construction des lignes et des colonnes (code de Gray¹) donne une formule facile à faire, ici pour le carré du bas : $b \wedge c$ (car a, d parcourent $\{0, 1\}$ et la formule reste vraie si $b = c = 1$).

2 Logique CMOS

- Transistor MOS : “interrupteur” contrôlé électroniquement. Il a trois pattes (pour votre culture : *émetteur-base-collecteur*).
- Temps de commutation $T_{com} > 0$! (ne pas considérer que la commutation est instantanée). De manière plus générale, il y a un temps de commutation dans le circuit.
- Avec des transistors, on fabrique des portes logiques... Retenir leurs symboles !



- Avec des NAND, vous pouvez toutes les fabriquer...
- Porte tristate : forcée à 0, forcée à 1, laissée libre. Typiquement, c'est ça qu'on trouve dans les bus partagés.

3 Circuits combinatoires

- Circuits faisant des calculs booléens, fabriqués avec des composants de logique combinatoire (les portes ci-dessus). Pas d'horloge, la sortie dépend uniquement de l'entrée (pas de l'état du système). **PAS DE BOUCLES !!**
- Le temps de propagation dans un tel circuit : estimation pessimiste, trouver le plus long chemin.
- Composants combinatoires usuels : multiplexeur (2^p entrées, sélection d'entrée sur p bits), décodeur (entrée sur p bits, 2^p sorties, la sortie sélectionnée est $\sum_{i=0}^{p-1} x_i 2^i$ + switch direct/inverse), additionneur 1 bit, additionneur n bits pour tout n .
- Méthodes de réalisation :
 - méthode booléenne (utiliser les formes canoniques vues ci-dessus, mettre des AND éventuellement précédés de NOT - modélisé par \circ - puis un gros OR). **Peu efficace** mais simple à mettre en œuvre.
 - exploitation de la composition de fonctions : un bloc pour chaque fonction, dont la sortie va à l'entrée d'un autre. Sélectionner un résultat avec des multiplexeurs. **Plus efficace.**
 - récurrence, dichotomie : résoudre les sous-problèmes, en faire l'entrée d'un problème plus général. Attention, ces fonctions récursives sont bornées (on ne met pas une infinité de composants sur une carte).
- Ne pas hésiter à simplifier un peu, c'est plus joli. Par exemple, supprimer les OU dont une entrée est à V_{cc} , supprimer ce qui suit un ET dont une entrée est à GND .

¹70100

4 Circuits synchrones

4.1 Du point de vue des composants

- Le circuit a un état interne, on lui donne une horloge. Il met à jour son état interne à chaque cycle d'horloge en fonction d'une entrée et de son état. Plus formellement:

$$\begin{aligned}e &:= f_t(e, v) \\ s &= f_s(e, v)\end{aligned}$$

où e est l'état de la machine, v la donnée d'entrée. f_t, f_s sont combinatoires, l'horloge est sur la mémoire qui contient e .

- f_t = fonction de transition, f_s = fonction de sortie.
- Machines:
 - De Mealy : sortie fonction de l'état et de l'entrée.
 - De Moore² : sorties uniquement fonction de l'état.
- On doit respecter le temps de propagation de l'information dans le circuit :
 - pour le changement d'état, T_{cy} le temps de cycle minimal comprenant T_{su} (set-up time, temps de calcul de l'état futur à partir de l'entrée), T_h le temps de maintien.
 - pour les sorties : T_{vs} temps de calcul des sorties à partir des entrées, T_{es} temps de calcul des sorties à partir de l'état.
 - Ces notations temporelles bizarres ne sont certainement pas à savoir par cœur, mais il faut savoir qu'il y a un temps minimal de calcul, incompressible, au-delà duquel l'horloge ne peut aller.
- Des circuits séquentiels :
 - les bascules
 - * D : mémoire 1 bit, $Q := D$
 - * T : inverseuse d'état, $Q := (\neg T \wedge Q) \vee (T \wedge \neg Q)$
 - * JK : suivant J, K , garder Q , inverser Q , forcer 0, forcer 1, $Q := (J \wedge \neg Q) \vee (\neg K \wedge Q)$
 - * RS : suivant R, S , garder Q , forcer 0, forcer 1), $Q := S \vee (\neg R \wedge Q)$
 - les compteurs : permanent, compteur/décompteur (avec une entrée INC, une entrée DEC, si aucune n'est mise, le compteur ne bouge pas), compteur avec chargement (et entrée CH).
 - les registres : à chargement systématique (n bascules D en parallèle), à chargement commandé, à décalage systématique, à décalage droite-gauche...
- Circuit synchrone : interconnexion de circuits synchrones ou combinatoires, mais **UNE UNIQUE HORLOGE !!!** On peut avoir des boucles sur les composants séquentiels.
- **L'HORLOGE NE DOIT JAMAIS ÊTRE PRISE COMME ENTRÉE DANS UN CIRCUIT !!!!!**

4.2 Du point de vue de la représentation

- Les états de nos machines sont finis (entrées finies, mémoires finies à états finis) : on peut faire des automates finis pour les représenter.
- On peut fusionner les états équivalents pour simplifier l'automate.

²pas de vanne !

5 Calculateur à logique câblée : Décomposition traitement/commande

- On décompose le circuit en une unité de traitement (qui prend l'entrée extérieure, fait le calcul proprement dit) et une unité de commande (qui modélise l'automate du chapitre précédent et génère les commandes pour lancer les calculs).
- L'UT et l'UC communiquent par connexions simples (une seule source, plusieurs destinataires) ou par bus (plusieurs sources, plusieurs destinataires). Les bus sont fabriqués avec des portes tristate, **qui permettent de laisser libre le bus pour que d'autres composants l'utilisent.**
- UC est en général un système synchrone standard, dotée d'un compteur, d'un module de génération des commandes (sorties de l'UC) et d'un module de séquençement (qui prend des entrées extérieures, pouvant aussi venir de l'UT au titre de feedback -par exemple le signe d'une addition dans un processeur NIOS).
- UT est en général composée de mémoires, de registres, d'opérateurs logiques interconnectés. Elle prend en entrée des commandes (venant de l'UC) et éventuellement des valeurs venant de l'extérieur (qu'il est bon de faire transiter par l'UC, par exemple les valeurs immédiates des instructions NIOS qui sont décodées par l'UC).
- Pour la communication UT/UC, on a une demande de l'UC suivie d'une réponse de l'UT (ces demandes/réponses étant entrelacées).
Avant de commencer son calcul, l'UT attend qu'une valeur lui soit envoyée (DEM=1 par exemple); une fois la valeur reçue, elle signale REP=1 et attend DEM=0 pour se rendre compte que l'utilisateur a bien vu que la machine avait pris sa valeur.
Ce protocole est un **handshake**.
- Pour créer l'UT/UC, il faut écrire un algo de son fonctionnement, suffisamment détaillé (les entrées/sorties et leurs attentes doivent être complètes). Ainsi, on fait apparaître les opérateurs qui nous serviront.
- Paralléliser l'algorithme, i.e. mettre en évidence les calculs qui peuvent être faits en même temps. On sépare les instructions exécutées séquentiellement par “;”, les parallèles par “,”.
- Si les opérateurs ne sont pas utilisés simultanément, en insérer le moins d'exemplaires possibles et utiliser des bus partagés.
- On doit pouvoir obtenir ainsi un circuit pour l'UT.
- L'UC se déduit de l'algo : il y a autant d'états dans l'automate de l'UC que de paquets d'instructions réalisables simultanément.
- L'UC se chargera d'envoyer les bonnes commandes aux composants séquentiels de l'UT pour qu'ils exécutent l'algo comme il faut.

6 Composants mémoire

- Dans les systèmes que nous concevons (durée de vie des données courte) : SRAM, DRAM se tirent la bourre.
 - Le prix ! SRAM bien plus chère que DRAM.
 - Mais le temps d'accès... 1 ns pour SRAM, 10/20 ns pour DRAM.

6.1 SRAM asynchrone

- Dispose d'entrées WE (Write Enable), CS (Chip Select), OE (Output Enable), A (Address) et d'un bus DQ (data) qui sert en entrée et en sortie.
- L'accès à cette RAM se fait comme un circuit combinatoire : envoyez votre commande, modulo le délai de propagation vous avez votre réponse.

6.2 SRAM synchrone

- On rajoute aux entrées de la SRAM synchrone, une horloge CLK.
- Lorsqu'une donnée est demandée au cycle n , elle est visible sur DQ au cycle $n + 1$.
- Pour l'écriture : dès que $WE = 1$, au front montant, l'écriture est activée et prend un cycle. L'adresse sur A doit être présente en même temps que les données sur DQ.

6.3 DRAM

- Une DRAM est une matrice de cellules mémoire : k lignes, m colonnes.
- Pour accéder à une donnée particulière, la DRAM charge la ligne dans laquelle cette donnée se situe dans un buffer, puis renvoie la colonne correspondante issue du buffer. Il y a donc un délai de mise en tampon puis un délai de lecture dans le tampon.
Conclusion : pour bien utiliser la DRAM, **localisez vos accès** ! (rapprochez les valeurs utilisées dans des intervalles de temps faibles).
- La DRAM doit être maintenue "vivante" (durée de vie des données très faible) : il y a réécriture dans la matrice même après chaque lecture. En effet, la DRAM est une sorte de circuit RC, qui se décharge donc avec le temps (fuite de courant même à circuit ouvert).
- La SDRAM (DRAM synchrone) fonctionne en comptant des cycles : on fait des lectures en rafale (burst) pour des adresses contigues, une lecture par cycle, pour limiter le nombre de bufferings.
- On sait aussi (culturel) faire des RAM à double front d'horloge : entrée des adresses et commandes sur front montant, retour des données sur front descendant.

7 Processeur à jeu d'instructions

- On sait construire un automate et une UT tels que le système résultat fait, par exemple, la recherche du minimum dans un tableau.
- On se dote pour cela d'une UT "générique" : une unité arithmétique/logique (UAL, ALU pour les puristes), une file de registres (taille limitée), une mémoire de données. L'UC est adaptée à notre besoin : l'automate fait exactement la recherche du minimum.
- On peut avoir un processeur plus générique : on rajoute une unité de contrôle par dessus notre UC. Cette super-UC va passer des commandes à l'UC de base, qu'elle comprendra. C'était l'objet du TP "construction d'un processeur" où l'on a dessiné le gros automate.
- La super-UC va avoir pour fonction de chercher une instruction dans une mémoire d'instruction, et de la passer à l'UC interprète, qui décode l'instruction et la fait exécuter.
- Pour que cette super-UC sache que lire : il faut un compteur d'instructions : le **Program Counter** ! Et un registre (**instruction register**) pour stocker l'instruction en cours d'exécution et en permettre le décodage.
- Les instructions machine sont standardisées : on définit un codage, par exemple sur le NIOS, on a trois types d'instructions (J, R, I). On y reviendra à la section NIOS.
- Machines CISC/RISC : les machines CISC³ étaient là historiquement pour simplifier le travail des programmeurs, qui n'avaient pas de langage de haut niveau (ex : comparaison de chaînes de caractères en une instruction...). Les RISC⁴ sont basées sur le fait que 90% des instructions sont utilisées 10% du temps (et donc 10% des instructions, 90% du temps). Du coup, moins d'instructions \Rightarrow CPU moins complexe.
- Les processeurs modernes (Core 2, ...) ont un cœur RISC et un système de traduction de x86 vers leur jeu RISC.

³Complex Instruction Set Computer

⁴Reduced Instruction Set Computer

8 Le cas du NIOS

8.1 Instructions

- La plupart des NIOS ont un accès mémoire aligné au mot (4 octets) (ATTENTION ! Votre programme plante si vous demandez l'accès à une adresse non alignée).
- Endianness : le NIOS est **little endian** (

poids faible	poids fort
--------------	----	----	------------

). Exemple, 0xB16B00B5 se représente

0xB5	0x00	0x6B	0x16
------	------	------	------

.
- Le format I, J R des instructions sur 32 bits:
 - I :

rA (5 bits)	rB (5 bits)	IMM16 (16 bits)	OP (6 bits)
-------------	-------------	-----------------	-------------
 - J :

rA (5 bits)	rB (5 bits)	rC (5 bits)	OPx (11 bits)	OP (6 bits)
-------------	-------------	-------------	---------------	-------------
 - R :

IMM26 (26 bits)	OP (6 bits)
-----------------	-------------
- Quelques instructions à retenir... (PC + 4 : incrément PC post-instruction, MI : Pseudo-Instruction, traduite par l'assembleur en multiples instructions)

Instr	T	Syntaxe	Effet	PC+4	PI
<i>Instructions arithmétiques</i>					
add	J	add rC, rA, rB	$rC := rA + rB$	X	
addi	I	addi rB, rA, IMM16	$rB := rA + \sigma(\text{IMM16})$	X	
sub	J	sub rC, rA, rB	$rC := rA - rB$	X	
subi	I	subi rB, rA, IMM16	$rB := rA - \sigma(\text{IMM16})$	X	X
Idem pour and, andi, or, ori, xor, xori.					
<i>Instructions de branchement, appels...</i>					
call	R	call label	$r31 := PC + 4;$ $PC := PC_{31..28} : (\text{IMM26} \ll 2)$		
callr	I	callr rA	$r31 := PC + 4; PC := rA$		
ret	R	ret	$PC := r31$		
jmp	R	jmp rA	$PC := rA$		
jmp_i	I	jmp_i label	$PC := PC_{31..28} : (\text{IMM26} \ll 2)$		
beq	I	beq rA, rB, label	$PC := PC + 4$ $+ (\text{if } rA = rB \text{ then } \sigma(\text{IMM16}) \text{ else } 0)$		
bne	I	bne rA, rB, label	$PC := PC + 4$ $+ (\text{if } rA \neq rB \text{ then } \sigma(\text{IMM16}) \text{ else } 0)$		
bge	I	bge rA, rB, label	$PC := PC + 4$ $+ (\text{if } rA \geq rB \text{ then } \sigma(\text{IMM16}) \text{ else } 0)$		
Idem pour ble, blt, bgt (less or equal, less than, greater than)					
<i>Instructions de mouvement, (dé)chargement mémoire</i>					
movia	I	movia rB, IMM16	$rB := \text{IMM16}$	X	X
movi	I	movi rB, IMM16	$rB := \sigma(\text{IMM16})$	X	X
mov	I	mov rC, rA	$rC := rA$	X	X
ldw	I	ldw rB, offset14(rA)	$rA := \text{MEM}(rA + \text{offset14})$	X	
stw	I	stw rB, offset14(rA)	$\text{MEM}(rA + \text{offset14}) := rB$	X	

- Note culturelle : sur les x86, on a l'instruction lea (Load Effective Address) qui permet de calculer l'adresse effective (offset + valeur du registre) sans faire appel à la mémoire (on fait un mov après). Elle est intéressante car contrairement à add, elle ne modifie pas les flags du processeur (retenue, overflow, signe) et permet de faire de l'arithmétique moins limitée que add⁵.

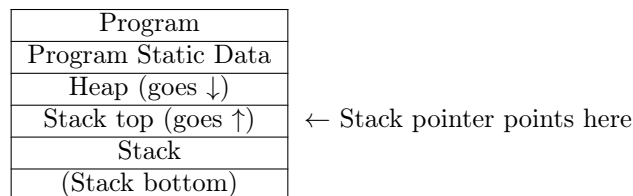
⁵What does that give us? Two things that ADD doesn't provide: the ability to perform addition with either two or three operands, and the ability to store the result in any register; not just one of the source operands. (*Abrash, Zen of Assembly*)

8.2 Directives d'assembleur

- Dans l'assembleur : les directives `.text` et `.data` permettent de séparer le code (`.text`) des données statiques (`.data`).
- Réserve de données statiques: les labels sont facultatifs
 - Chaînes : `[label] .string "Text"`
 - Octets : `[label] .byte value [:length]`
 - Mots : `[label] .word 0x12345678`
 - Demi-mots : `[label] .half 0x1234`
 - Alignement : `.align 16` (saute à la prochaine adresse alignée sur 16 bits). Sur le NIOS, `.align 32` aligne à 4 octets ce qui correspond au requirement d'alignement dans les adresses.
 - Exportation : `.globl label` (rend label visible hors de votre programme, pour qu'on puisse y faire appel depuis l'extérieur - pensez aux bibliothèques partagées).

8.3 Stack

- Pile : contient les arguments des fonctions appelées, les adresses de retour... Schéma de la mémoire d'un programme.



- Le NIOS a un registre contenant le sommet de la pile (stack pointer, r27). Lorsque vous empilez des données, décrémente-le avant empilement ! Lorsque vous en dépilez, incrémentez-le après dépilement.
- Le Frame pointer (r28) est un registre mis à jour avant chaque appel de fonction, contenant la valeur du stack pointer à ce moment : si vous laissez des données dans la pile en retournant, le stack pointer est remis à sa valeur d'avant l'appel... ce qui ne vous dispense pas de bien gérer la pile !
- Attention aux conventions de sauvegarde en pile des registres. (Celle de gcc impose que l'appelant sauvegarde les registres xx à xx, et que l'appelé sauvegarde les registres xx à xx).

9 Entrées et sorties

- Des coupleurs matériels (contrôleurs) reliés au CPU, auquel on rajoute:
 - un bus d'adresse I/O
 - un bus de données I/O
 - un bus de commande (choix du coupleur)
- Chaque coupleur a:
 - un bus d'adresse en entrée
 - un bus servant aux données (entrée + sortie dotée d'un tristate, sur le même bus)
 - une entrée CS (chip select) : le coupleur lui-même a une adresse et son chip select n'est activé que si sur le bus d'adresse on trouve son adresse.
 - une sortie Waitreq (acquiescement de réception des commandes, et de bonne exécution de celles-ci)

- On peut disposer de ports de lecture/écriture multiples sur un même coupleur en réservant des bits sur le bus d'adresse pour une sous-adresse :

adresse chip (comparée avec un ET, résultat en chipselect) (eg. 6 bits)

- Le coupleur a typiquement quelques registres : pour les lire, le processeur effectue une transaction (demande, attente d'acquiescement, lecture); pour écrire, idem (demande avec envoi de données, attente d'acquiescement d'écriture, libération des bus).
- Instructions non dites dans le tableau : ldwio, stwio, parlent au matériel (seulement en mode superutilisateur).

9.1 Interruptions matérielles

- Les coupleurs matériels ont un drapeau (flag) indiquant s'ils ont des données prêtes à être traitées par le processeur. Le processeur s'interrompt

10 Cache

11 Pipeline

12 Annexe : complément à deux et extension de signe

Blabla.