

# Aulas 2 e 3 – Latch e FF

## Parte 1:

Nessa parte, fizemos um latch RS com porta controlada usando o código VHDL fornecido pelo PDF que contém os enunciados desses exercícios, como mostra a figura 1. Em seguida, visualizamos duas formas em que o código foi interpretado pelo Quartus: a primeira forma foi sua representação por portas lógicas (fig. 2), e a segunda forma foi sua representação por LUTs (fig. 3). Finalmente, simulamos o comportamento do circuito no Modelsim (fig. 4).

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY proj1 IS
PORT ( Clk, R, S : IN STD_LOGIC;
      Q : OUT STD_LOGIC);
END proj1;
ARCHITECTURE Structural OF proj1 IS
SIGNAL R_g, S_g, Qa, Qb : STD_LOGIC ;
--ATTRIBUTE KEEP : BOOLEAN;
--ATTRIBUTE KEEP OF R_g, S_g, Qa, Qb : SIGNAL IS TRUE;
BEGIN
R_g <= R AND Clk;
S_g <= S AND Clk;
Qa <= NOT (R_g OR Qb);
Qb <= NOT (S_g OR Qa);
Q <= Qa;
END Structural;
```

Figura 1

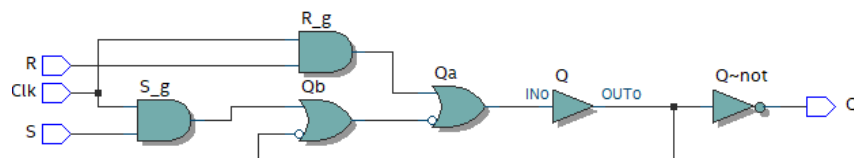


Figura 2

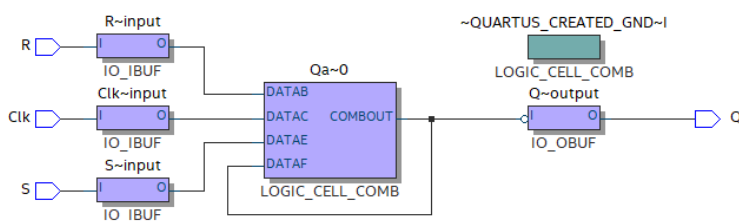


Figura 3

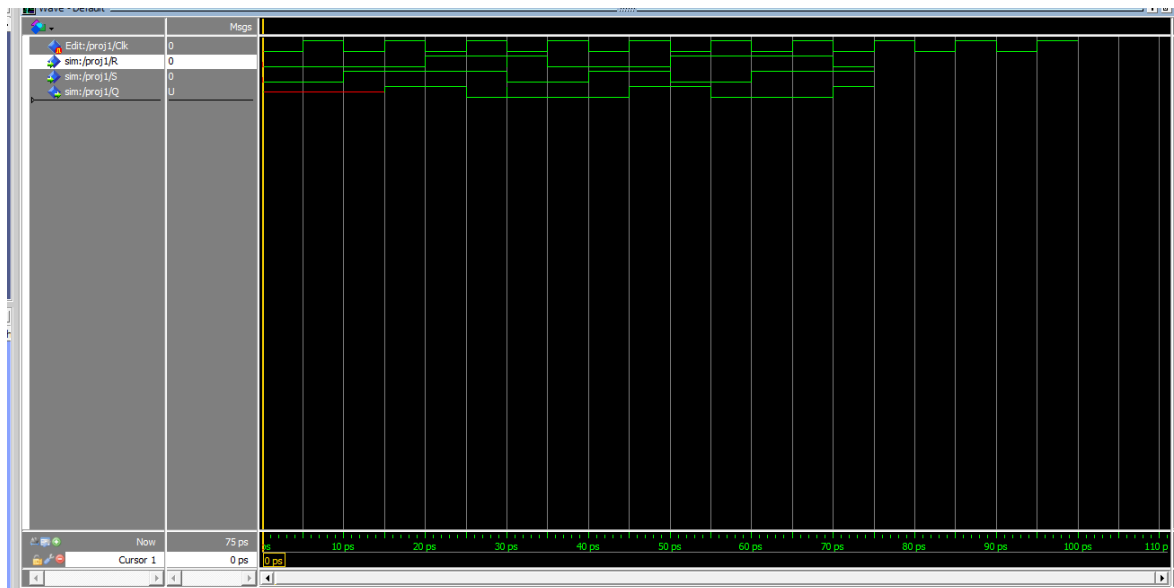
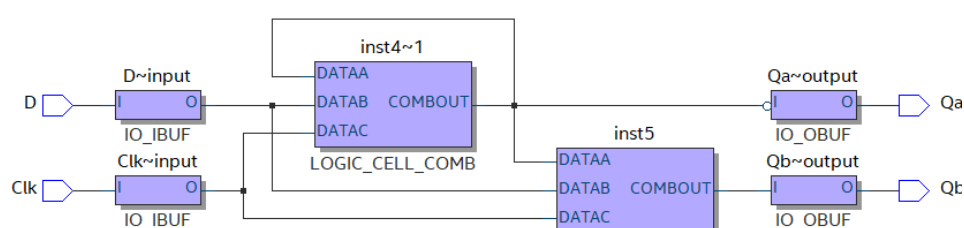
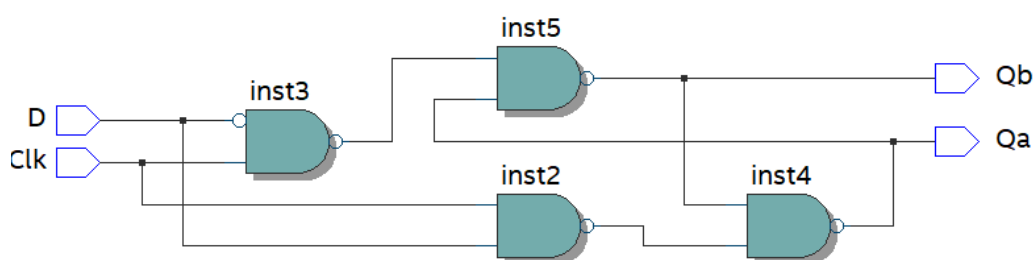
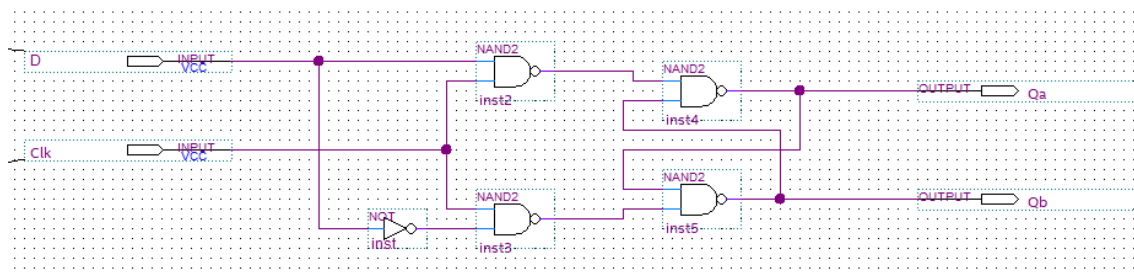
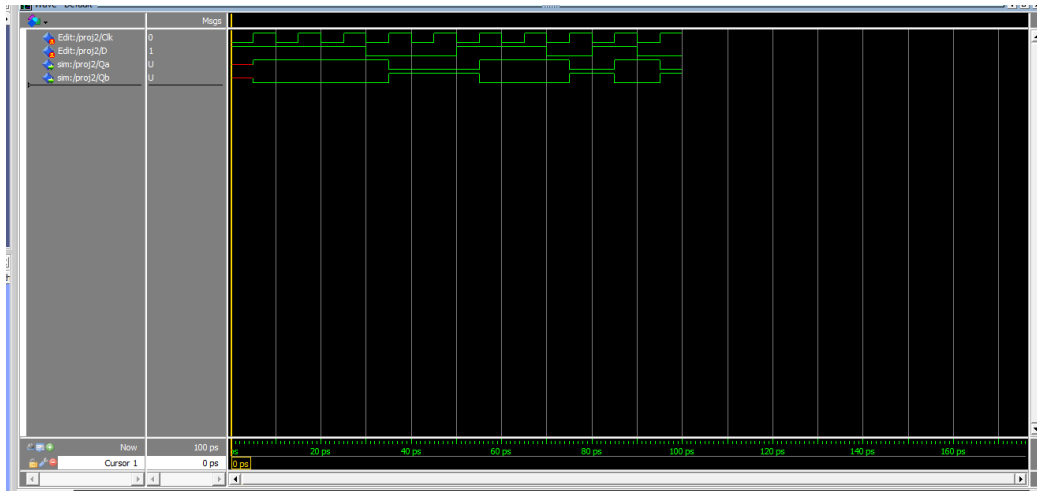


Figura 4

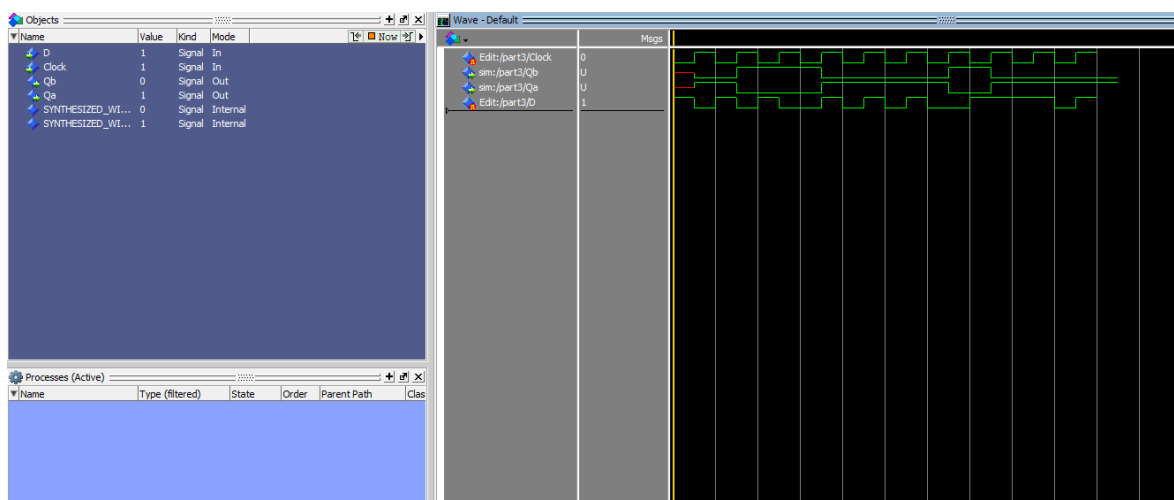
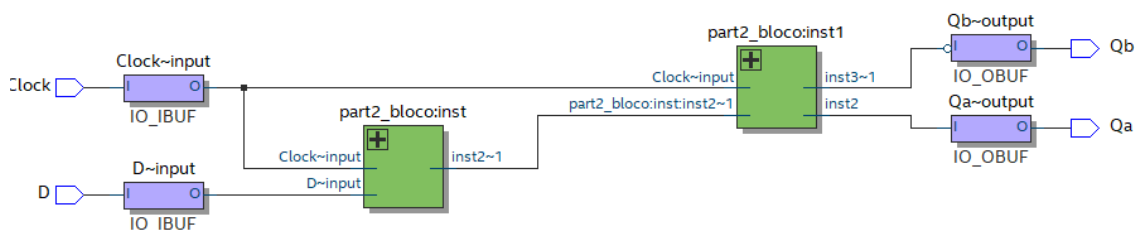
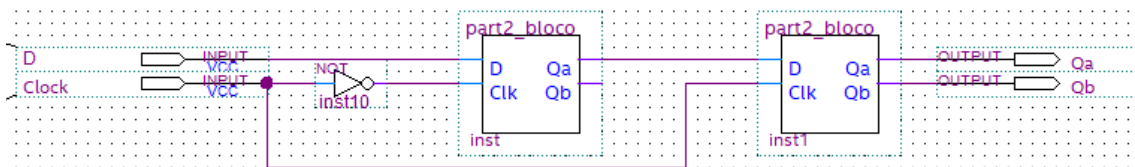
## Parte 2:

Nesta parte, fizemos um latch D controlado por clock usando o diagrama de blocos do Quartus. E visualizamos as duas representações mostradas anteriormente. Por fim, simulamos o comportamento do circuito no Modelsim.

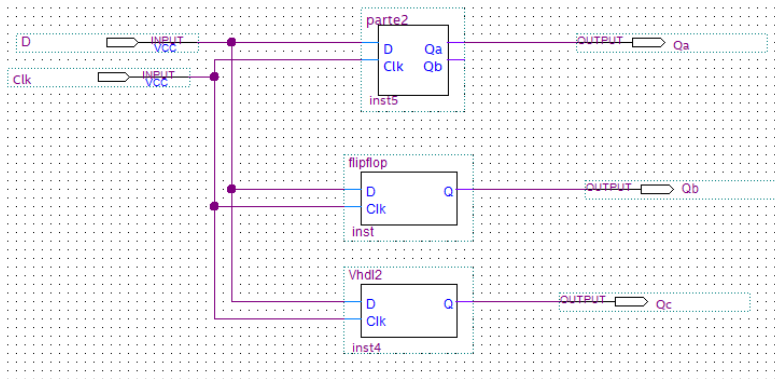




**Parte 3:** implementamos um flip-flop D mestre-escravo usando o diagrama de blocos do Quartus. O bloco “part2\_bloco” foi gerado a partir do diagrama da parte anterior. Em seguida, visualizamos a representação por LUTs desse circuito e simulamos seu comportamento no Modelsim.



**Parte 4:** desenvolvemos um circuito que integra 3 latches D diferentes, o primeiro gerado através dos diagramas de blocos do Quartus, e os demais gerados por código VHDL: “parte2”, que se trata de um latch D controlado por nível, “flipflop”, um latch D controlado por borda de subida e “Vhdl2”, um latch D controlado por borda de descida. Em seguida, visualizamos a representação do circuito principal por LUTs. Essas sutis distinções entre os latches implicam em mudanças notáveis em seus comportamentos, como é evidenciado na simulação do Modelsim.



```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
```

```
ENTITY flipflop IS
    PORT (
        D : IN STD_LOGIC;
        Clk : IN STD_LOGIC;
        Q : OUT STD_LOGIC
    );
END flipflop;

ARCHITECTURE Behavior OF flipflop IS
BEGIN
    PROCESS (Clk)
    BEGIN
        IF rising_edge(Clk) THEN
            Q <= D;
        END IF;
    END PROCESS;
END Behavior;
```

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
```

```
ENTITY Vhdl2 IS
    PORT (
        D : IN STD_LOGIC;
        Clk : IN STD_LOGIC;
        Q : OUT STD_LOGIC
    );
END Vhdl2;

ARCHITECTURE Behavior OF Vhdl2 IS
BEGIN
    PROCESS (Clk)
    BEGIN
        IF falling_edge(Clk) THEN
            Q <= D;
        END IF;
    END PROCESS;
END Behavior;
```

