

ELECTRÓNICA FUNDAMENTAL

INFORME LABORATORIO 2:

Transistores

GRUPO: B3

Nombre	CI	email
Federico Bello	4.993.837-3	federico.bello@fing.edu.uy
Gonzalo Chiarlone	5.110.058-6	gonzalo.chiarlone@fing.edu.uy
Tomas Gonzalez	5.164.667-3	tomas.gonzalez.rodriguez@fing.edu.uy
Guillermo Von Sanden	4.989.249-4	guillermo.von.sanden@fing.edu.uy

Instituto de Ingeniería Eléctrica
Facultad de Ingeniería
Universidad de la República



Índice

1. Extracción Curva ID en función de V_{GB} (V_{BG}) para nMOS (pMOS)	4
1.1. Armado	4
1.2. Medidas	4
1.2.1. Parte a	4
1.2.2. Parte b	4
1.2.3. Parte c	5
1.2.4. Parte d	5
1.2.5. Parte e	6
1.2.6. Parte f	6
2. Inversor CMOS	6
2.1. Armado	6
2.2. Medidas	7
3. Circuito de Sample and Hold	8
3.1. Armado	8
3.2. Parte a	8
3.3. Parte b	9
3.4. Parte c	10
3.5. Parte d	10
3.6. Parte e	11
3.7. Parte f	11

1. Extracción Curva ID en función de V_{GB} (V_{BG}) para nMOS (pMOS)

1.1. Armado

En la figura 1 se ven las conexiones necesarias para el funcionamiento del circuito con nMOS. En naranja se ven las conexiones del AnalogDiscovery y en verde las conexiones a las entradas del transistor. Lo mismo es verdad para el circuito con pMOS de la figura 2.

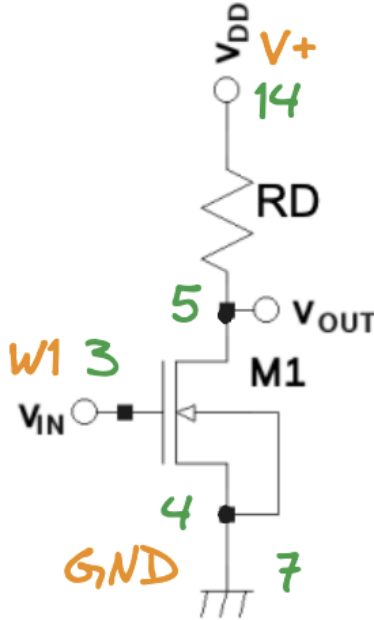


Figura 1: Conexiones del transistor nMOS

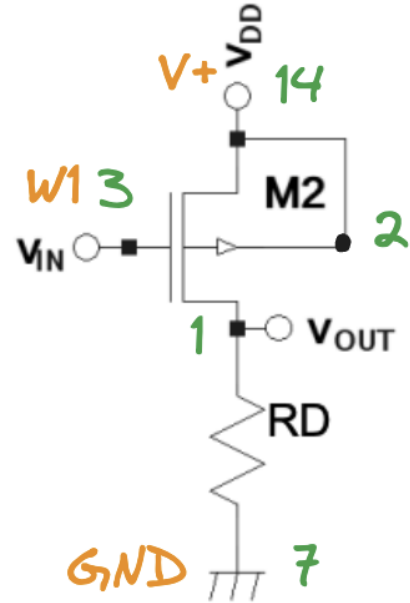


Figura 2: Conexiones del transistor pMOS

1.2. Medidas

1.2.1. Parte a

Para tomar las medidas se conectaron las entradas del osciloscopio a V_{in} y V_{out} . Para el caso del nMOS se calculo la corriente como $I_D = \frac{1}{R_d}(V_{DD} - V_{out})$, mientras que para el caso del pMOS como $I_D = \frac{1}{R_D}V_{out}$. Además, para el caso del nMOS se tiene que $V_{GS} = V_{in}$, por otro lado, para el pMOS se llega a que $V_{SG} = V_{DD} - V_{in}$.

1.2.2. Parte b

En la siguientes gráficas podemos ver en superposición los valores medidos con el Analog Discovery, los valores teoricos calculados con los parametros del transistor y la simulación realizada con LTspice. En la figura 3 podemos ver los datos del transistor Nmos y en la figura 4 los datos del transistor Pmos. Podemos ver como los resultados son acordes a lo simulado y a los cálculos teóricos.

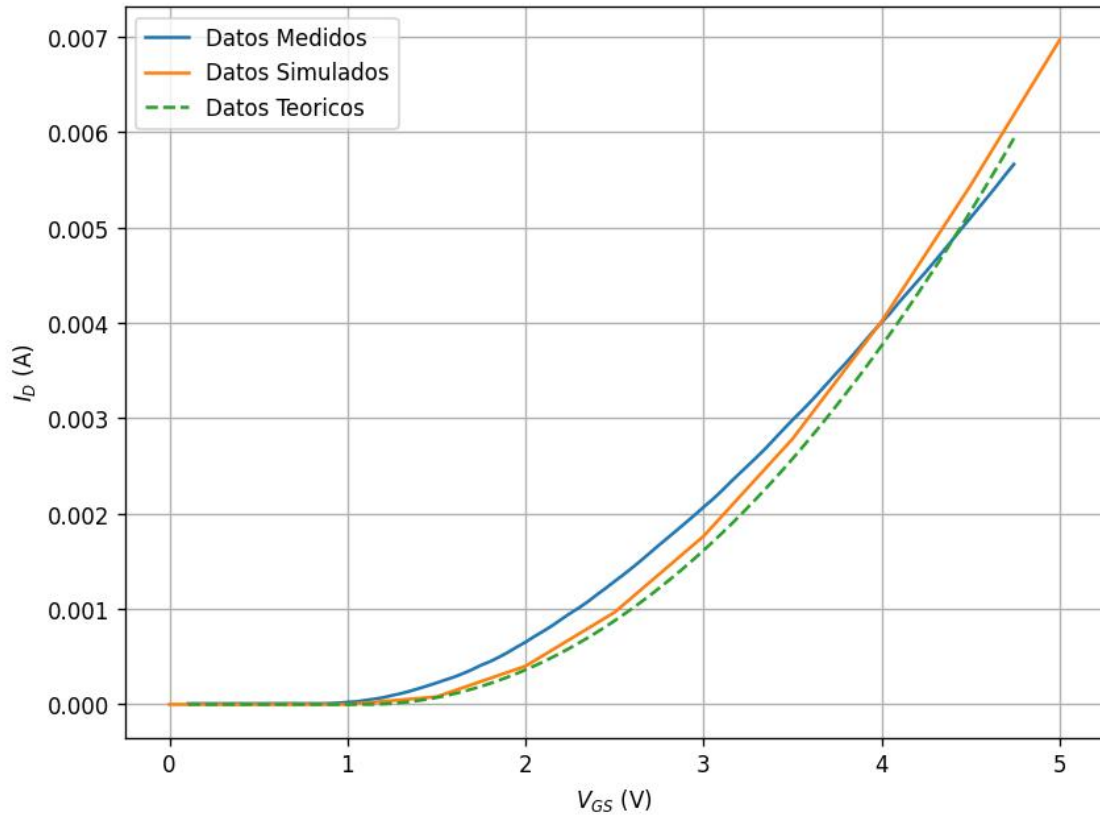


Figura 3: Corriente I_D en transistor Nmos

1.2.3. Parte c

Se utilizaron las ecuaciones en saturación (ver anexo) para poder estimar los valores de V_{ton} y V_{top} . Se tomaron ciertos valores de voltaje V_{in} en el rango de saturación y con su correspondiente valor de corriente se despejaron los valores de V_{to} . Finalmente estos valores se promediaron y se obtuvo que:

$$V_{ton} = 0,891V$$

$$V_{top} = 1,48V$$

1.2.4. Parte d

Utilizando los valores de V_{ton} y V_{top} que se estimaron en la parte c como V_{GS} . Para esto se calculó la corriente en la resistencia a partir de las medidas del voltaje en bornes. Utilizando una resistencia de $150k\Omega$ se obtuvieron los siguientes valores de corriente:

$$I_{Dn} = 4,96\mu A$$

$$I_{Dp} = 0,42\mu A$$

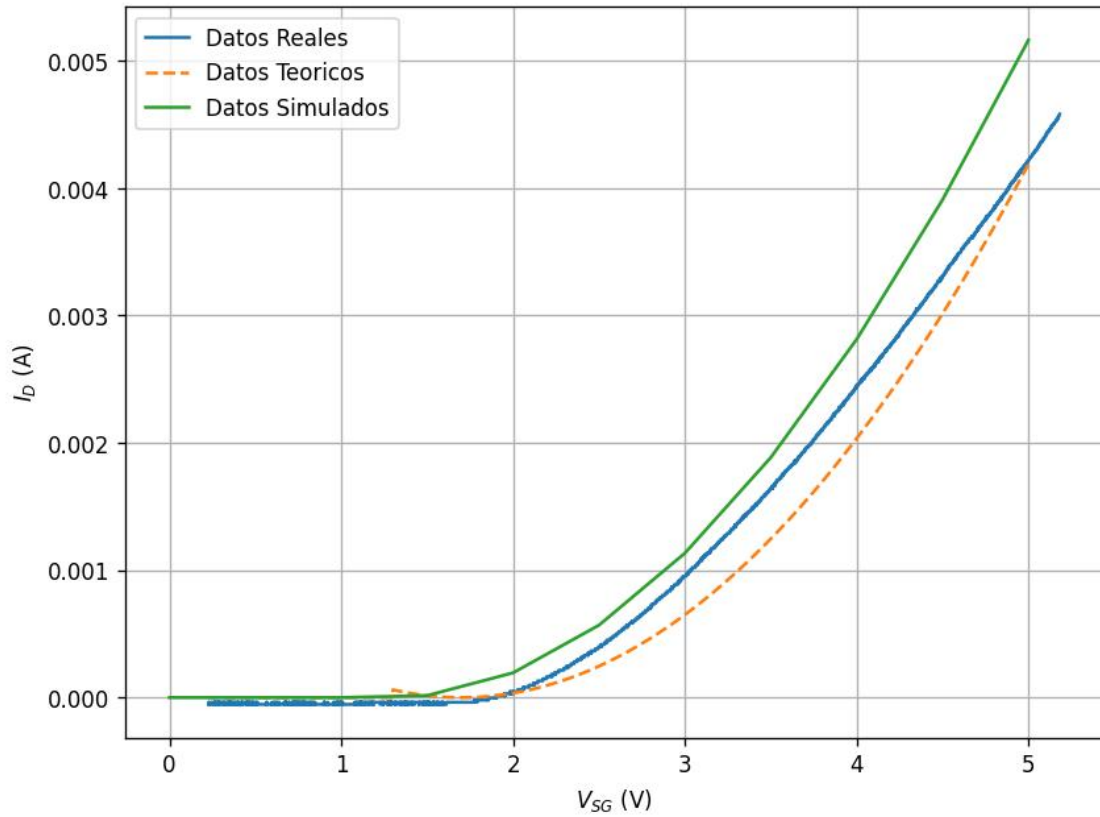


Figura 4: Corriente I_D en transistor Pmos

1.2.5. Parte e

Se observó que la corriente I_D no se anula para $V_{GS} = V_{T0n}$ o lo que es equivalente $V_{SG} = V_{T0p}$. Esto podría ser resultado de los efectos de segundo orden los cuales no se consideraron para los calculos teóricos los cuales fueron realizados con ecuaciones de primer orden. Debido a la corriente subumbral, cuando V_{GS} o V_{SG} es menor a la tensión umbral, la difusión en el canal del transistor aporta pequeñas corrientes que son despreciadas para los calculos de primer orden.

1.2.6. Parte f

Para asegurar la circulación de corriente se debe cumplir que $V_{GS} > V_{T0n}$. De esta forma el transistor no se encuentra cortado.

2. Inversor cMOS

2.1. Armado

En la figura 5 se ven las conexiones necesarias para el funcionamiento del circuito cMOS inversor. En naranja se ven las conexiones del AnalogDiscovery y en verde las conexiones a las entradas del transistor.

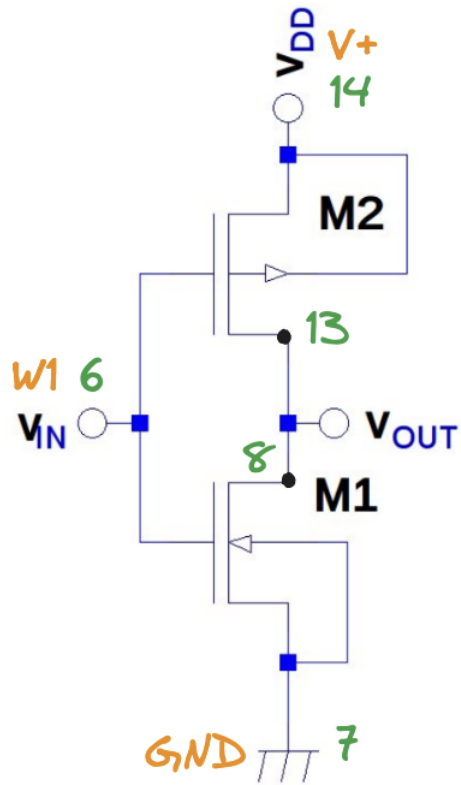


Figura 5: Conexiones del transistor inversor CMOS

2.2. Medidas

En la figura 6 se observa la señal de entrada y salida del transistor CMOS. Se observa claramente como cuando la entrada es alta la salida tiene bajo voltaje, y de forma análoga para una entrada de bajo valor.

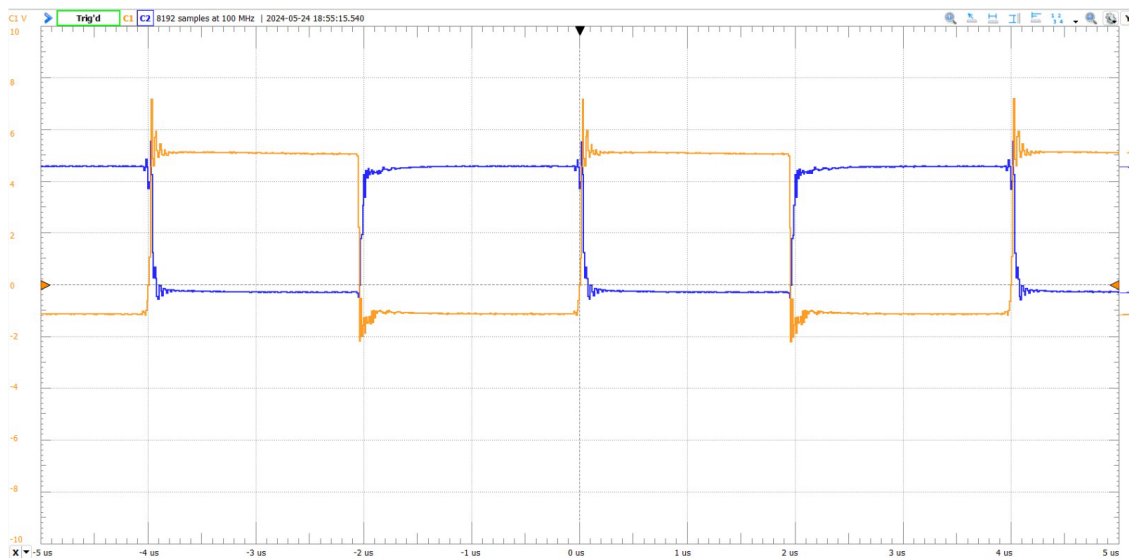


Figura 6: Entrada y salida del inversor CMOS (en azul y naranja respectivamente)

3. Circuito de Sample and Hold

3.1. Armado

En la figura 5 se ven las conexiones necesarias para el funcionamiento del circuito *Sample and Hold*. En naranja se ven las conexiones del AnalogDiscovery y en verde las conexiones a las entradas del transistor.

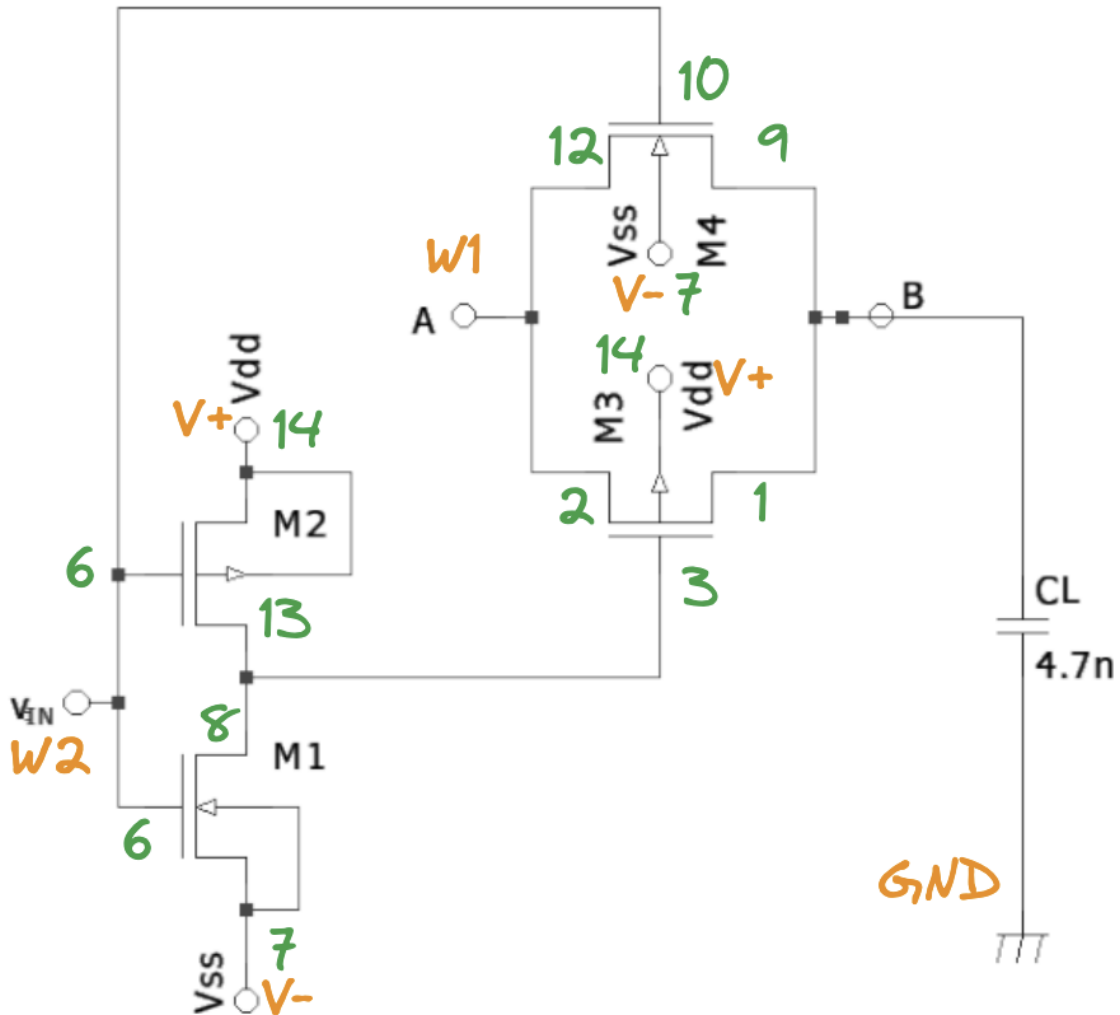


Figura 7: Conexiones para el circuito de *Sample and Hold*

3.2. Parte a

En la figura 8 se pueden ver las tensiones en los transistores M3 y M4. Se puede ver que la señal V_{G3} es la inversa de V_{G4} . Esto corresponde ya que el circuito interno realizado con M1 y M2 funciona como un inversor.

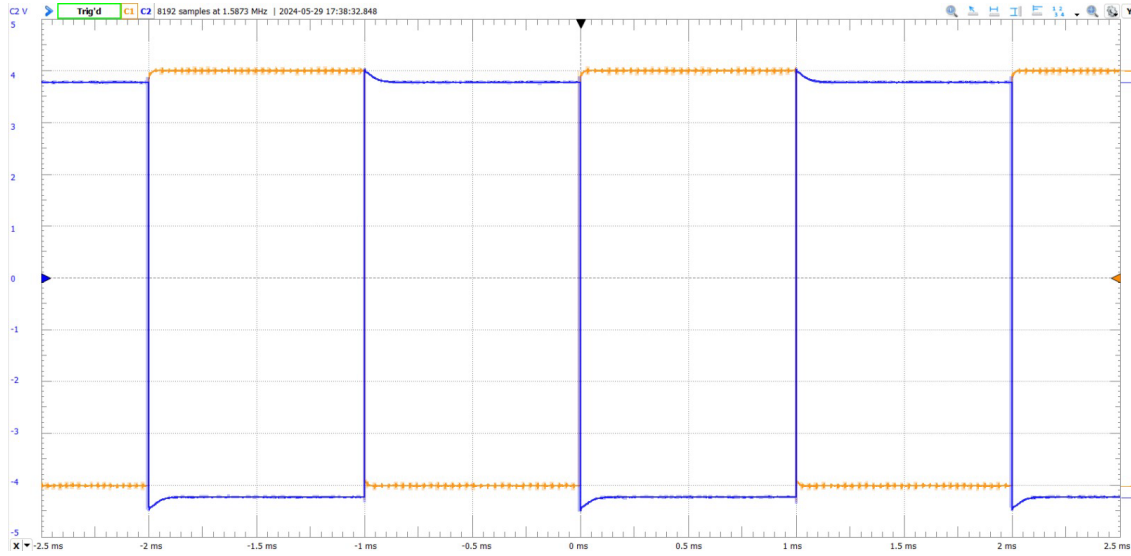


Figura 8: Tensión en *gates* de transistores M3 y M4

3.3. Parte b

En la figura 9 se puede ver la simulación realizada para el circuito Sample and Hold con $V_{DD} = 4V$, $V_{SS} = -4V$. Se puso como entrada V_{in} una onda cuadrada de frecuencia $10KHz$ con amplitud de $4V$ y en la entrada a samplear V_A se pone una senoide de frecuencia $500Hz$ y una amplitud de $1,5V$.

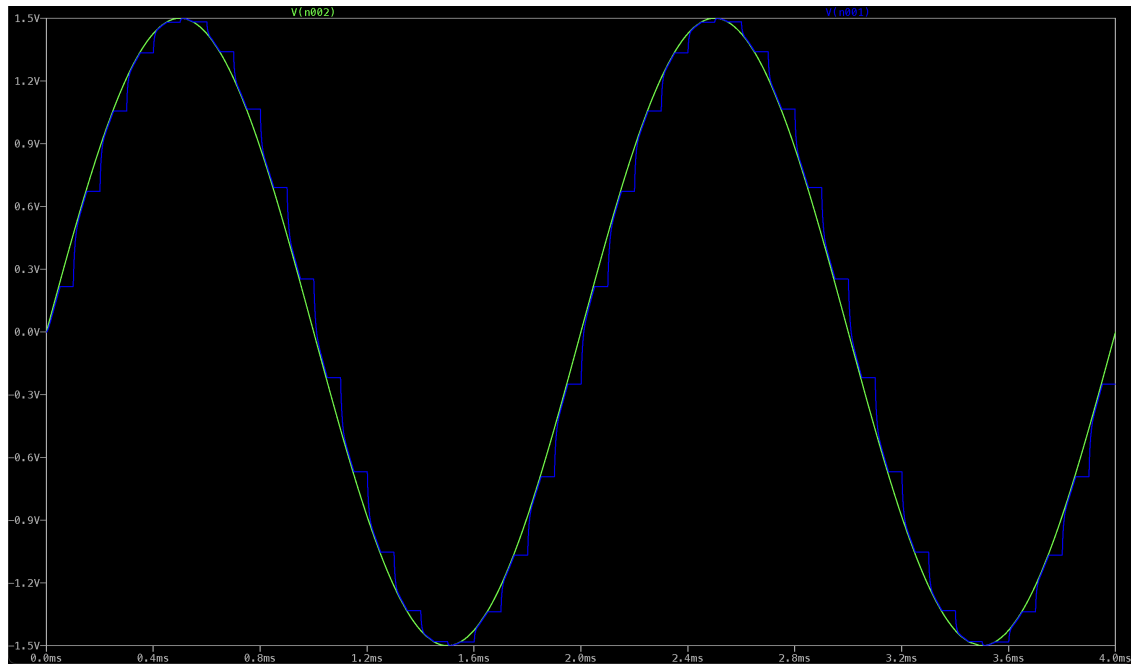


Figura 9: Simulación de muestreo en circuito Sample and Hold

3.4. Parte c

En la figura 10 podemos ver la entrada y la salida del circuito Sample and Hold para $V_{DD} = 4V$ y $V_{SS} = -4V$. Y en la figura 11 se puede observar las mismas terminales para $V_{DD} = 2V$ y $V_{SS} = -2V$.

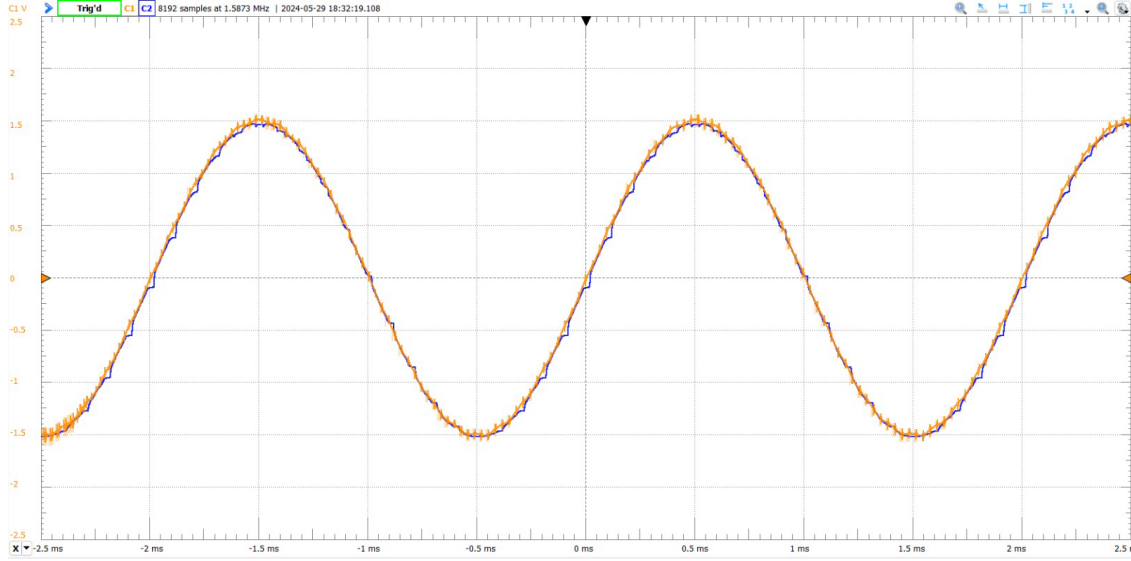


Figura 10: Salida y entrada del circuito para $V_{DD} = 4V$ y $V_{SS} = -4V$

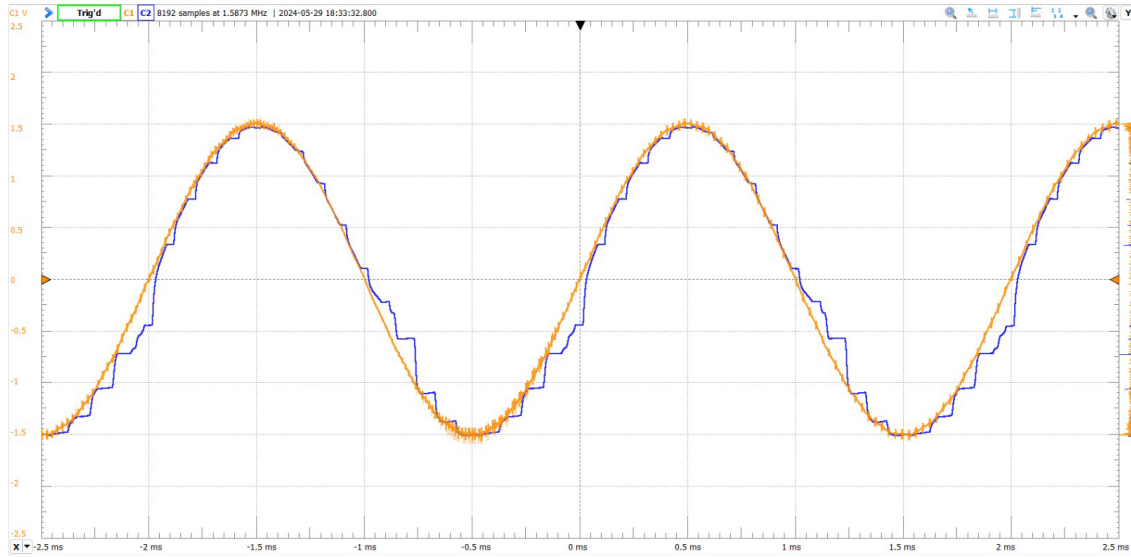


Figura 11: Salida y entrada del circuito para $V_{DD} = 2V$ y $V_{SS} = -2V$

3.5. Parte d

Para verificar que el circuito funciona correctamente podemos ver que pasa en la entrada y la salida para los distintos extremos de voltaje de V_{in} . Para $V_{in} = 4V$ podemos ver como la salida copia la entrada de la señal. Luego para $V_{in} = -4V$ se tiene que la salida está mostrando la tensión del condensador la cual es constante.

Podemos afirmar el correcto sampling de la señal mientras se cumplan las hipótesis de teorema de muestreo las cuales implican que dado una máxima componente en frecuencia de la señal a muestrear F_B , si se muestrea a una frecuencia $F_s > 2 \cdot F_B$ se puede recuperar correctamente la señal original.

En nuestro caso para muestrear una señal de $500Hz$ con una frecuencia de muestreo de $10kHz$ tenemos un muestreo correcto. Si se aumentaran ambas frecuencias en simultáneo, o se aumentar solo la frecuencia de muestreo no habría problema ya que nos mantenemos dentro de las hipótesis del teorema. Podríamos empezar a tener problemas si se aumenta la frecuencia de la señal a muestrear sin aumentar la frecuencia de muestreo, si se llega a $F_B > \frac{F_s}{2}$ ya no se podría recuperar la señal sin perder información.

Para frecuencias muy altas se podrían empezar a ver anomalías ya que a frecuencias altas el transistor pasa a tener efectos capacitivos, y no se puede afirmar el correcto funcionamiento del circuito.

3.6. Parte e

Para una alimentación de $V_{DD} = 2V$, vemos en la figura 11 como para valores bajos de voltaje (ceranos a 0), se ve como la señal muestreada se separa de la señal de entrada. Esto es porque aquí entra en juego la curva de la conductancia de los transistores tanto el p-mos como en n-mos. En concreto al bajar el voltaje de alimentación varían los puntos donde se anulan las conductancias ($R \leftrightarrow \infty$). Con los valores mas altos de alimentación se evita que ambos transistores tengan sus conductancias a 0 al mismo tiempo. En el anexo se pueden ver los cálculos de las raíces para la conductancia del p-mos y el n-mos. Para alimentación $V_{DD} = 2V$ podemos ver que las raíces son $V_A = -0,47$ para el n-mos y $V_A = -0,3V$ para el p-mos. Esto produce un gap donde ambas inductancias se anulan y el circuito queda abierto.

3.7. Parte f

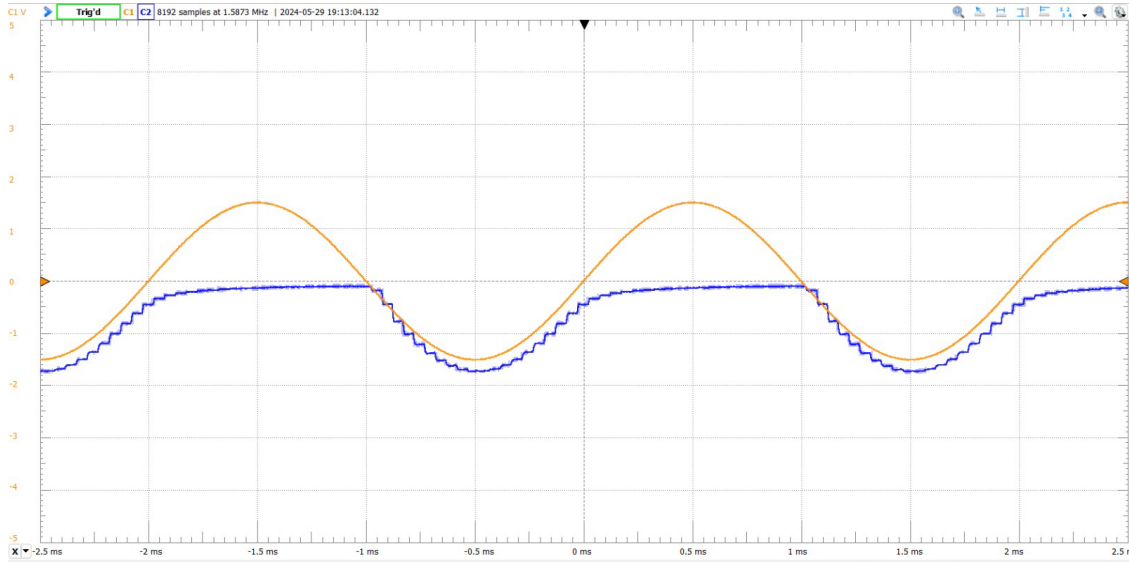


Figura 12: Salida y entrada del circuito sin M3

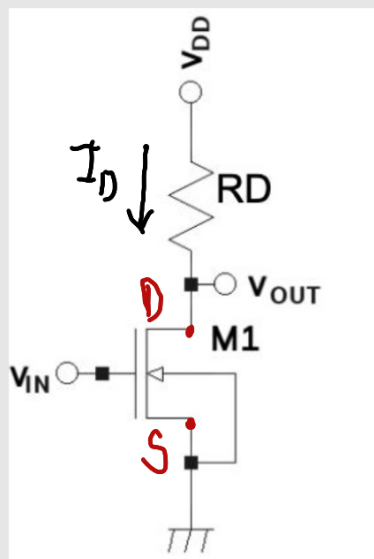
Podemos observar en la figura 12 que al quitar el transistor M3 se anula la salida para valores negativos

en la entrada V_A . Los transistores n-mos no son buenos para transmitir altas tensiones, de la misma forma que los transistores p-mos no son buenos para transmitir a bajar tensiones. Debido a esta razón se deben usar un transistor p-mos y un n-mos para hacer un muestreo correcto.

I

nMOS:

Utilizando las ecuaciones referidas al source:



$$V_{DS_{SAT}} = \frac{V_{GS} - V_t}{1 + \delta} = \frac{V_{in} - (V_{t0} + V_{SD})}{1 + \delta} = \frac{V_{in} - V_{t0}}{1 + \delta}$$

$$V_{t0} = 1.1V; \delta = 0.9; \beta = 1.7 \frac{mA}{V^2}; R_D = 220\Omega$$

Si M1 cortado: $I_D = 0$

Y se tiene que cumplir: $V_{GS} \leq V_t = V_{t0}$

$$V_{in} \leq 1.1V$$

Si M1 saturado: $I_D = \frac{\beta}{2(1+\delta)} (V_{GS} - V_t)^2$ (I)

Y se tiene que cumplir ① $V_{GS} > V_t \rightarrow V_{in} > 1.1V$

$$\textcircled{2} V_{DS} \geq V_{DS_{SAT}} \rightarrow V_{out} \geq \frac{V_{in} - V_{t0}}{1 + \delta}$$

Por otro lado se tiene que: $I_D = \frac{V_{DD} - V_{out}}{R_D} \rightarrow V_{out} = V_{DD} - I_D R_D$ (II)

Sumando (I) y (II) se llega a que: $V_{out} = V_{DD} - \frac{\beta R_D}{1 + \delta} (V_{GS} - V_t)^2$

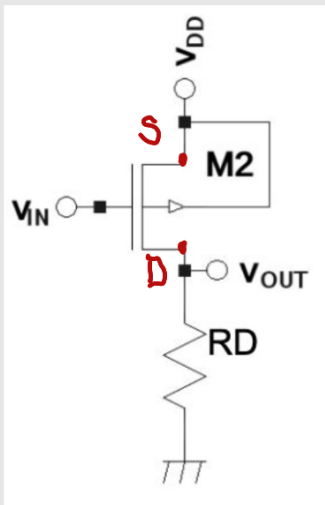
Finalmente: $V_{DD} - \frac{\beta R_D}{1+\delta} (V_{in}^2 - 2V_{in}V_{t0} + V_{t0}^2) \geq \frac{V_{in} - V_{t0}}{1+\delta} \rightarrow$

$\rightarrow V_{in}^2 \frac{\beta R_D}{1+\delta} + \frac{V_{in}}{1+\delta} (1 - 2\beta R_D V_{t0}) + \frac{V_{t0}}{1+\delta} (\beta R_D V_{t0} - 1) - V_{DD} \leq 0$

Implantando los valores y resolviendo se llega a que $-5V \leq V_{in} \leq 5V$

Por lo tanto:
$$I_D = \begin{cases} 0 & \text{si } 0 \leq V_{in} \leq 1.1V \\ \frac{\beta}{2(1+\delta)} \cdot (V_{in} - V_{t0})^2 & \text{si } 1.1 \leq V_{in} \leq 5V \end{cases}$$

pMos:



Ecuaciones referidas al suero:

$$V_{SDSAT} = \frac{V_{SG} - V_t}{1+\delta} = \frac{V_{DD} - V_{in} - V_{t0} - \delta V_{BS}}{1+\delta}$$

$$\beta = 0.9 \frac{mA}{V^2}; V_{t0} = 1.3V; \delta = 0.17$$

Si M2 cortado: $I_D = 0$

Y se tiene que cumplir: $V_{SG} \leq V_t = 1.3V$

Si M2 saturado: $I_D = \frac{\beta}{1+\delta} \cdot (V_{SG} - V_{t0})^2$

Y se tiene que cumplir: ① $V_{SG} \geq 1.3V$

$$\begin{aligned}
 \textcircled{2} \quad V_{SD} \geq V_{SDSAT} \rightarrow V_{DD} - V_{out} &\geq \frac{V_{SG} - V_{t0}}{1+\delta} \\
 \rightarrow V_{SD} = V_{DD} - R_D I_D = V_{DD} - \frac{\mu R_D}{2(1+\delta)} (V_{SG} - V_{t0})^2 &\left. \begin{aligned} &V_{DD} - \frac{\mu R_D}{2(1+\delta)} (V_{SG} - V_{t0})^2 \geq \frac{V_{SG} - V_{t0}}{1+\delta} \end{aligned} \right\}
 \end{aligned}$$

→ Despejando y sustituyendo se llega a que:

$$I_D = \begin{cases} 0 & \text{si } 0 \leq V_{SG} \leq 1.3V \\ \frac{\mu}{2(1+\delta)} (V_{SG} - V_{t0})^2 & \text{si } 1.3 \leq V_{SG} \leq 5V \end{cases}$$

Cálculos Llave Analógica

Conductancia de un transistor nMOS:

$$g_n = \beta_n (V_{GS} - V_{thn} - (1 + \delta_n) V_{SB})$$

Teniendo en cuenta $V_{in} = V_{DD}$: $V_{GS} = 2V_{DD}$; $V_{SB} = V_A + V_{DD}$

Se quiere calcular V_A tq $g_n = 0$

$$V_A = \frac{V_{DD} (1 - \delta_n) - V_{thn}}{(1 + \delta_n)}$$

⇒ Para $V_{DD} = 4V \rightarrow V_A = -0,37V$ y para $V_{DD} = 2V \rightarrow V_A = -0,47V$

Para el transistor pMOS: $g_p = \beta_p (V_{BS} - |V_{thp}| - (1 + \delta_p) V_{BS})$

Para $V_{in} = V_{SS}$ se tiene: $V_{BS} = 2V_{DD}$

$$V_{BS} = V_{DD} - V_A$$

$$\Rightarrow V_A = \frac{|V_{thp}| - V_{DD} (1 - \delta_p)}{(1 + \delta_p)} \Rightarrow g_p = 0$$

Con $V_{DD} = 4V$, $V_A = -1,4V$

$V_{DD} = 2V$, $V_A = -0,3V$

⇒ Para el caso $V_{DD} = 2V$ ocurre que $V_{Aminp} > V_{Amaxn}$ por lo que se tiene un **gap** entre esos valores