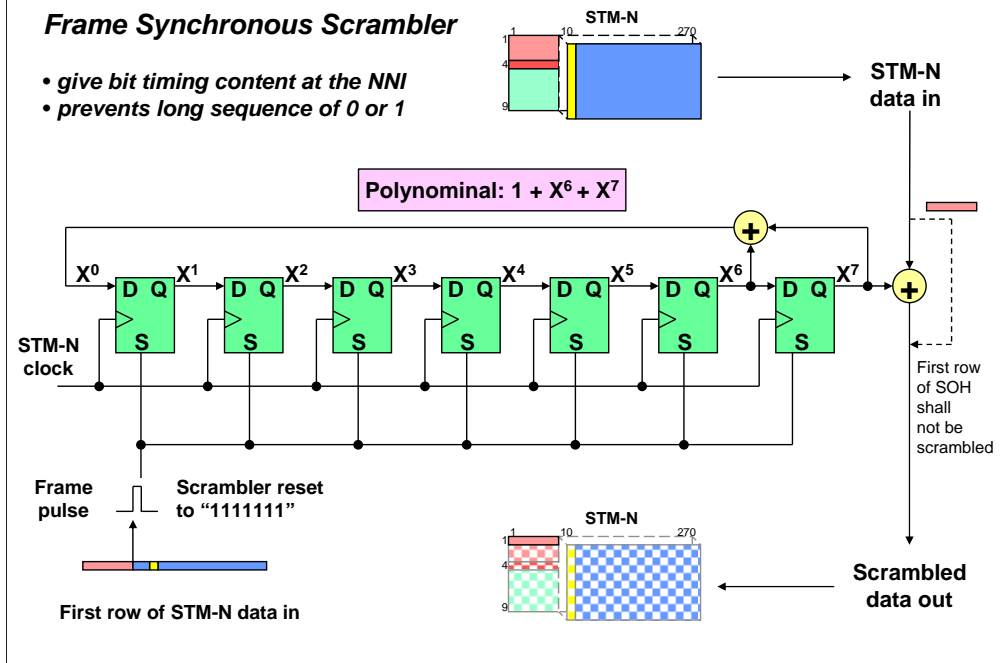


Scrambling del segnale SDH



Lo scrambling del segnale STM-N ($N=1,4,16,64$) viene effettuato affinché il segnale SDH contenga sufficienti informazioni per il sincronismo di bit all'interfaccia NNI.

Utilizzando uno scrambler viene quindi modificata la sequenza del segnale STM-N in modo tale da evitare lunghe sequenze di "1" o di "0".

L'operazione effettuata dallo scrambler è funzionalmente identica a quella effettuata da uno scrambler operante alla velocità di linea, sincronizzato con la trama STM-N ed avente una lunghezza di sequenza pari a 127.

Il polinomio generatore è $1 + X^6 + X^7$.

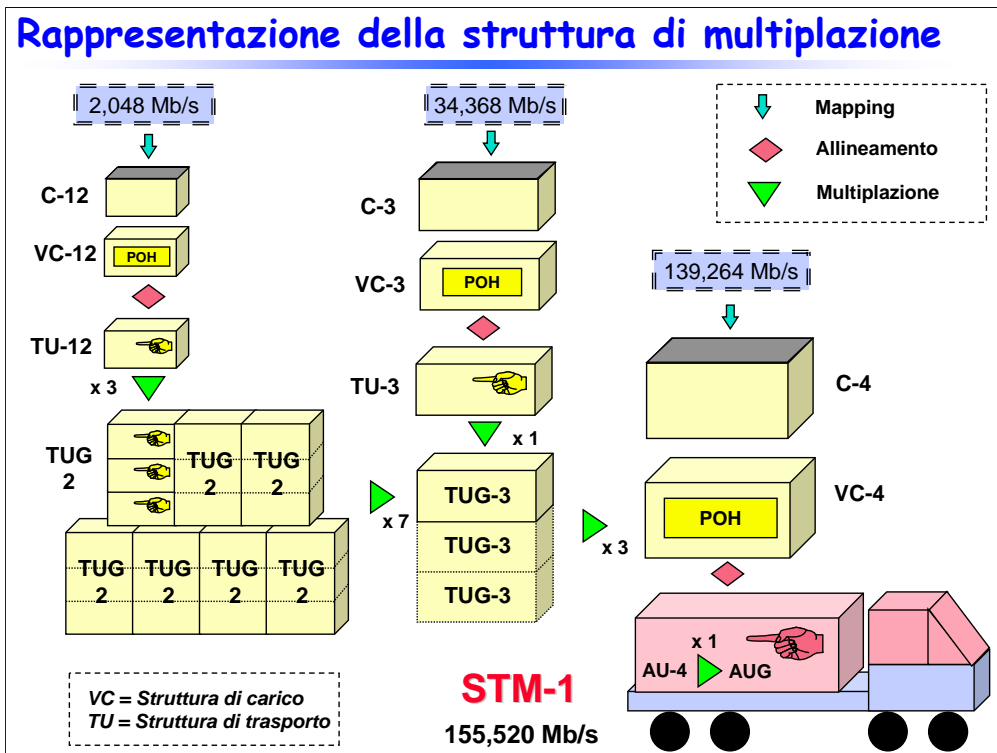
Lo scrambler viene presettato al valore "1111111" in corrispondenza del passaggio del bit più significativo del byte successivo all'ultimo byte della prima riga dell' SOH.

Tale bit, insieme a tutti i bit successivi sottoposti a scrambler, sono sommati modulo 2 al valore presente all'uscita ricavata dalla posizione X^7 dello scrambler.

Lo scrambler funziona continuamente fino al completamento del passaggio della trama STM-N.

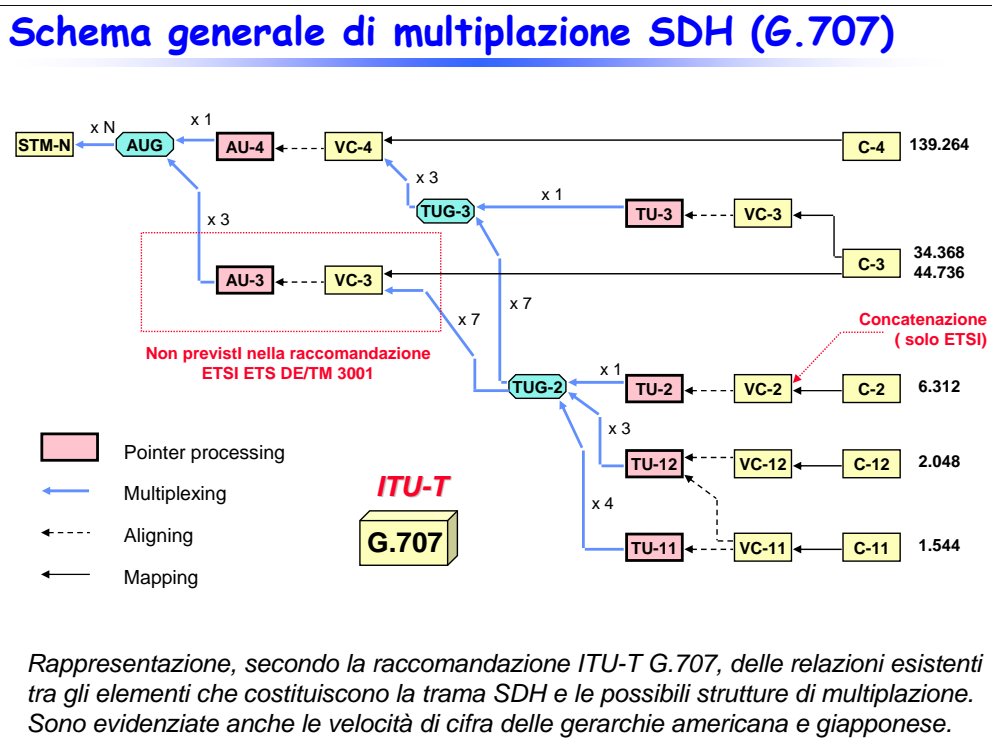
La prima riga dell' SOH (9xN byte inclusi i byte di allineamento A1 e A2) non viene sottoposta a scrambler.

Particolare attenzione deve essere posta quindi per la definizione del contenuto binario del byte Z0 e dei byte riservati ad uso nazionale, i quali sono esclusi dal processo di scrambling dell' STM-N, al fine di assicurare che non vi siano lunghe sequenze di "1" o di "0".



La slide mostra le operazioni necessarie per eseguire il mapping, l'allineamento e la moltiplicazione dei tributari PDH in un segnale STM-1.

Si osservi come il VC rappresenti la struttura di carico mentre le TU o AU rappresentino le strutture di trasporto.



Lo schema di multiplazione descrive le modalità con cui i segnali, in particolare quelli appartenenti alla gerarchia PDH, vengono inseriti come tributari nella trama SDH e multiplati fino ad ottenere il segnale STM-N.

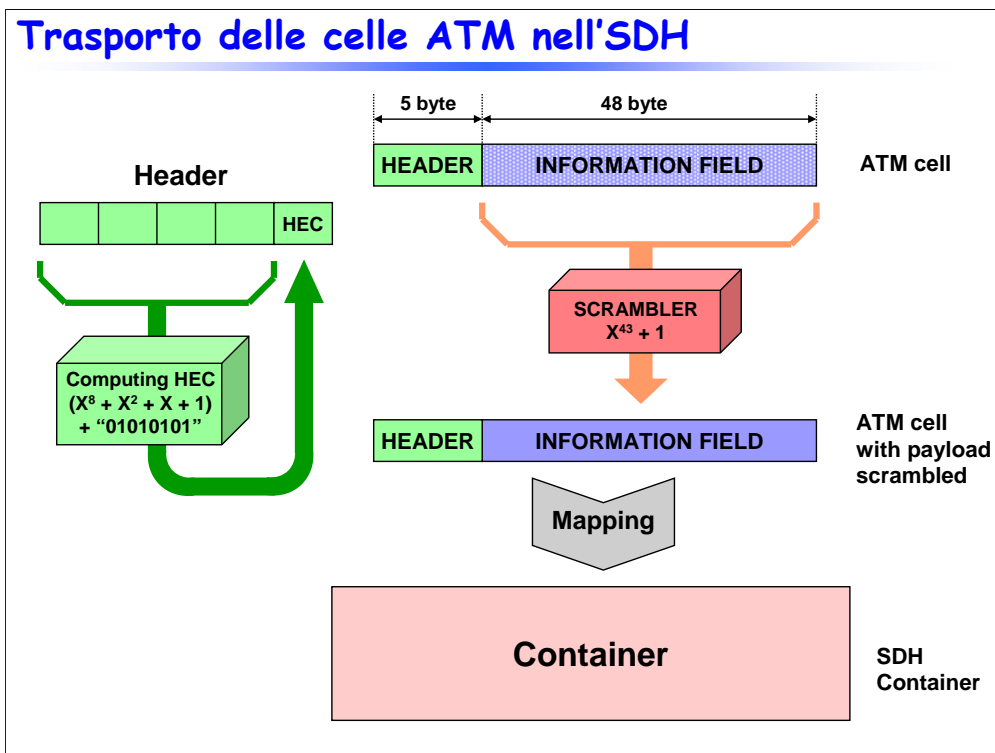
Lo schema generale di multiplazione definito dall'ITU-T è comprensivo, infatti, delle opzioni più significative ottimizzate per il trasporto dei flussi più diffusi nelle attuali gerarchie plesiocrone. Inoltre i nuovi servizi a larga banda possono da subito diffondersi a livello mondiale dopo aver normalizzato le modalità di inserimento dei relativi flussi nei contenitori della rete di trasporto sincrona.

Gli organismi di standardizzazione continentale, ANSI ed ETSI, hanno provveduto ad operare una selezione delle possibilità previste dallo schema di multiplazione completo.

Per l'Europa lo schema di multiplazione SDH è definito nella raccomandazione ETSI ETS DE/TM 3001. Come si può notare la strategia di multiplazione europea, pur consentendo il trasporto dei flussi di entrambe le gerarchie plesiocrone, minimizza il numero di possibili percorsi e quindi rende più semplice sia la realizzazione degli apparati sia la relativa gestione.

La concatenazione (prevista solo da ETSI) consente l'inserimento di tributari plesiocroni a 8 Mb/s in contenitori C-2 concatenati tra loro.

Infine per consentire poi l'interfacciamento tra la gerarchia SDH europea e quella SONET sono state stabilite regole precise di interconnessione.



Il mapping delle celle ATM è eseguito allineando la struttura a byte delle celle con la struttura a byte dei Virtual Container. Poiché la capacità dei VC può non essere un multiplo intero della lunghezza della cella ATM (53 byte), è consentito alla cella di intersorgere nel confine della trama del Container.

Il campo informativo della cella ATM (48 byte) viene sottoposto a scramble prima del mappaggio nel VC. L'operazione inversa, che segue la terminazione del percorso del VC, l'informazione della cella ATM viene sottoposta a descrambler prima di essere passata all' ATM layer. Per le operazioni di scrambler viene utilizzato un sistema autosincronizzante con un polinomio generatore $X^{43} + 1$.

Tali operazioni di scrambler sono operative per la durata del campo informativo delle celle. Durante i 5 byte dell'header l'operazione di scrambler viene sospesa, ma viene mantenuto lo stato dello scrambler (non viene resettato il circuito).

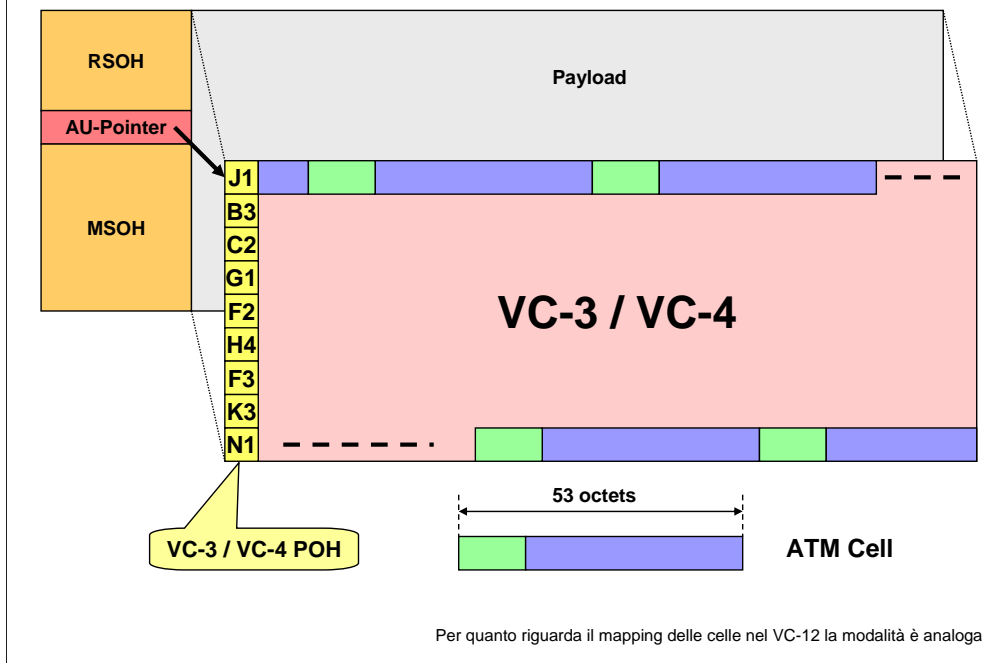
La prima cella trasmessa allo start-up sarà corrotta poiché al ricevitore il descrambler non risulterà ancora sincronizzato con lo scrambler del trasmettitore.

Lo scrambler del campo informativo delle celle si rende necessario per protezione contro falsi allineamenti (cell delineation) e simulazioni nel campo informativo della parola di allineamento dell' STM-N.

Quando il VC viene terminato, la cella deve essere recuperata. L'header della cella ATM contiene un campo Header Error Control (HEC) il quale può essere utilizzato, analogamente alla parola di allineamento, per ottenere il cell-delineation. Questo metodo utilizza la correlazione tra i bit dell'header da proteggere con l'HEC (32 bit) ed i bit di controllo dell' HEC (8 bit) inseriti nell'header dopo l'elaborazione effettuata mediante un codice ciclico con polinomio generatore $g(X) = X^8 + X^2 + X + 1$.

Il resto derivante dall'elaborazione viene sommato al pattern fisso "01010101" al fine di migliorare le prestazioni di cell delineation. Questo metodo è simile al recupero di allineamento trama convenzionale dove però la parola di allineamento non è fissa ma varia da una cella all'altra. [vedi anche racc. I.432]

Mapping delle celle ATM nei VC-3 e VC-4

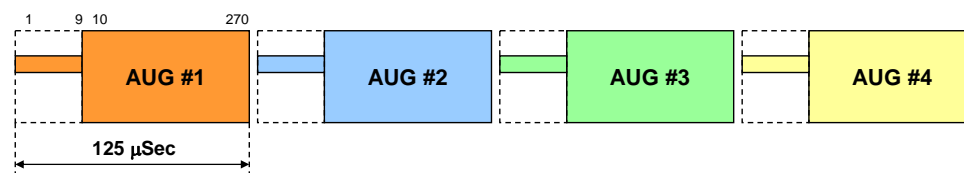


Il flusso di celle ATM viene mappato con i 53 byte della cella allineati con i byte del Container-3/Container-4. Il POH aggiunto al Container completa la struttura del VC-3/VC-4. Il bordo dei byte delle celle ATM risulta essere quindi allineato con il bordo dei byte del VC-3/VC-4.

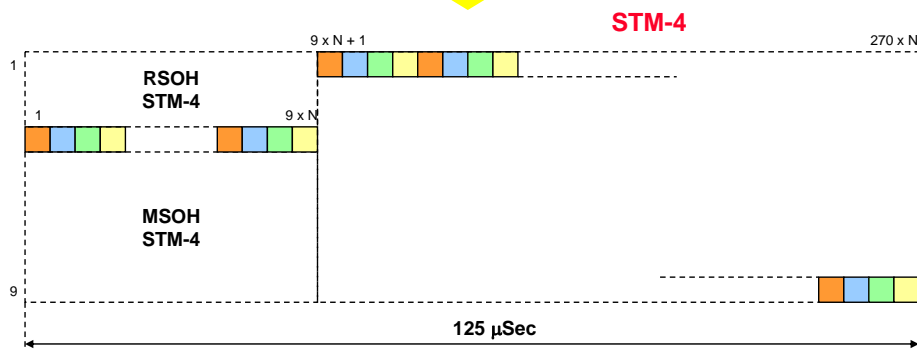
Poiché la capacità del C-3/C-4 (756/2340 byte) non è un multiplo intero della lunghezza della cella (53 byte), può accadere che l'ultima cella disposta nel Container debba proseguire nel Container della trama successiva.

Il mapping di celle ATM nella struttura VC-12, organizzata in una multitrama di quattro trame, avviene con lo stesso criterio visto per il VC-3/VC-4.

Multiplazione di 4 AUG nel segnale STM-4



Multiplazione ad interallacciamento dei byte di 4 AUG in un segnale STM-4

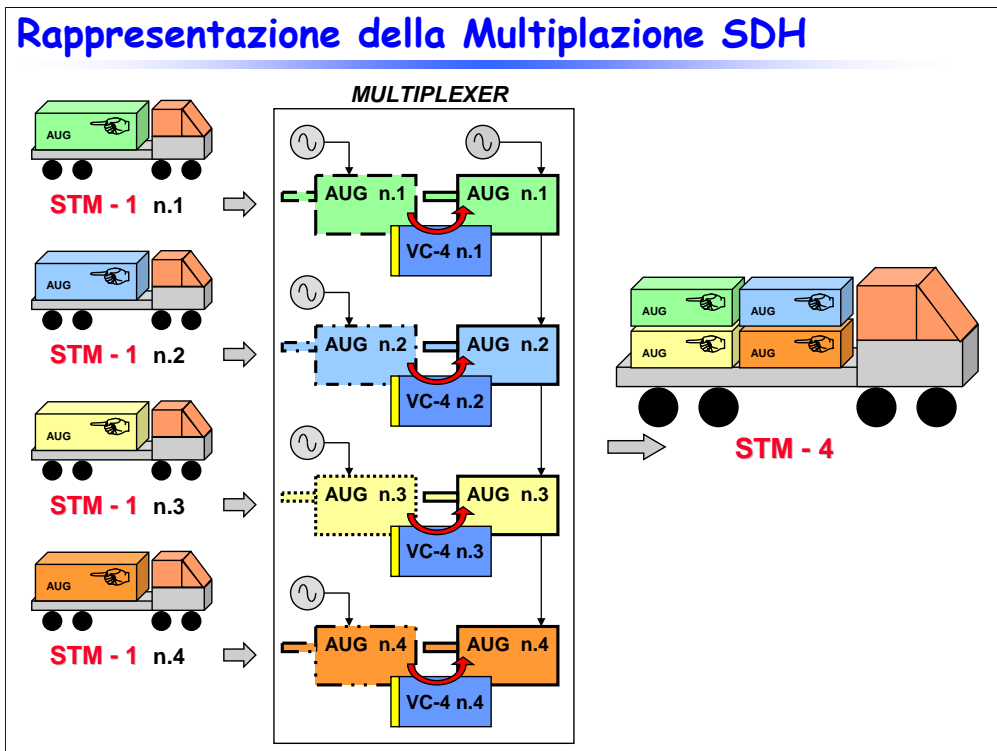


L'affasciamento di N strutture AUG avviene per multiplazione ad interallacciamento di byte con relazione di fase fissa rispetto la struttura risultante denominata STM-N.

L'AUG é una struttura di 9 righe per 261 colonne più 9 byte nella riga 4 per l'AU pointer (di fatto l'AUG coincide con l'AU-4).

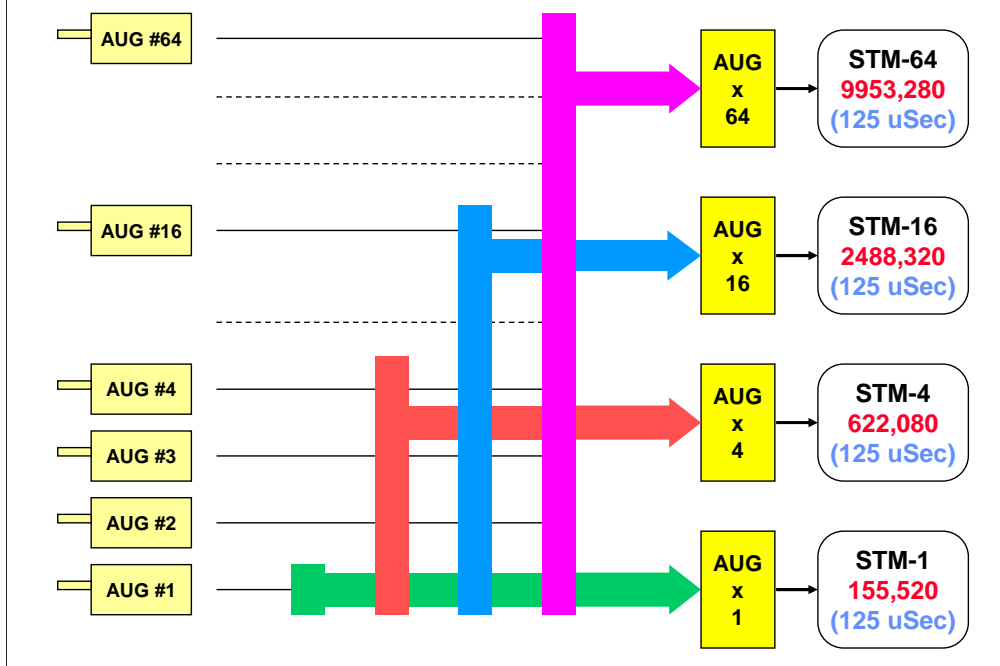
L'STM-N consiste di un SOH ed una struttura di 9 per Nx261 colonne con 9xN byte nella riga 4 per il puntatore AU.

Anche i byte dei puntatori AU sono multiplati ad interallacciamento di byte nella quarta riga dell'STM-N.



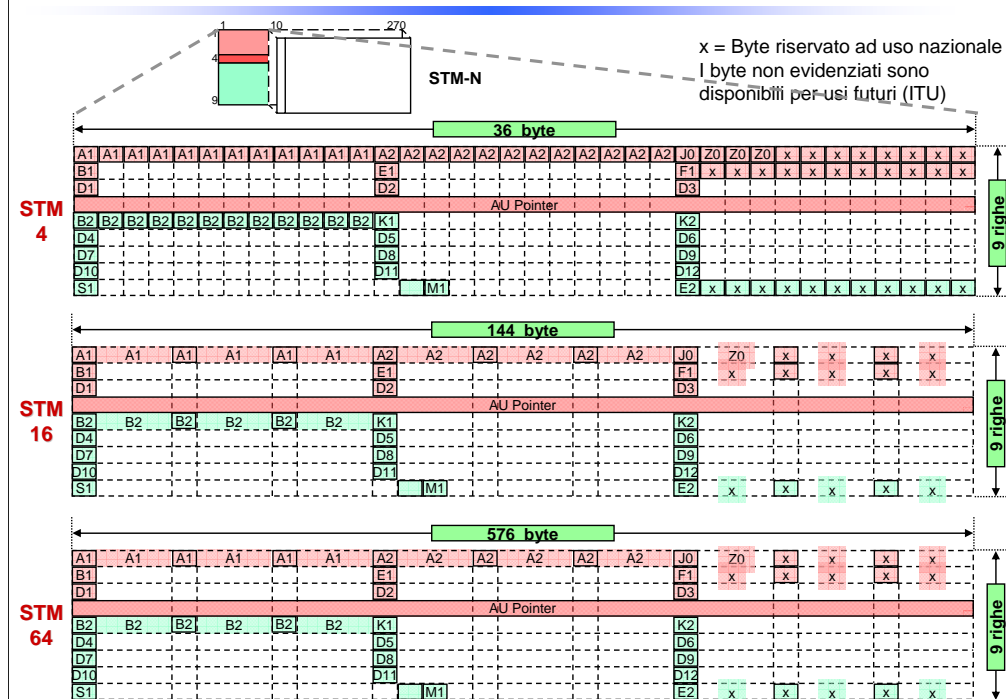
Prima di effettuare la multiplazione dei segnali tributari, da ogni struttura STM-1 entrante vengono terminati gli overhead RSOH ed MSOH e viene ricavato il clock per temporizzare l'estrazione del relativo VC-4. La multiplazione sincrona byte interleaving avviene sulle strutture AUG solo dopo che i VC-4 sono stati riallineati nelle rispettive unità amministrative temporizzate con il clock di apparato. Il segnale STM-N viene completato con i relativi RSOH ed MSOH.

Multiplazione di N-AUG nei segnali STM-N



Dall'affasciamento di N segnali STM-1 si ottengono strutture numeriche definite STM-N, dove con N si indica il numero di AUG multiplati. N é un numero che vale 4, 16 o 64 ed identifica rispettivamente le strutture STM-4, STM-16, STM-64 (multipli di 4).

SOH delle strutture STM-4, STM-16 e STM-64



Gli SOH della trama del generico segnale STM-N sono contenuti nei byte compresi tra le prime 9xN colonne e le prime 3 righe per l'RSOH e le ultime 5 righe per l'MSOH.

I byte A1 e A2 sono moltiplicati per N mentre gli altri byte sono in numero pari a quelli dell'STM-1.

Si noti, all'aumentare di N , il numero via via sempre più elevato di byte disponibili e non assegnati.

La funzione di monitoraggio degli errori viene eseguita, a livello di MSOH, mediante i byte B2. Questa funzione è un codice Bit Interleaved Parity Nx24 (BIP-Nx24) di parità pari.

Il BIP-Nx24 è calcolato su tutti i bit della precedente trama STM-N escluse le prime tre righe dell'SOH (RSOH) ed è posto nei byte B2 della trama corrente prima di effettuare lo scrambling.