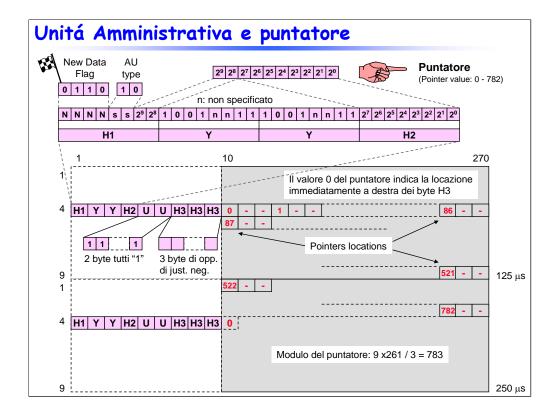


Il concetto di multiplazione sincrona presuppone che gli orologi di tutti gli elementi della rete siano agganciati ad un comune orologio di sincronizzazione.

Si ricorda che il processo di sincronizzazione delle strutture numeriche PDH viene già effettuato a livello di VC mediante allineamento (con giustificazione) del segnale plesiocrono nel Container.

Tuttavia la normativa SDH ha previsto una struttura di trama tale da consentire alla rete di operare correttamente anche in presenza di apparati con orologi non agganciati all'orologio di sincronizzazione (guasti, disturbi sulla temporizzazione, ...).

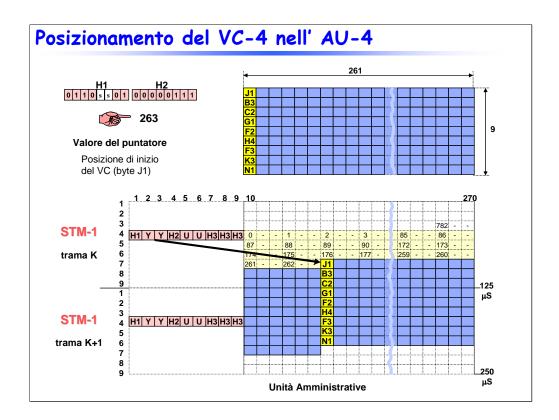
Si prevede quindi che il carico VC-4 possa avere una frequenza ed una fase che, entro certi limiti, possano essere diverse ed indipendenti da quella della struttura di trasporto AU (o TU). Tali differenze di **frequenza e fase** vengono compensate facendo fluttuare opportunamente la posizione del carico all'interno della struttura numerica di trasporto. Le differenze di frequenza vengono recuperate mediante giustificazione e conseguente aggiornamento del puntatore, mentre le differenze di fase arbitrarie (salti di fase) mediante cambio di valore del puntatore segnalato dal New data Flag.



Il puntatore, contenuto nei byte H1 e H2, indica la locazione del byte dove inizia il VC-4. I due byte allocati per le funzioni di puntatore possono essere visti come un'unica word i cui ultimi dieci bit determinano il valore del puntatore.

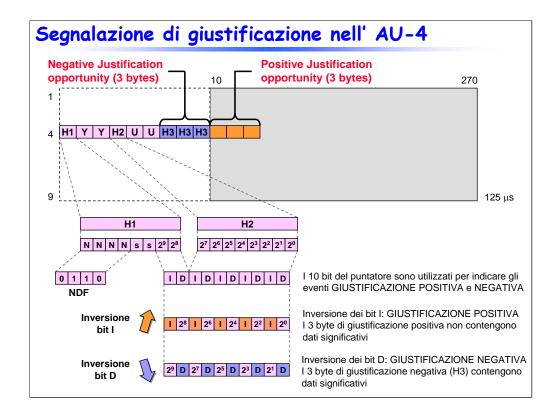
Il valore del puntatore AU-4 è un numero binario valido nel range 0-782 il quale indica l'offset, ad incrementi di tre byte per volta, tra la posizione del puntatore ed il primo byte del VC-4.

La numerazione dell'Unità Amministrativa è tale da non considerare i byte dell'AU-pointer nel valore dell'offset. Per esempio, nell' AU-4, il valore 0 del puntatore indica che il VC-4 parte dalla locazione immediatamente successiva l'ultimo byte H3, così come un offset di 87 indica che il VC-4 inizia al decimo byte della riga successiva.



Il Puntatore AU rende disponibile un sistema di allineamento flessibile e dinamico del VC-n nella trama AU-n. Per allineamento dinamico si intende che il VC-n può "fluttuare" all'interno dell'AU-n. Così il puntatore può correggere non solo le differenze di fase ma anche differenze di velocità di trama

Il puntatore, contenuto nei byte H1 e H2, indica il punto di partenza del VC all'interno dell'AU ovvero stabilisce l'indirizzo di partenza del VC e potrà assumere un valore compreso tra 0 e 782 equivalente ad un contatore modulo 783, pari a (9*261) / 3 (il valore 3 è dovuto al fatto che le correzioni vengono effettuate a step di + o - 3 byte per volta). Il valore 0 del puntatore corrisponde alla posizione immediatamente a destra dopo i byte H3.



Gli offset di frequenza tra il VC e l'AU sono recuperati, al superamento della soglia di 3 byte, mediante i 3 byte di giustificazione positiva o i 3 byte di giustificazione negativa (H3). Tali eventi non provocano l'immediato aggiornamento del puntatore, ma sono segnalati dall'inversione dei 5 bit identificati con "l" (incremento) del puntatore se si tratta di giustificazione positiva oppure dall'inversione dei 5 bit indicati con "D" (decremento) del puntatore se si tratta di giustificazione negativa.

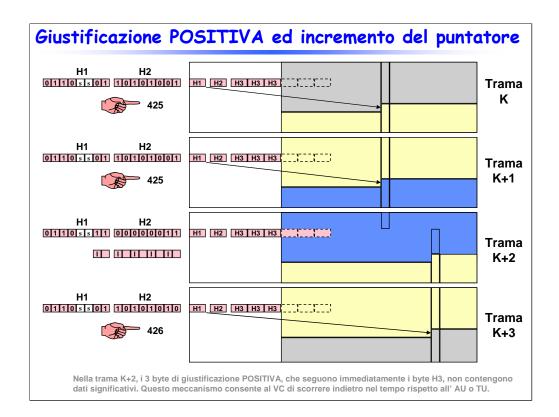
L'effettivo aggiornamento del valore del puntatore (incrementato o decrementato di uno) avverrà alla trama successiva.

Questo sistema garantisce un certo grado di protezione del puntatore contro gli errori di linea, poiché l'informazione di incremento o decremento, che è un'informazione pregiata, viene inviata sempre su 5 bit, mentre un normale incremento o decremento di un numero binario avviene quasi sempre per variazione di un solo o di pochi bit.

Il ricevitore interpreta l'inversione dei bit a priorità di maggioranza.

Dopo una operazione di giustificazione non sono permessi altri movimenti del puntatore per le tre trame successive.

In caso di AIS tutti i bit del puntatore sono settati a "1".

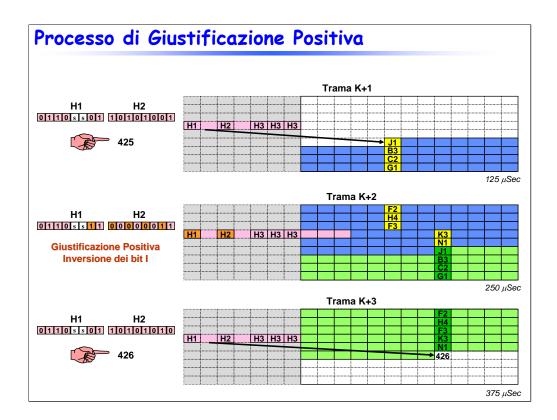


Se la velocità di trama del VC é troppo lenta rispetto a quella dell'AU, allora l'allineamento del VC deve essere periodicamente slittato indietro nel tempo ed il valore del puntatore deve essere incrementato di uno.

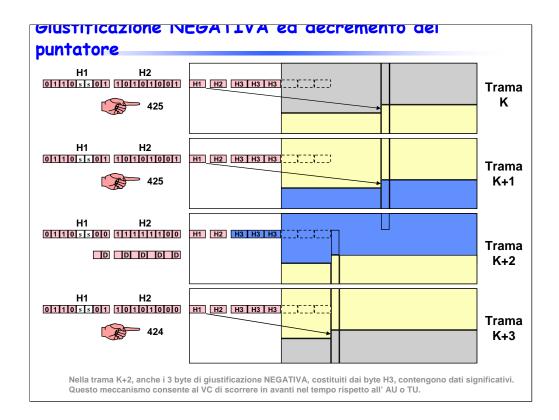
Quando tale slittamento supera i 3 byte si segnala l'evento invertendo i bit I del puntatore che costituiscono la segnalazione al ricevitore dell'avvenuta giustificazione positiva.

Conseguentemente i 3 byte di opportunità di giustificazione positiva non contengono dati significativi. Dalla trama successiva il puntatore é incrementato di uno (modulo 782).

Dopo una giustificazione positiva non sono permessi altri movimenti del puntatore per tre trame successive.



Un caso particolare si verifica quando il puntatore è posizionato sulla locazione 782 e deve essere incrementato di uno. In tal caso, nella trama in cui avviene la segnalazione di giustificazione positiva il VC, per effetto della comparsa dei tre byte di giustificazione positiva, terminerà esattamente al byte precedente la locazione 0 dell'AU. In tale trama il puntatore è aggiornato con il valore 0.

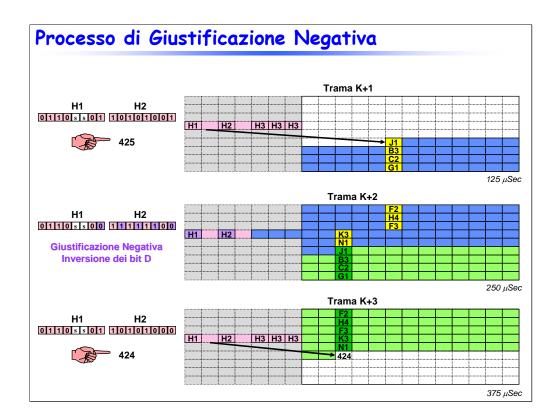


Se la velocità di trama del VC é troppo elevata rispetto a quella dell'AU, allora l'allineamento del VC deve essere periodicamente slittato avanti nel tempo ed il valore del puntatore deve essere decrementato di uno.

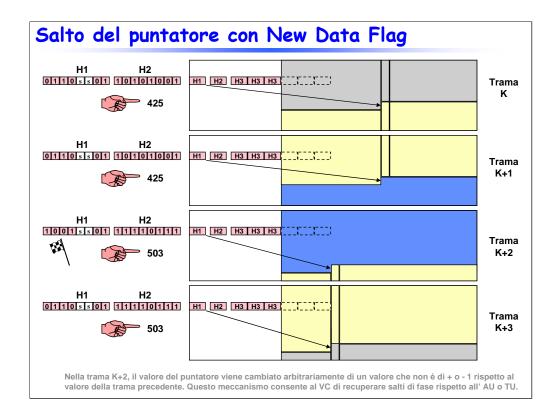
Quando tale slittamento supera i 3 byte si segnala l'evento invertendo i bit D del puntatore che costituiscono la segnalazione al ricevitore dell'avvenuta giustificazione negativa.

Conseguentemente i 3 byte di opportunità di giustificazione negativa (H3) contengono dati significativi. Dalla trama successiva il puntatore é decrementato di uno (modulo 782).

Dopo una giustificazione negativa non sono permessi altri movimenti del puntatore per tre trame successive.



Un caso particolare si verifica quando il puntatore è posizionato sulla locazione 0 e deve essere decrementato di uno. In tal caso, nella trama K in cui avviene la segnalazione di giustificazione negativa, il VC inizia occupando i byte H3 e termina nella trama successiva K+1 occupando il byte immediatamente precedente la locazione 782. In tale trama il VC inizierà alla locazione 782. Il puntatore aggiornato al nuovo valore 782 viene letto solo successivamente all'inizio del VC iniziato nella trama K+1 e, pertanto, il puntatore indicherà la posizione del successivo VC con inizio alla trama K+2.



I bit 1-4 del byte H1 contengono il New Data Flag (NDF) il quale consente un cambio arbitrario del valore del puntatore se tale cambio deve compensare un cambio nel payload.

Sono allocati 4 bit per il NDF al fine di ottenere una maggiore protezione dell'informazione contro eventuali errori.

Normalmente i bit N contengono "0110". Il New data flag diventa attivo quando i bit N vengono invertiti ("1001"). Il NDF deve essere interpretato come abilitato quando tre o più bit N contengono il pattern "1001".

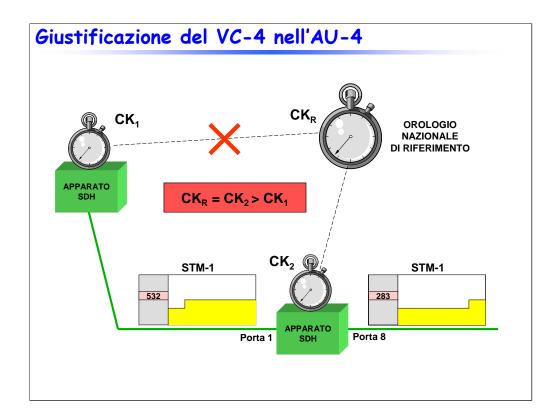
L'allineamento del VC nel' AU é indicato dal nuovo valore del puntatore che accompagna il NDF.

Se quindi l'allineamento del VC-n cambia per qualsiasi ragione che non sia a causa di una giustificazione positiva o negativa, il nuovo valore del puntatore deve essere inviato accompagnato dal NDF a "1001". Il NDF appare attivo solo nella prima trama che contiene il nuovo valore. La nuova locazione del VC-n comincia alla prima occorrenza dell'offset indicato dal nuovo puntatore.

Non sono consentite operazioni di incremento o decremento per almeno tre trame successive dopo l'evento segnalato dal NDF.

Il ricevitore deve pertanto ignorare eventuali variazioni del valore del puntatore che non siano quelle previste per la giustificazione positiva, per la giustificazione negativa o per variazione accompagnata dal NDF.

Tuttavia se un nuovo valore del puntatore viene ricevuto uguale per tre volte consecutive, allora il nuovo valore del puntatore viene considerato valido. Quest'ultima regola ha priorità rispetto a quelle relative alla giustificazione positiva e negativa.

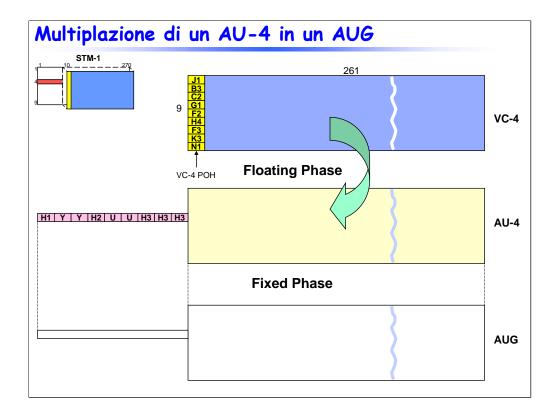


In condizione di rete SDH perfettamente sincrona il puntatore viene utilizzato dall'apparato solo per compensare eventuali differenze di fase tra segnali STM ad esso connessi. Pertanto, nell'esempio illustrato, il VC-4 posizionato nella locazione 532 dell' STM-1 connesso alla porta 1, viene instradato con puntatore 283 sull' STM-1 connesso alla porta 8.

Allorquando si verifica un problema sulla rete di sincronismo (o nell'orologio di un apparato) si ha, come diretta conseguenza, che il segnale STM-1 connesso dalla porta 1, giunge con una frequenza di cifra differente rispetto a quella dell' ONR, ad esempio con un valore inferiore.

Il puntatore dovrà quindi compensare tali differenze di frequenza consentendo al VC "scaricato" dalla porta 1, che arriva più lentamente, di poter scorrere indietro nel tempo rispetto all' AU della porta 8 che necessariamente è temporizzato con l'orologio locale. Ciò avviene mediante successivi incrementi del puntatore accompagnati da giustificazione positiva.

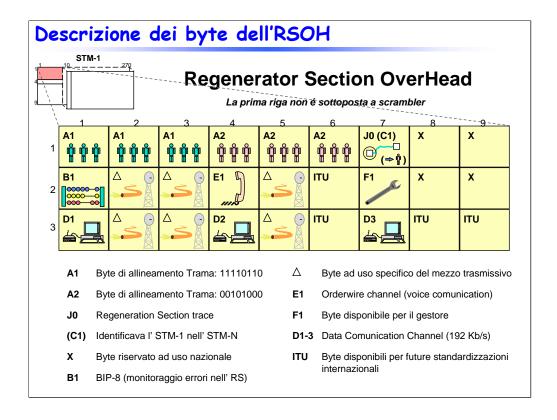
L'evento giustificazione con conseguente variazione del valore del puntatore ricorre tanto più frequente quanto più grande è la differenza di frequenza del segnale proveniente dalla porta 1 rispetto al clock sul quale è agganciato l'apparato in questione.



La multiplazione composta da una singola Unità Amministrativa AU-4 in un AUG avviene con relazione di fase fissa.

I 9 byte posti all'inizio della quarta riga sono dedicati al puntatore AU-4. Le restanti 9 righe per 261 colonne servono per contenere il Virtual Container VC-4. La fase di tale VC-4 non è fissa rispetto all'AU-4. Infatti la posizione del primo byte del VC-4 rispetto all'AU-4 pointer è data dal valore del puntatore.

L'Unità Amministrativa AU-4 invece è posta direttamente (con fase fissa) nell'AUG (Administrative Unit Group).



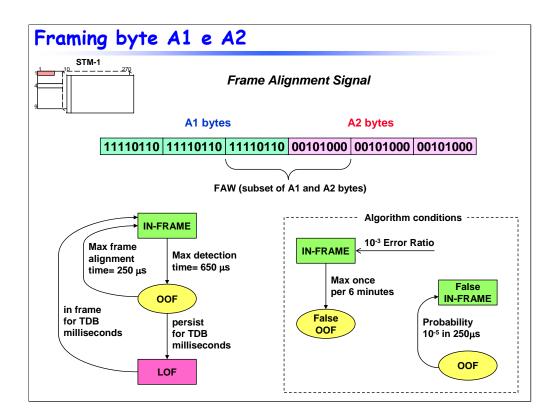
Framing: A1, A2. Sono definiti due tipi di byte per l'allineamento. Nel caso di trama STM-N la parola di allineamento é composta da 3xN byte A1 seguiti da 3xN byte A2

J0 - Regenerator Section Trace. Viene utilizzato per trasmettere, in maniera ciclica, l'identificativo del punto di accesso della sezione, in modo che la sezione ricevente possa verificare la continuità del collegamento col trasmettitore desiderato.

Nel dominio di un singolo operatore o in un network nazionale, questo identificatore del punto di accesso della sezione può essere utilizzato come una stringa di 64 caratteri oppure nel formato definito nella clausola 3/G.831. Tale clausola prevede una multitrama di 16 ottetti di cui il primo contiene il codice di controllo CRC7 e i rimanenti 15 sono utilizzati per codificare l'identificativo di percorso in formato T.50 (international Reference Version).

Nel caso di interconnessioni tra apparati che implementavano la funzione precedentemente assegnata a questo byte (C1: STM identifier) ed apparati che implementano la funzione di RS Trace, quest'ultimo deve interpretare il pattern "0000001" in J0 come "Regenerator Section Trace - unspecified".

- **B1 BIP-8.** Viene utilizzato per funzioni di monitoring degli errori. Questa funzione deve essere un codice Bit interleaved parity check 8 con paritá pari. Il BIP-8 viene calcolato sull'STM-N precedente dopo lo scrambling ed é posto nel byte B1 della trama corrente prima dello scrambling.
- E1 Orderwire. Utilizzato per formare un canale di servizio per comunicazioni vocali
- **F1 User Channel**. Byte disponibile per il gestore (ad esempio per trasportare un canale voce/dati temporaneo per manutenzione)
- **D1,D2,D3 Data Comunication Channel.** Formano un canale a 192 Kb/s come Regenerator Section DCC.



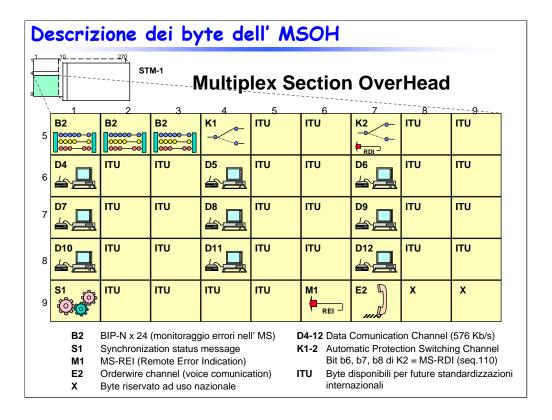
The two byte A1 and A2 are defined for framing purposes. They are required to take the value of 11110110 and 00101000 respectively and are replicated in each STM-N frame. In the receiver frame alignment is found by searching for the A1 and A2 bytes contained in the STM-N signal.

The framing pattern searched for may be a subset of the A1 and A2 bytes, for exemple the 16 bit Frame Alignment Word (FAW) formed by the last A1 byte and the adjacent first A2 byte in the trasmitted sequence, uniquely defines the frame reference for each of the signal rates.

The reframe algorithm is not specified contrary to established practice in the PDH. Instead, reframe performance targets are specified in terms of time to detect Out Of Frame (OOF) condition, mean time between false OOF detection in presence of definited error condition, maximum recovery time from instant when a good signal is available, and maximum probability of false reframing on a good signal. This specification appears in G.783 as follow:

The frame signal is continuously checked with the presumed frame start position for alignment. If in the in-frame state, the maximum OOF detection time shall be $625\mu s$ for a random unframed signal. The algorithm used to check the alignment shall be such that, under normal operation, a 10^{-3} (Poisson type) error ratio will not cause a false OOF more than once per six minutes. If in OOF state, the maximum frame alignment time shall be $250\mu s$ for an error-free signal with no emulated framing patterns. The algorithm used to recover from OOF shall be that probability for false frame recovery with a random unframed signal is no more than 10^{-5} per $250\mu s$ time interval. If the OOF state persists for TDB (under study: 0-3 proposed) millisecond, a Loss Of Frame (LOF) state shall be declared. To provide for the case of intermittent OOFs, the integrating timer shall not be reset to zero until an in-frame condition persist continuosly for TDB milliseconds. Once in a LOF state, this state shall be left when the in-frame state persist continuosly for TDB milliseconds.

There is a significant difference between the SDH and the PDH in the best strategy for reframing. The likely continuing availability of a high-quality clock reference at an SDH node, even when an input signal has been lost during short break, means that, providing the local frame reference is maintained, the local and remote frame references have a high probability of still being in alignment when the input signal is restored.



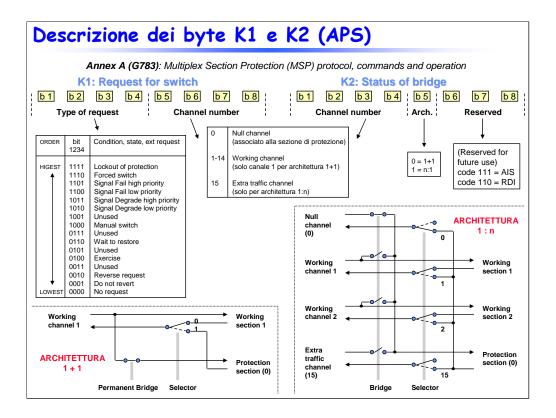
B2 - BIP-Nx24. Byte utilizzati per la rivelazione degli errori nella sezione di multiplazione. La funzionalità viene realizzata per mezzo di un controllo di paritá BIP-24 x N con paritá pari; il BIP-24xN é calcolato su tutta la trama precedente, escluso l'RSOH e depositato nel byte B2 della trama corrente prima dello scrambling.

Automatic Protection Switching (APS) channel - K1, K2 (b1-b5). Sono definiti due byte per la segnalazione APS per la protezione della sezione di multiplazione. L'assegnazione dei bit ed il protocollo da utilizzarsi é definito nell'Annesso A/G.783.

MS-RDI - K2. L'indicazione di difetto remoto nella sezione di multiplazione (MS-RDI) viene utilizzato, per trasmettere a ritroso al trasmettitore, il rilevamento, da parte del ricevitore, di un difetto o della ricezione del MS-AIS. L'MS-RDI é generato inserendo il codice "110" nelle posizioni 6, 7 e 8 del byte K2 prima dello scrambling.

D4-D12 - Data Comunication Channel. Formano un canale a 576 Kb/s come Multiplexer Section DCC.

- E1 Orderwire. Utilizzato per formare un canale di servizio per comunicazioni vocali
- **S1 Synchronization Status**. I bit da 5 a 8 del byte S1 indicano il livello di qualità della sincronizzazione in accordo con le raccomandazioni ITU-T.
- **M1 MS-REI**. Contiene il numero di errori rilevati dal codice BIP-24xN nella direzione opposta a quella di trasmissione (Remote Error Indication ex FEBE); permette di controllare da ognuno dei due punti di terminazione le prestazioni di entrambe le direzioni di trasmissione.



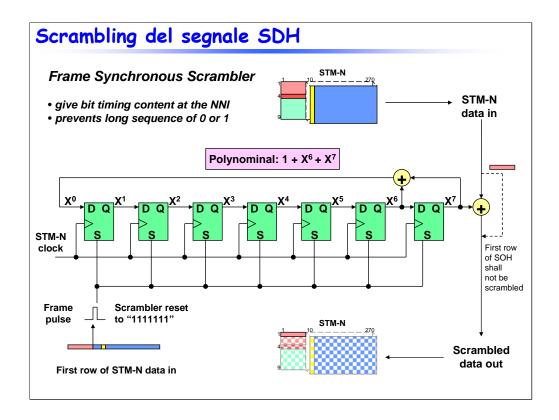
Le funzioni MSP, alle terminazioni di una sezione di multiplazione, eseguono richieste e danno consensi ad azioni di commutazione utilizzando i byte K1 e K2 contenuti nell'MSOH.

K1 indica una richiesta di un canale per l'azione di switching. In particolare i bit 1-4 indicano il tipo di richiesta associata alla relativa proprietà , mentre i bit 5-8 indicano il numero del canale per il quale é stata emessa la richiesta di switching.

I bit 1-5 di K2 indicano lo stato del bridge della Multiplex Section riservata al percorso di riserva. Tale bridge sarà di tipo permanente nel caso di architettura 1+1 e commutabile nel caso di configurazione 1:n.

In particolare i bit 1-4 codificano il numero del canale che sta utilizzando la sezione di riserva, mentre il bit 5 indica il tipo di architettura implementata.

I bit 6-8 di K2 sono riservati per usi futuri per implementare il drop and insert (nested) switching. Occorre precisare che le codifiche 111 e 110 non sono utilizzabili per tale implementazione poiché riservate per indicare rispettivamente l'MS-AIS e l'MS-RDI.



Lo scrambling del segnale STM-N (N=1,4,16,64) viene effettuato affinchè il segnale SDH contenga sufficienti informazioni per il sincronismo di bit all'interfaccia NNI.

Utilizzando uno scrambler viene quindi modificata la sequenza del segnale STM-N in modo tale da evitare lunghe sequenze di "1" o di "0".

L'operazione effettuata dallo scrambler è funzionalmente identica a quella effettuata da uno scrambler operante alla velocità di linea, sincronizzato con la trama STM-N ed avente una lunghezza di sequenza pari a 127.

Il polinomio generatore è $1 + X^6 + X^7$.

Lo scrambler viene presattato al valore "1111111" in corrispondenza del passaggio del bit più significativo del byte successivo all'ultimo byte della prima riga dell' SOH.

Tale bit, insieme a tutti i bit successivi sottoposti a scrambler, sono sommati modulo 2 al valore presente all'uscita ricavata dalla posizione X⁷ dello scrambler.

Lo scrambler funziona continuamente fino al completamento del passaggio della trama STM-N.

La prima riga dell' SOH (9xN byte inclusi i byte di allineamento A1 e A2) non viene sottoposta a scrambler.

Particolare attenzione deve essere posta quindi per la definizione del contenuto binario del byte Z0 e dei byte riservati ad uso nazionale, i quali sono esclusi dal processo di scrambling dell' STM-N, al fine di assicurare che non vi siano lunghe sequenze di "1" o di "0".