

Esperienza 12: Flip-Flop e contatori

Gruppo BN

Federico Belliardo, Lisa Bedini, Marco Costa

13 aprile 2017

1 Scopo dell'esperienza

Lo scopo dell'esperienza è di montare e verificare il corretto funzionamento di Flip-Flop D-Latch e contatori in varie configurazioni.

2 Materiale a disposizione

- SN74LS00 Quad NAND gate
- SN74LS94 4-bit binary counter
- SN74LS74 Dual D-Latch
- SN74LS86 Quad XOR gate
- DIP switch
- 4 LED

I valori delle resistenze sono state misurate con multimetro digitale (incertezza riportata sul manuale). Le differenze di potenziale sono state misurate tramite oscilloscopio se non indicato diversamente. Come incertezza si è preso la sensibilità dei cursori più il 3% di calibrazione. Per misurare i tempi si è usato l'oscilloscopio e come relativa incertezza si è preso il massimo fra la sensibilità dei cursori e la semidispersione dei valori plausibili.

3 Flip-Flop D-Latch

Si è realizzato un circuito flip-flop di tipo D-Latch, come mostrato in figura 1, utilizzando le porte NAND di due integrati. L'ingresso D, che corrisponde al dato da memorizzare, è stato collegato all'impulsatore realizzato con Arduino Nano. L'Enable è collegato alla terra attraverso uno switch manuale. La tensione di lavoro durante tutta l'esperienza è stata fissata a: $V_{CC} = 4.85 \pm 0.03V$ (misurata tramite multimetro digitale, con incertezza presa dal manuale).

In figura 3 si vede come il segnale $Q(t)$ in uscita dal flip-flop segua l'ingresso quando enable è alto riproducendo la tabella 1.

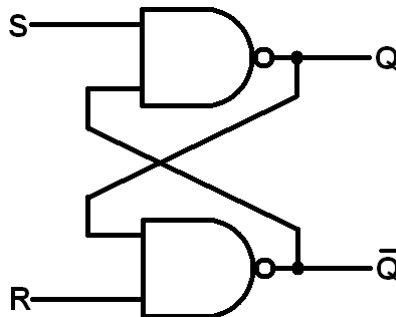


Figura 1: R-S NAND Latch.

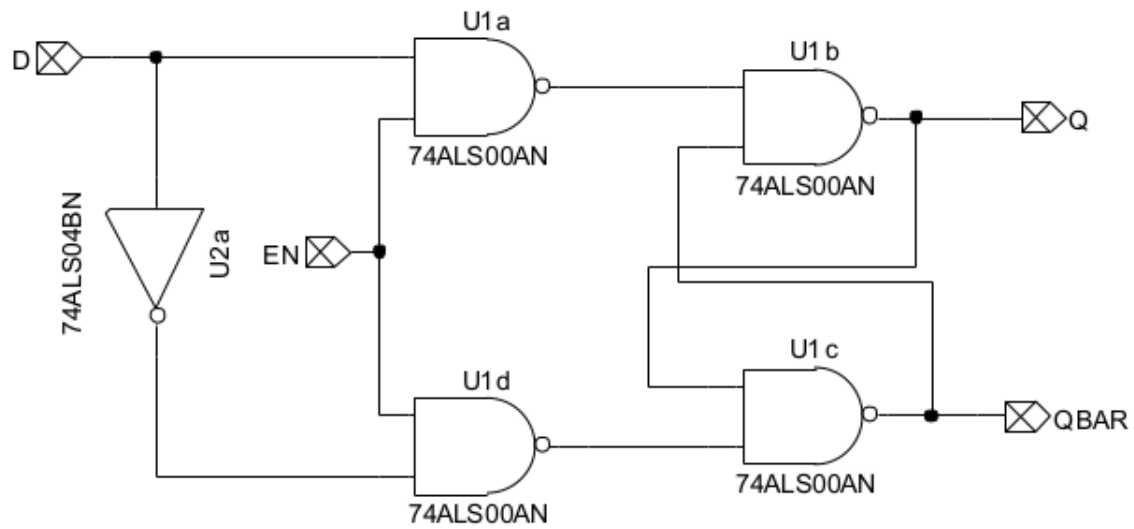


Figura 2: Circuito D-Latch NAND.

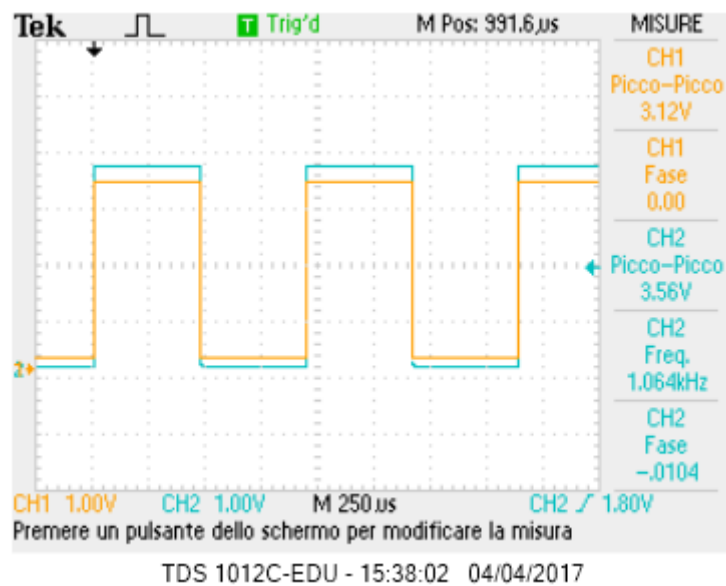


Figura 3: Circuito D-Latch NAND.

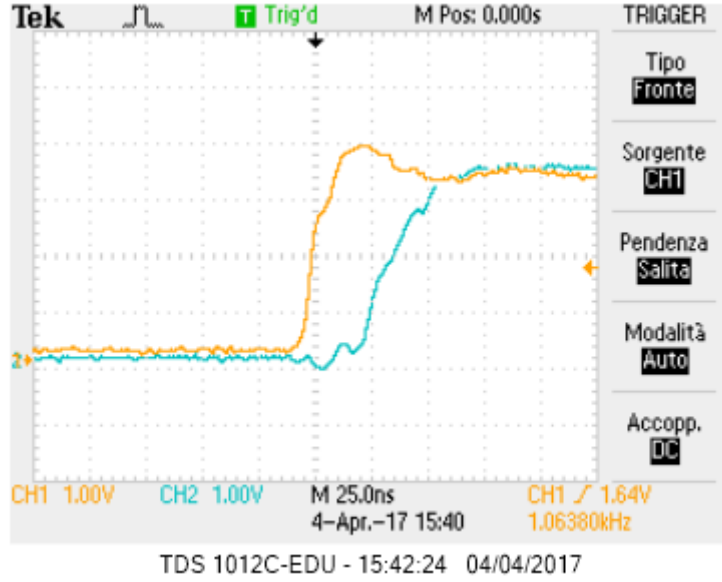


Figura 5: Misura del tempo t_{LH} per l'uscita Q .

4 Divisori di frequenza

Si è realizzato un contatore a 4 bit come in figura 6 connettendo l'uscita Q del primo JK (FF1) al clock del secondo JK (FF2), i restanti JK sono già interconnessi all'interno del package. Si vogliono utilizzare tutti i JK in modalità Toggle, cioè in modo che oscillino tra lo stato 0 e 1 alla transizione basso-alto del clock (per costruzione). Per fare ciò è necessario che l'ingresso J di ognuno dei flip-flop sia impostato a 1, questa configurazione è realizzata ponendo R_0 a terra e R_1 flottante (per il momento).

Infatti la configurazione toggle del JK si ottiene se $J = 1$ e $K = 1$ dunque con K flottante questo è sempre uguale a 1, se uno degli ingressi del NAND è forzato a 0 la sua uscita sarà sempre 1 e sono quindi nella richiesta per i JK.

Poiché la transizione del valore di uscita Q di ognuno degli FF avviene con una frequenza dimezzata rispetto a quella del clock, le varie uscite $Q_i(t)$ oscillano con frequenze $\frac{1}{2}, \frac{1}{4}, \frac{1}{8}, \frac{1}{16}$ in quanto l'uscita Q_i di un FF è il clock del successivo.

Ogni uscita Q_i è stata collegata a terra attraverso un LED e una resistenza (per limitare la corrente sul led). Questo e l'accorgimento di impostare un clock per il FF1 di 1 Hz (generato con Arduino) rende osservabili ad occhio le transizioni.

Interpretando il bit più a sinistra come bit meno significativo (1 per LED acceso e 0 per LED spento) si ottiene la rappresentazione fisica dei numeri da 0 a 15 in binario.

Si è inviato in ingresso (sempre con Arduino) un segnale di frequenza $f_0 = 61 \pm 1\text{kHz}$ e periodo $T = 16.40 \pm 0.02\mu\text{s}$, si sono misurate le frequenze dei segnali Q_i e i tempi di ritardo per la salita e la discesa rispetto al clock, definiti come differenza temporale tra i punti in cui i due segnali raggiungono la metà del rispettivo valore massimo quando avvengono le transizioni.

Nelle figure successive si riportano le uscite Q_A, Q_B, Q_C, Q_D visualizzate insieme al clock in ingresso. Si può osservare dal frequenzimetro dell'oscilloscopio come le frequenze rispettano la serie geometrica descritta.

Il tempo di ritardo è definito come l'intervallo temporale tra i punti in cui i due segnali raggiungono le rispettive metà.

•	$T(\mu\text{s})$	$f(\text{kHz})$	$t_{HL}(\text{ns})$	$t_{LH}(\text{ns})$
Q_A	32.4 ± 0.03	30.8 ± 0.3	44 ± 2	43 ± 2
Q_B	65.2 ± 0.7	15.3 ± 0.2	55 ± 2	54 ± 2
Q_C	129 ± 1	7.75 ± 0.07	69 ± 2	66 ± 2
Q_D	258 ± 2	3.88 ± 0.03	83 ± 2	79 ± 2

Tabella 3: Misure di frequenza e tempi di propagazione per il divisore.

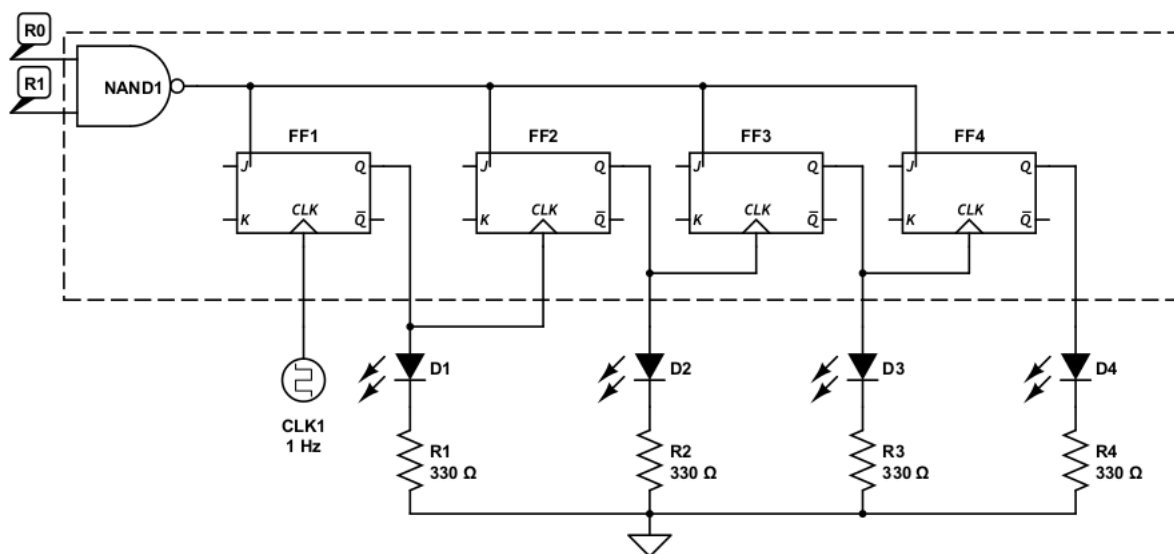


Figura 6: Contatore a 4 bit.

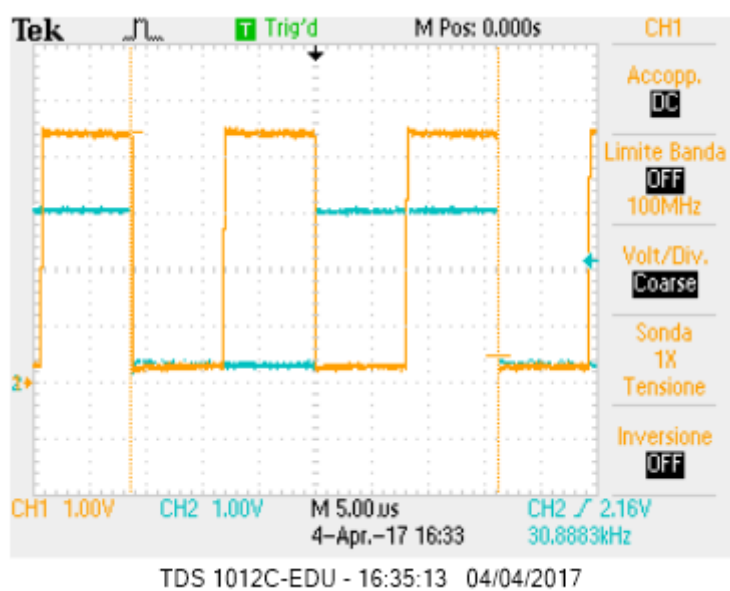


Figura 7: Segnale all'uscita Q_A con frequenza $f_0/2$.

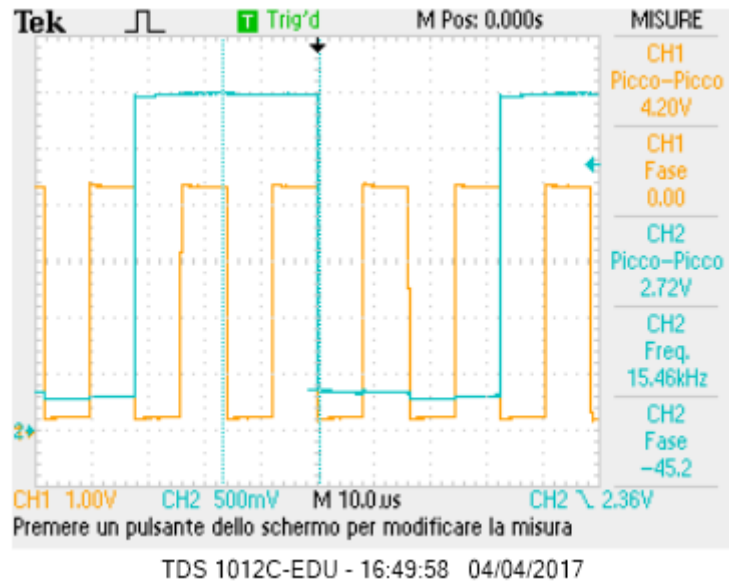


Figura 8: Segnale all'uscita Q_B con frequenza $f_0/4$.

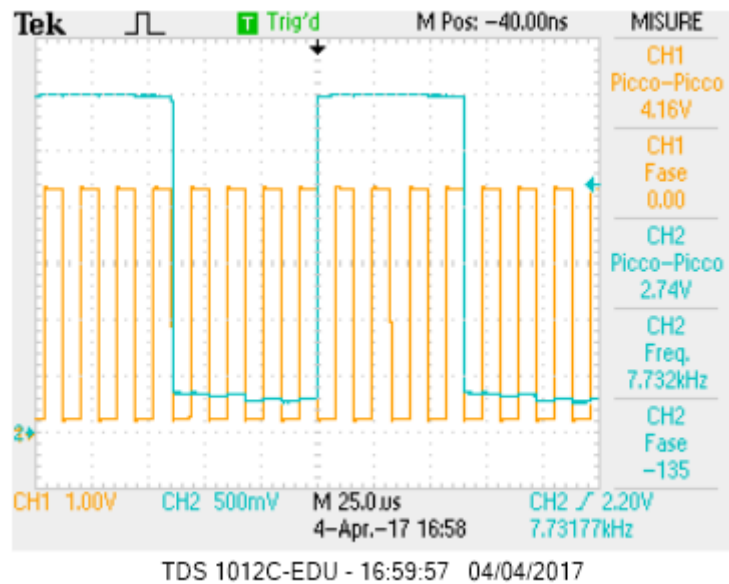


Figura 9: Segnale all'uscita Q_C con frequenza $f_0/8$.

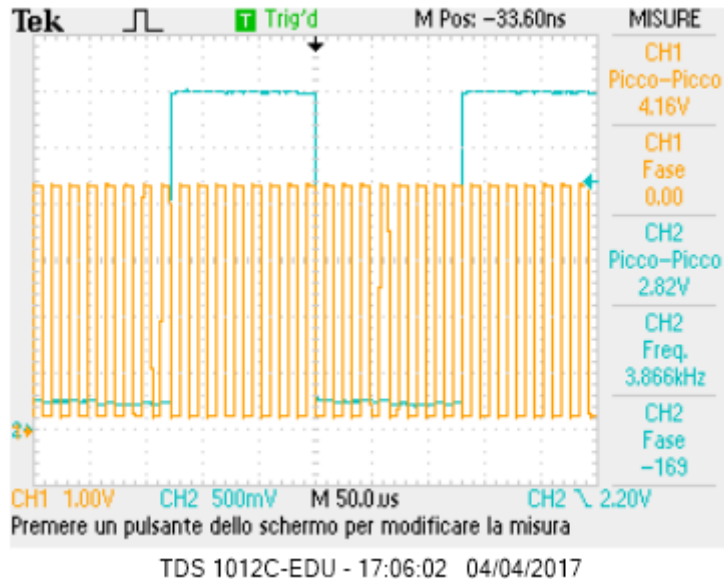


Figura 10: Segnale all'uscita Q_D con frequenza $f_0/16$.

Di seguito sono riportate le immagini relative alle prese dei tempi di ritardo di A a scopo esemplificativo:

I tempi di ritardo misurati sono tempi di propagazione attraverso la rete dei flip-flop e dalle misure eseguite aumentano linearmente con il numero di porte del circuito. Gli errori sui tempi t_{HL} e t_{LH} sono dello stesso ordine di grandezza della differenza tra essi. Questo non ci permette di eseguire considerazioni significative sul parametro $t_{HL} - t_{LH}$.

Si vuole realizzare un contatore decadico sincrono, cioè attivare il reset quando il contatore raggiunge il valore 10. Per identificare il valore 10 sulle uscite Q_i si esegue un NAND tra le uscite Q_2 e Q_4 , che da un segnale basso non appena i due bit sono attivati per la prima volta (cioè si raggiunge il 10).

Il reset dei JK si ottiene per $J = 0$ e $K = 1$, dunque K viene sempre lasciato flottante.

A questo punto sarebbe possibile fornire questo valore agli ingressi di reset del circuito, tuttavia per costruire un reset sincrono con il clock si utilizza un D-Latch al cui ingresso è collegata l'uscita del NAND.

Il bit di reset R_0 viene collagato a 1 attraverso una resistenza, il bit R_1 è collegato all'uscita negata del latch in modalità enabled. In questo modo l'uscita \bar{Q} diventa 1 non appena si raggiunge 10 sincronamente con il clock. Infine \bar{Q} viene collegata al bit R_2 di reset e così si è realizzato il contatore decimale.

Se non è ancora stato raggiunto il 10 vale $Q = 1$, $\bar{Q} = 0$ e dunque tutti i FF sono in modalità toggle ($J = 0$ NAND 1 = 1, $K = 1$) e il conteggio continua. Non appena $\bar{Q} = 1$, cioè ho raggiunto il 10 l'uscita degli FF viene impostata a 0, infatti $J = 1$ NAND 1 = 0, $K = 1$ che sappiamo corrispondere al settaggio di $Q = 0$.

Si verifica che collegando il D-Latch allo stesso clock del contatore alla fine del ciclo i quattro LED visualizzano per mezzo ciclo di clock il valore 10 e poi passano a visualizzare lo 0. Questo problema si può risolvere collegando il D-Latch al clock negato. Con questo accorgimento il numero 9 permane per il tempo corretto (come si può verificare all'oscilloscopio) per poi passare allo zero.

Le due figure 13 e 14 mostrano l'uscita Q_D nel caso di collegamento sbagliato o giusto del clock (secondo quanto detto precedentemente). Si può vedere che 13 mostra come Q_D rimanga acceso per mezzo ciclo di clock più del dovuto questo causa il comportamento indesiderato descritto precedentemente.

Ciò è dovuto al fatto che il contatore e il flip-flop sono sensibili rispettivamente al fronte di discesa e di alita del clock.

5 Shift register con D-Latch

Abbiamo montato lo shift register come indicato in figura 15, Si possono osservare gli stati dei vari flip-flop attraverso i diodi led. Si è verificato che il pulsante di preset imposta tutte le uscite di Q al valore alto. Quando si collega l'ingresso D a terra chiudendo lo switch si vedono i led spegnersi in sequenza sincronamente con il clock come atteso. Si è visto che per fare funzionare correttamente il circuito abbiamo avuto bisogno di inserire resistenze di pull-up ovunque necessario, i particolare ai clear per tenderli al valore alto. Una maggior stabilità del sistema si poteva ottenere anche collegando il preset al valore alto della tensione attraverso una resistenza

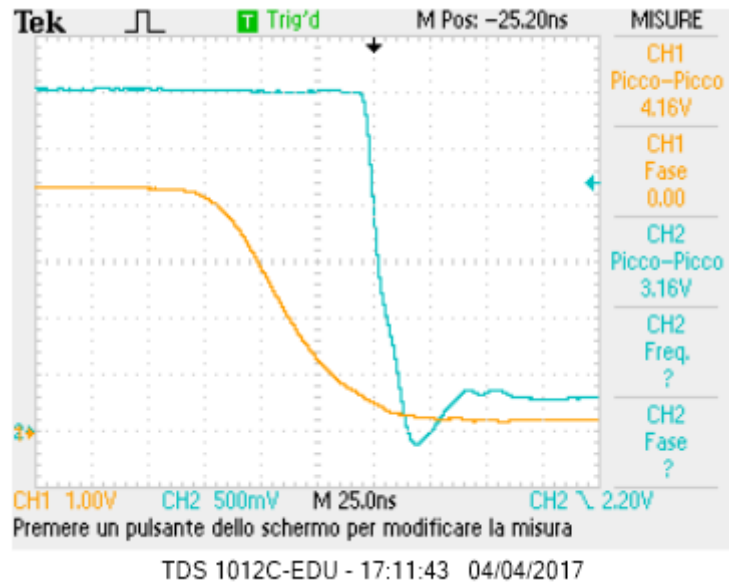


Figura 11: Misura del tempo t_{HL} per l'uscita Q_A .

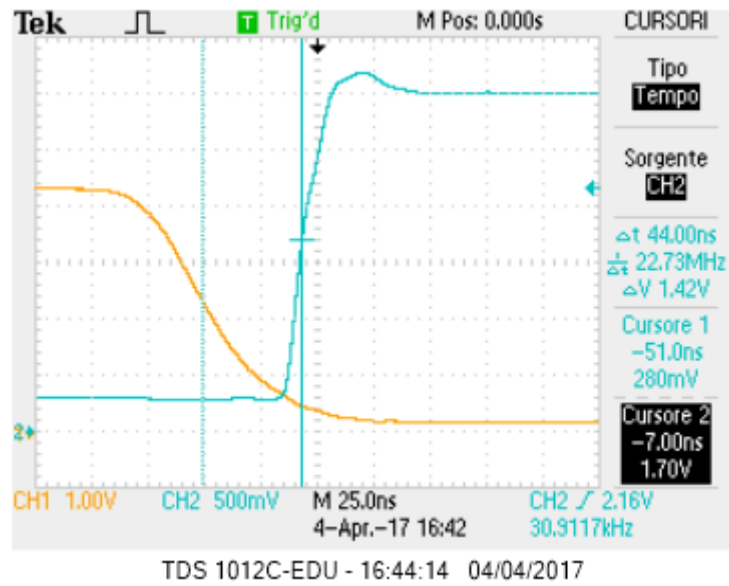


Figura 12: Misura del tempo t_{LH} per l'uscita Q_A .

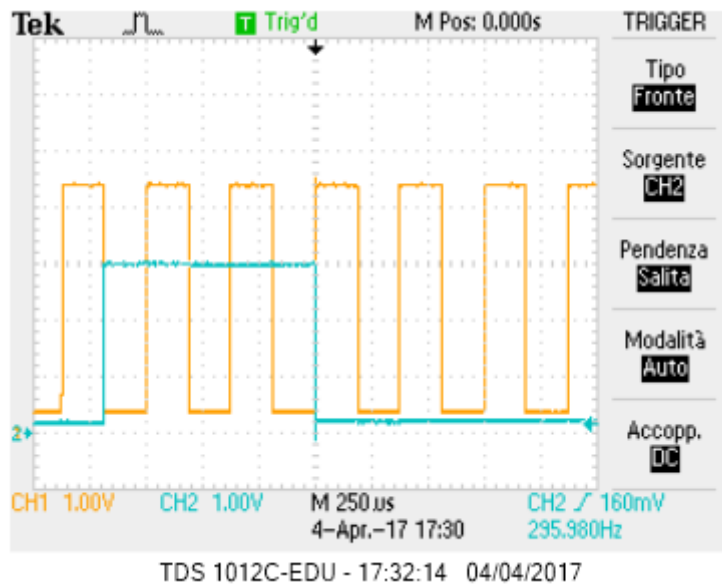


Figura 13: Segnale Q_D e clock nel caso in cui FF e contatore abbiano stesso clock.

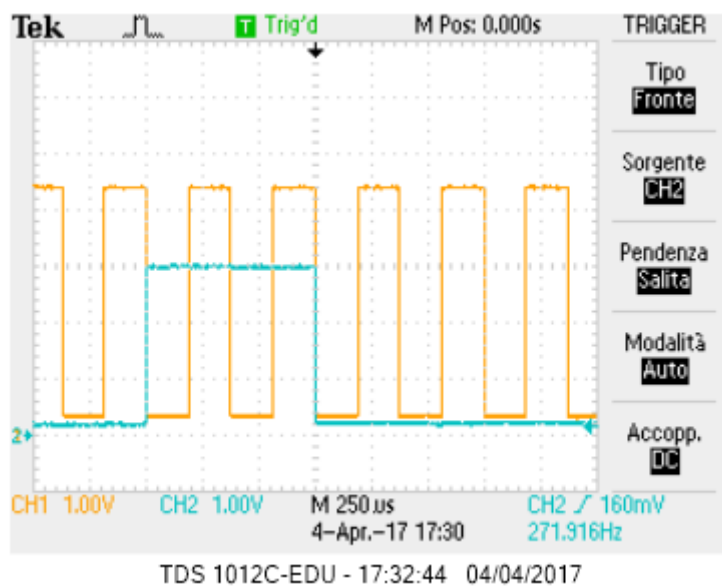


Figura 14: Segnale Q_D e clock nel caso in cui FF e contatore abbiano clock invertiti.

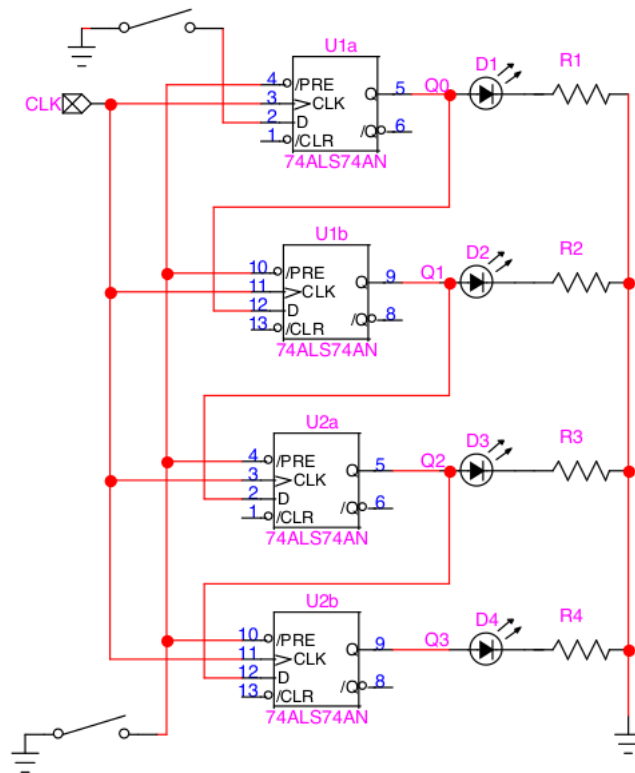


Figura 15: Shift register.

durante la routine.

6 Generatore di numeri casuali

Si è realizzato il circuito in figura 16 e inviando un clock a bassa frequenza si osservata (e riportata in seguito) la sequenza generata (che come si vede è completa). Lo XOR è stato posto tra le uscite C e D e il risultato è stato mandato in input al primo D-Latch.

1111	15
1011	11
0011	3
0010	2
0100	4
1000	8
0001	1
0110	6
1100	12
1001	9
0111	7
1010	10
0101	5
1110	14
1101	13

Tabella 4: Tabella di numeri generata da XOR tra Q_C e Q_D .

Si è provato ad inserire lo XOR anche tra le uscite Q_A e Q_D del contatore per poi rimandare l'uscita di questo all'ingresso del primo D-Latch. Il risultato è riportato di seguito e non è una sequenza completa.

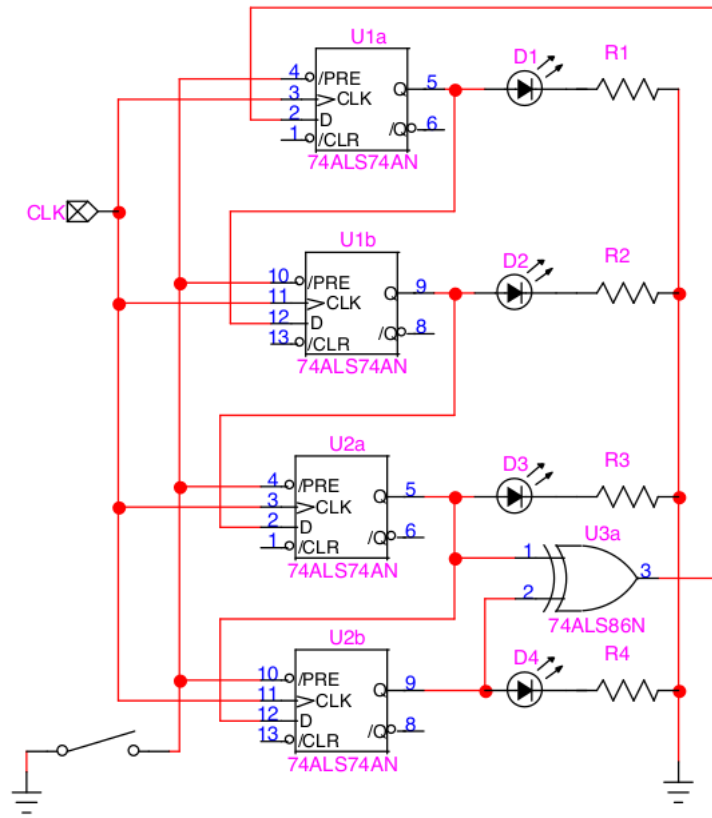


Figura 16: Generatore di numeri pseudo-casuali.

1111	15
1011	11
0111	7
1010	10
0001	1
0110	6
1100	12
1101	13

Tabella 5: Tabella di numeri generata da XOR tra Q_A e Q_D .