



UNIVERSITÀ DI PISA

CORSO DI LAUREA IN FISICA

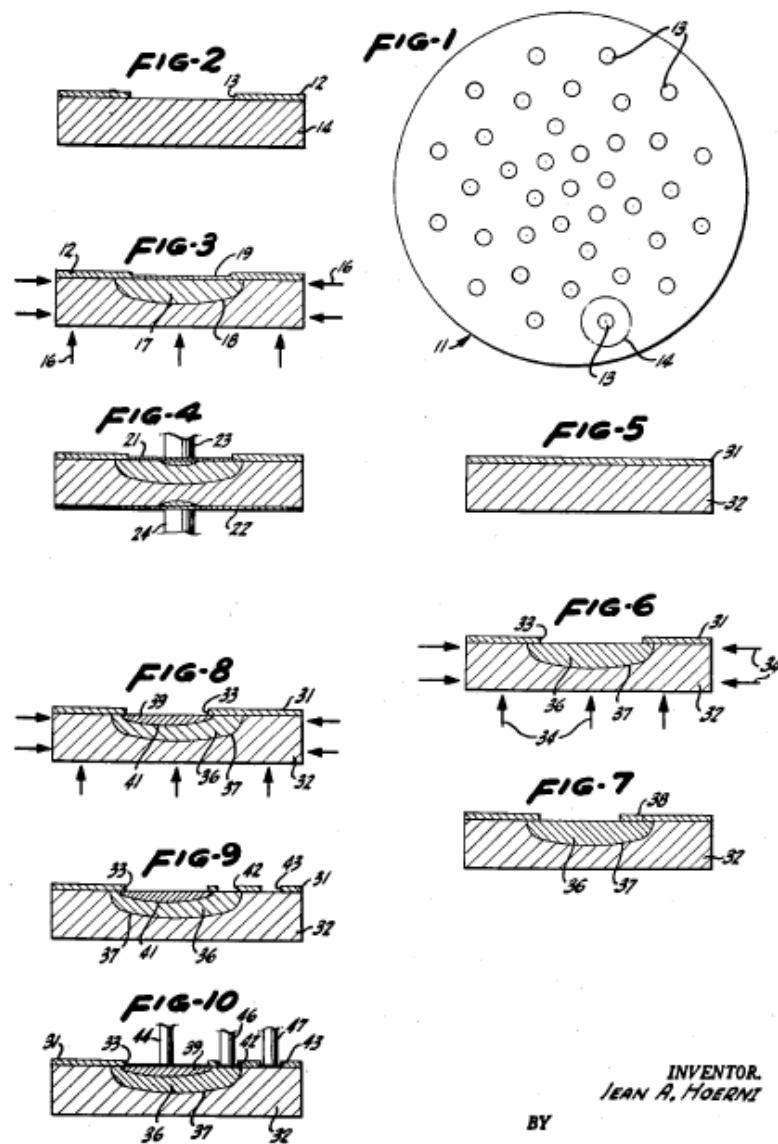
LABORATORIO DI FISICA 3

INTRODUZIONE ALLA
TECNOLOGIA DEI
SEMICONDUTTORI

Prof. F. Forti

Processo planare

- Sviluppato a partire dagli anni 50
 - Brevetto di Hoerni del 1959
- Utilizza fette di silicio di spessore 300-1500um (wafer), diametro 25 → 300 mm
- Opera su una faccia del wafer (dispositivi superficiali)
- Il wafer viene poi fatto a pezzi (qualche mm fino al cm)
 - “Chip” oppure “die”.
- Small Scale of Integration SSI → MSI (60) → LSI (70) → VLSI (80) → ULSI (90)
 - Chips da pochi mm² con milioni di transistor



INVENTOR.
JEAN A. HOERNI

BY

Lippincott, Ralls & Hendricson
ATTORNEYS

Feature size

- Dimensione minima dei dispositivi
 - Tipicamente lunghezza del canale MOS
- Nel 2015 sono facilmente disponibili processi fino a 65 nm
- Da 45 nm in giù sono interni a Intel, IBM, Fujitsu, etc...

Semiconductor manufacturing processes

10 μm – 1971
6 μm – 1974
3 μm – 1977
1.5 μm – 1982
1 μm – 1985
800 nm – 1989
600 nm – 1994
350 nm – 1995
250 nm – 1997
180 nm – 1999
130 nm – 2001
90 nm – 2004
65 nm – 2006
45 nm – 2008
32 nm – 2010
22 nm – 2012
14 nm – 2014
10 nm – 2016
7 nm – 2018
5 nm – 2020

Passi di processo

- Produzione del wafer di silicio monocristallino
- Fabbricazione del circuito elettrico
 - Aggiunta di droganti
 - Protezione ed isolamento del wafer e dei dispositivi
 - Entrambe devono essere spazialmente selettive → metodi per effettuare il patterning sul wafer
 - Imaging, etching
 - Interconnessioni sul chip
- Taglio, connessioni esterne, packaging
- Nota: problemi tecnologici dominati da temperatura e contaminanti.

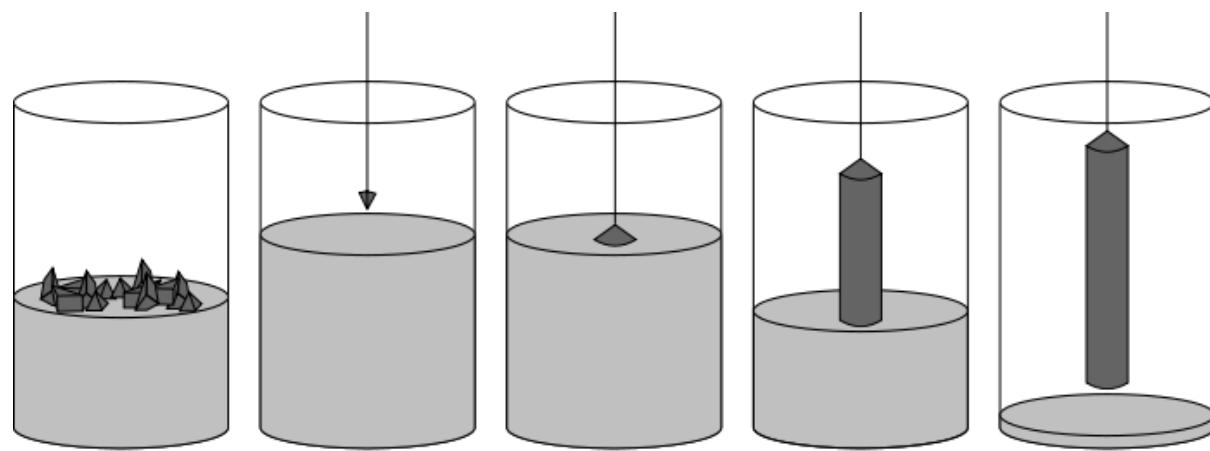
Produzione wafer di silicio

- Metodo Czochralski

- Elettronica: $0.001 - 10 \Omega\text{cm}$
- Non e' possibile ridurre ulteriormente le impurezze
- T(fusione Si): 1414° C
- Diametro fino a 250mm



Single Crystal Silicon Ingot



Melting of
polysilicon,
doping

Introduction of
the seed crystal

Beginning of
the crystal
growth

Crystal
pulling

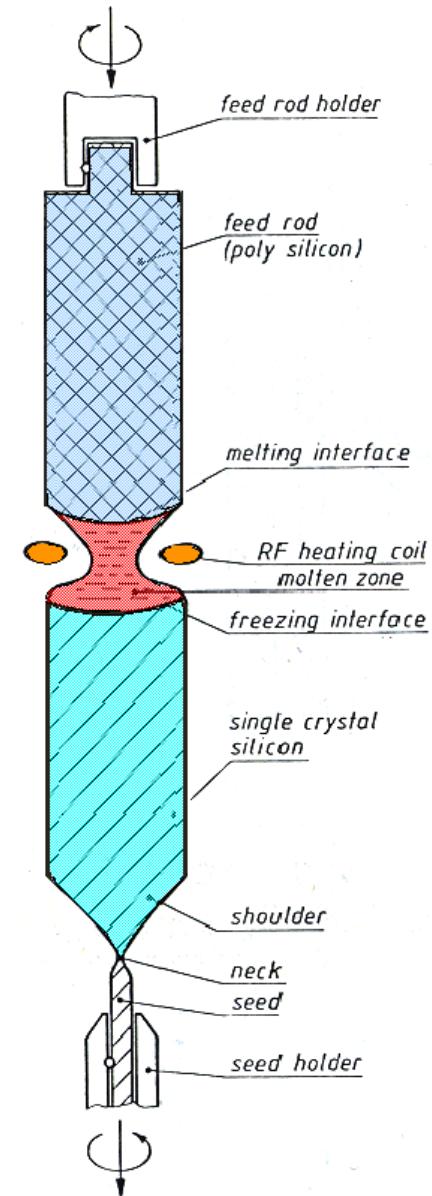
Formed crystal
with a residue of
melted silicon

Float Zone Silicon

Float-zone pulling

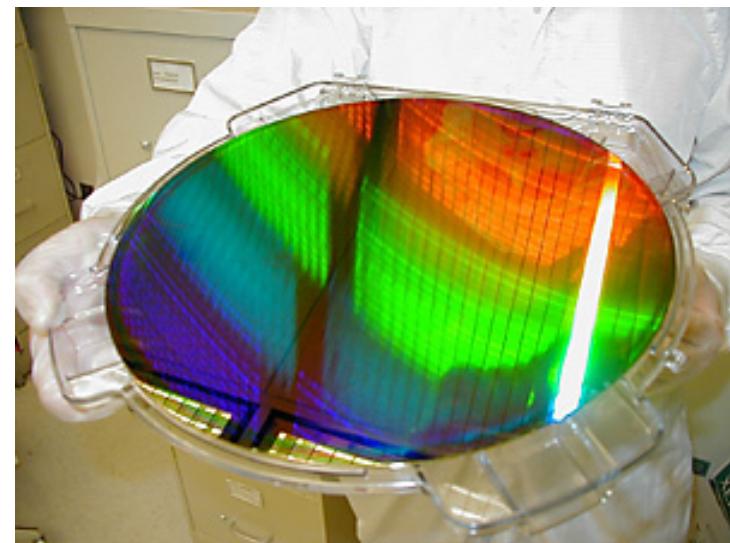
- Resistività più alta
 - le impurezze rimangono nella zona liquida
 - Tipico $10\text{-}20 \text{ k}\Omega\text{.cm}$
 - Fino al limite intrinseco ($230 \text{ k}\Omega\text{.cm}$)

- Applicazioni
 - Rivelatori di radiazione
 - Celle solari
- Però problemi meccanici nel processo
 - limitazioni nel diametro (max 150mm)



Taglio a fette

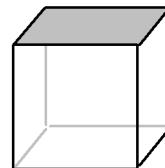
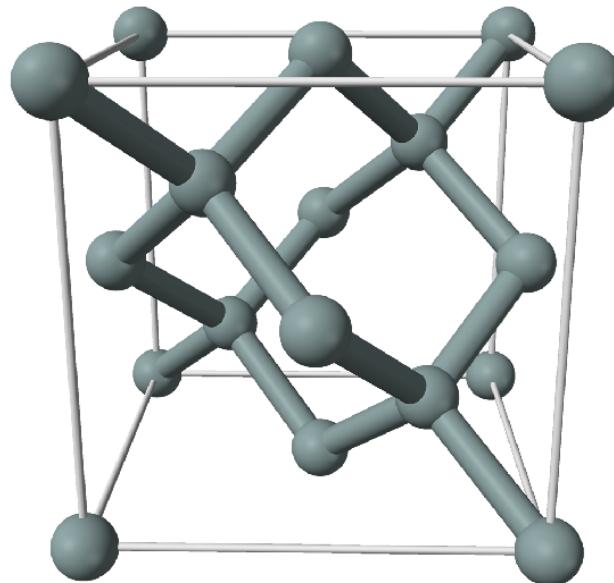
- Spessore per rigidità meccanica:
 - 2 inch (50.8 mm). Thickness 275 µm.
 - 3 inch (76.2 mm). Thickness 375 µm.
 - 4 inch (100 mm). Thickness 525 µm.
 - 5 inch (125 mm). Thickness 625 µm.
 - 6 inch (150 mm). Thickness 675 µm.
 - 8 inch (200 mm). Thickness 725 µm.
 - 12 inch (300 mm). Thickness 775 µm.
- Le fette vengono lucidate in modo da avere una superficie super-liscia
- Spesso e' necessario un materiale di qualità migliore: crescita di uno strato di silicio epitassiale (sottile, 10-20um ma il meglio del meglio) sulla fetta.



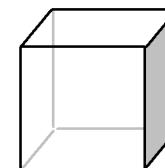
Orientamento del cristallo rispetto alla faccia del wafer

Indice di Miller

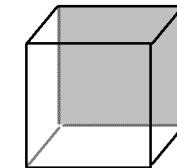
- Si - Cristallo cubico come diamante



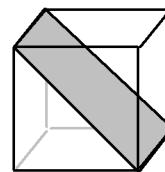
(001)



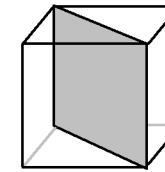
(100)



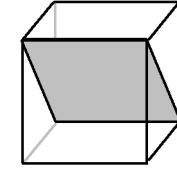
(010)



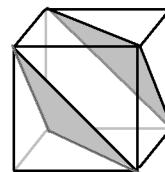
(101)



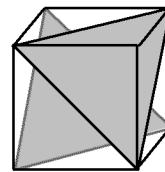
(110)



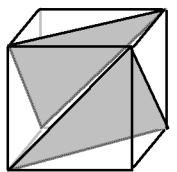
(011)



(111)



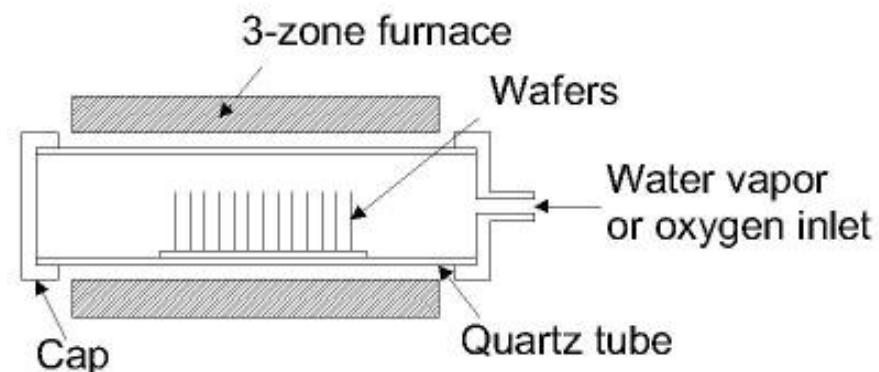
(1-11)



(-111)

Ossidazione della superficie

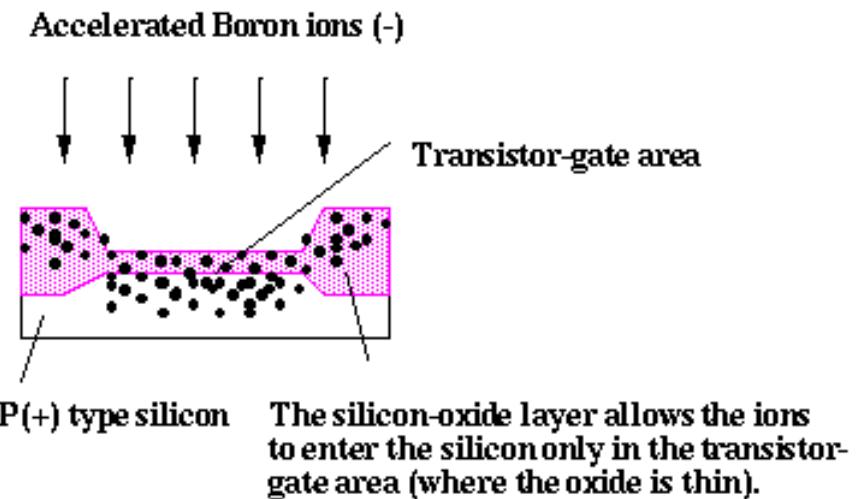
- Il cristallo di silicio alla superficie si interrompe bruscamente
 - Elettricamente attivo e dannoso
 - In ogni caso la superficie del silicio si ossida a contatto con l' aria
- Necessaria una passivazione della superficie: SiO_2
 - Vari tipi di ossido a seconda del metodo di crescita o deposizione ed il legame con il reticolo cristallino del Si
- Ossido termico:
 - sono gli atomi di silicio già presenti nel reticolo che si legano agli atomi di ossigeno
 - Alta temperatura (1100°), ma ottima qualità elettrica
- LTO (low temp oxide):
 - depositato sopra il silicio
 - Bassa temperatura, ma qualità inferiore
- Parametro essenziale:
 - quantità di carica intrappolata nello strato di ossido
 - oxide charge is forever.



Aggiunta dei droganti

- Droganti principali
 - Tipo P: Boro, Alluminio
 - Tipo N: Fosforo, Arsenico
- Diffusione
 - Sorgente di solito gassosa
 - Alta temperatura → Diffusione
- Impiantazione ionica
 - Ioni accelerati in modo da penetrare nel silicio
 - Attivitazione a temperatura intermedia

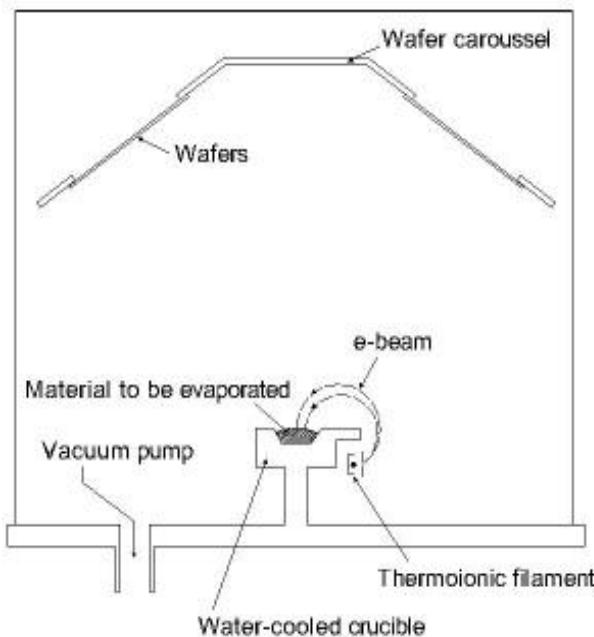
DOPING EXAMPLE:



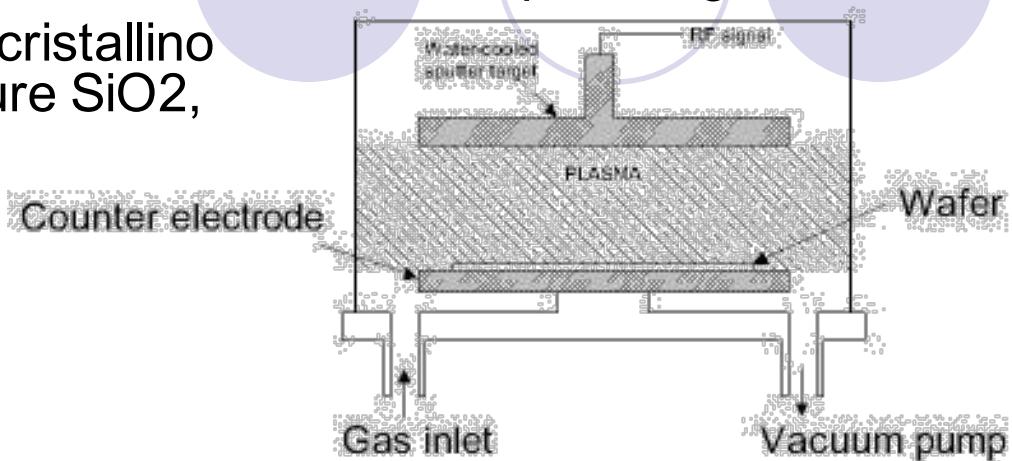
Deposizione di Film

- Metallo (Al, Cu) o silicio policristallino per le interconnessioni oppure SiO₂, Si₃N₄ per isolamento e mascheratura

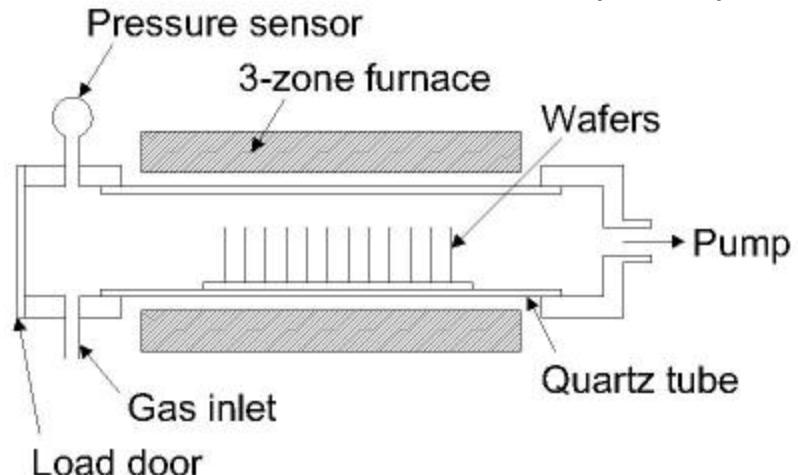
Evaporazione



Sputtering



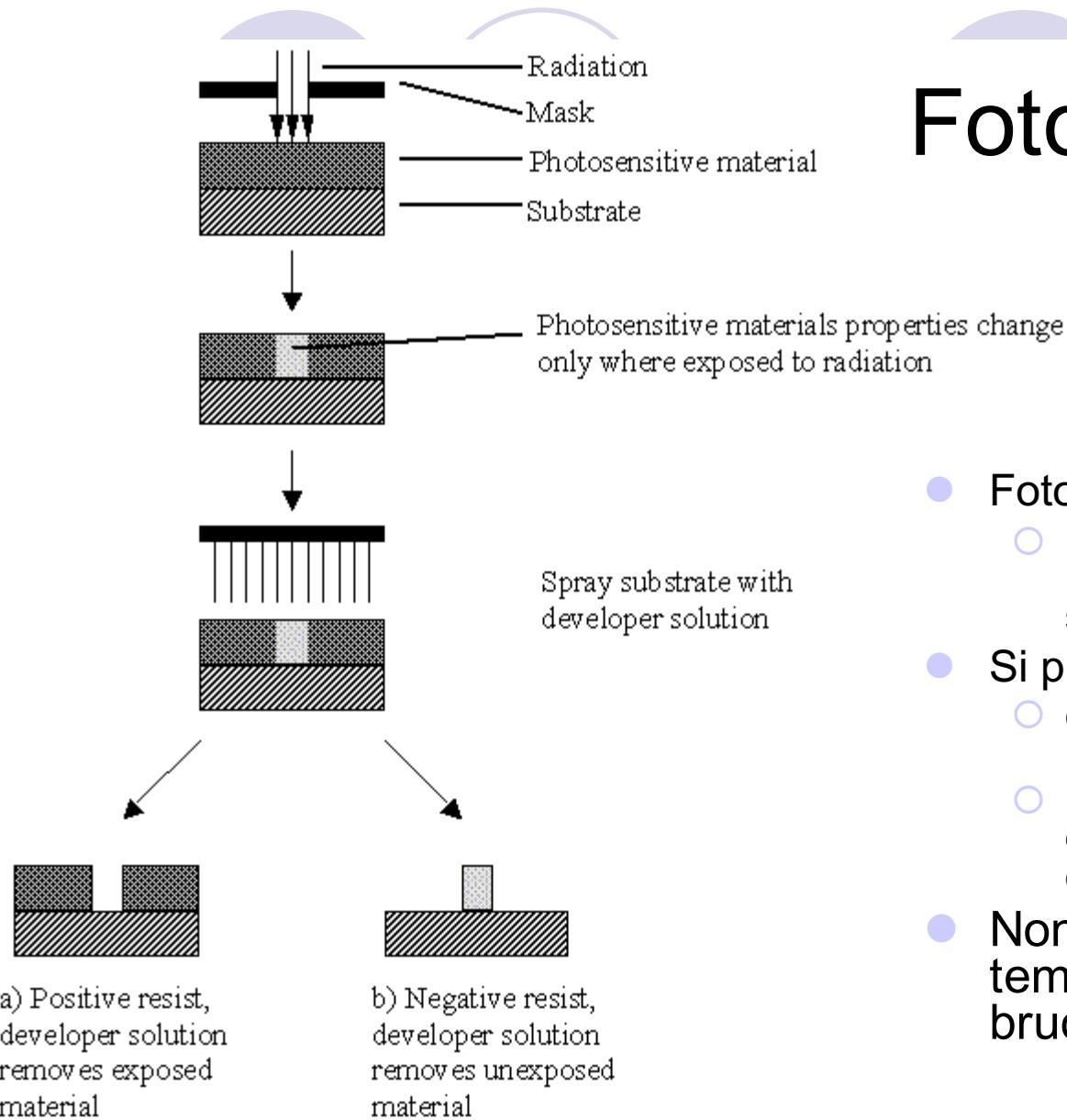
Chemical Vapor Deposition (CVD)



Patterning

- I droganti, le interconnessioni, gli ossidi, devono esistere solo in certe zone
- I metodi di deposizione però coinvolgono l' intero wafer.
Due metodi:
 - Deposizione selettiva: si mascherano le zone dove non vogliamo che vada il materiale
 - Rimozione selettiva: mettiamo il materiale ovunque e poi lo rimuoviamo dove non lo vogliamo
 - La scelta dipende da materiali, temperatura, chimica, etc.
- Le tecniche di patterning sono basate su:
 - Materiale fotosensibile (fotoresist), tipicamente nell' UV, che permette di trasferire la struttura voluta sul wafer.
 - Etching selettivo: una rimozione chimica (wet o dry) di alcuni materiali ma non altri, che usa la mascheratura del fotoresist
 - Maschera: disegno 1:1 oppure 10:1 (cromo su vetro) della struttura. Realizzata a partire dal disegno su computer (fino a ieri)

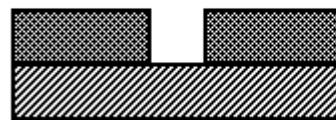
Foto-litografia



- **Fotoresist:**
 - materiale organico piuttosto resistente agli acidi (ma non ai solventi).
- **Si può usare per**
 - evitare la deposizione dove c'è il resist (ad es. Impiantazione)
 - permettere l'etching con acidi dove non c'è il resist (etching dell'ossido)
- **Non regge alle alte temperature (indurisce e poi brucia)**

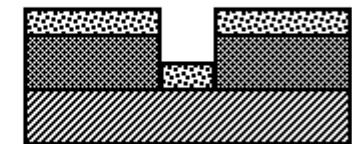
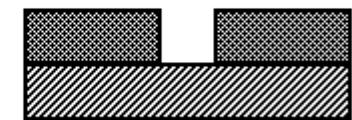
Pattern transfer

Subtractive Process



Pattern transfer
by etching

Additive Process



Pattern transfer
by lift off

Photolithography

Etch

Deposit

Strip Resist

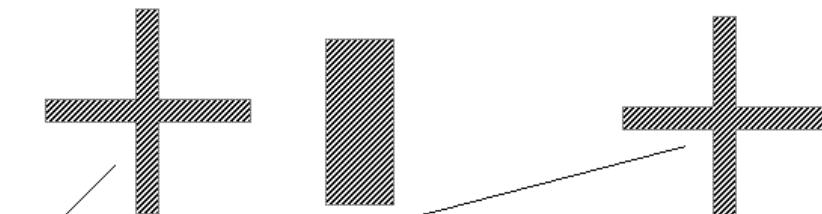
- Basta un granello di polvere a rovinare tutto

Etching

- Nella rimozione selettiva dei materiali c' è un grande gioco di chimica. Esempi
 - HF (acido fluoridrico) rimuove il SiO₂, ma non il Si né il resist, né il Si₃N₄
 - KOH attacca il silicio (ma il rate dipende dall' orientazione cristallina) ed il resist, ma non il SiO₂ (cioè, lo attacca poco)
 - l' acetone scioglie il resist come neve al sole, ma non fa niente al Si o SiO₂.
 - etc... etc... Molti sono segreti di fabbrica custoditi gelosamente
- In tutto questo è cruciale il controllo delle contaminazioni, perchè possono alterare il funzionamento elettrico dei dispositivi
 - ad esempio, K e Na sono pericolosi perchè diffondono moltissimo

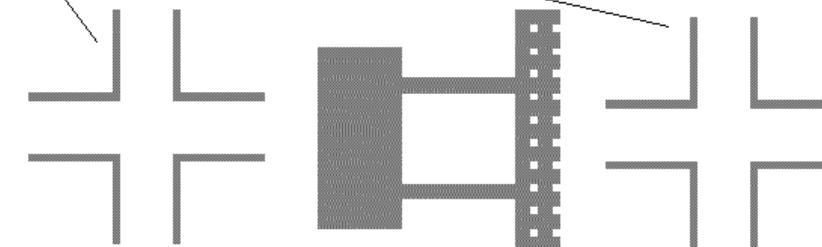
Allineamento

- Processo di produzione con molti passi
- Le zone devono essere allineate a livello di frazioni di um.

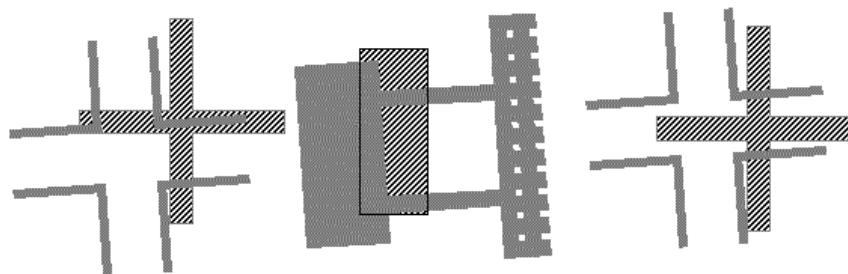


Alignment marks

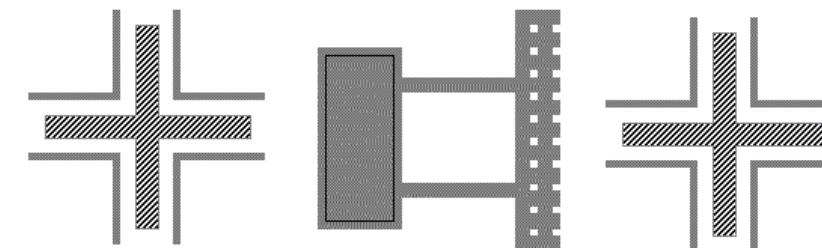
Features on wafer



Features on mask



Mask over wafer



Alignment marks used to register two layers, wafer now ready to be exposed

Diffrazione

- La luce UV ha lunghezza d'onda fino a 200nm – 400nm diffrazione attraverso le fenditure della maschera

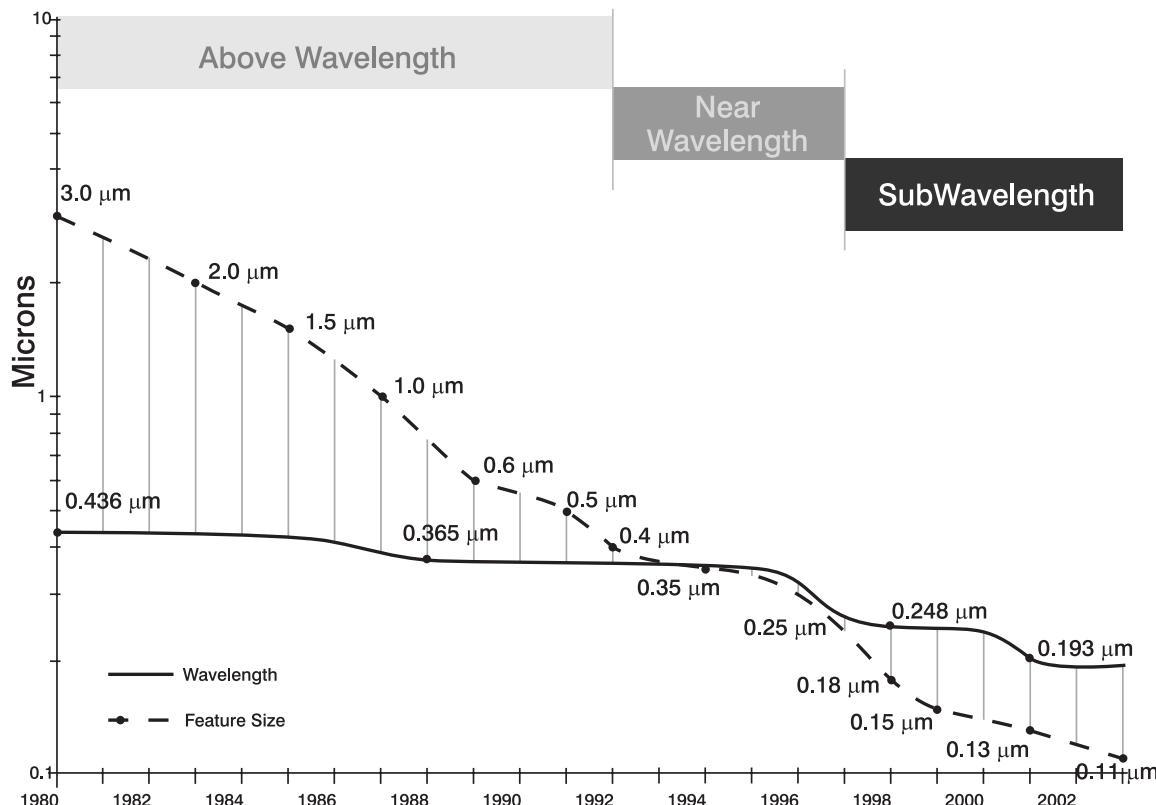
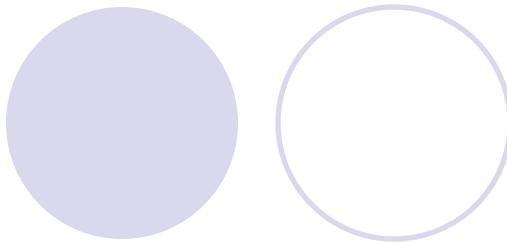


Figure 1: Shift to subwavelength optical lithography since the 0.35-micron process generation.



Phase Shifting Masks

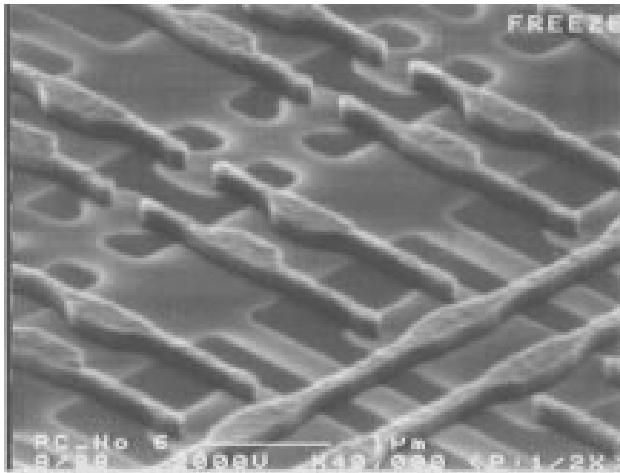


Figure 8: SEM micrograph (courtesy of Motorola) of poly gates fabricated with alternating PSM technology. Gate lengths are 90 nm.

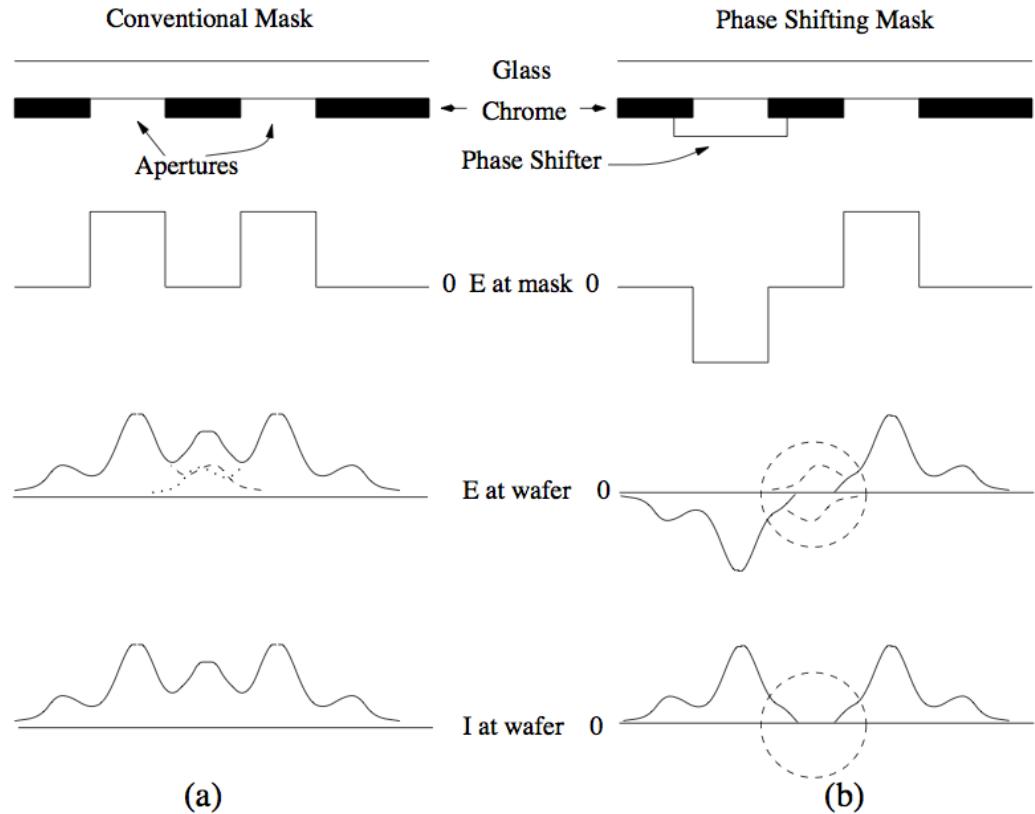
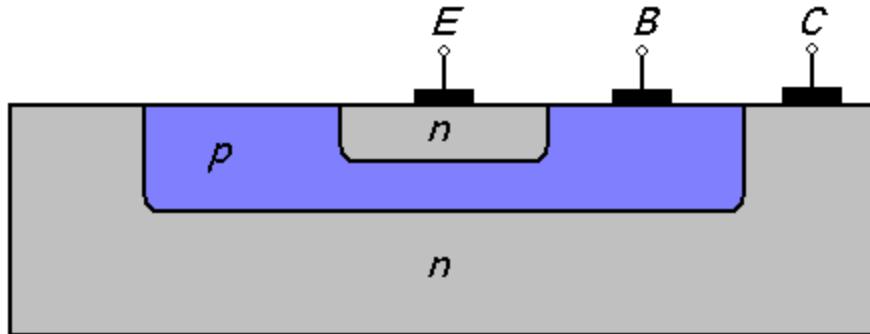


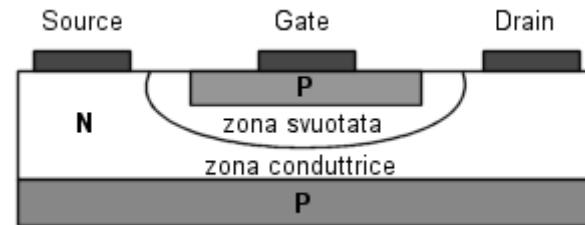
Figure 5: Comparison of diffraction optics of conventional and phase-shifting masks. E denotes electric field and I denotes intensity. With the conventional mask (a) light diffracted by two adjacent apertures constructively interferes, increasing the light intensity in the dark area of the wafer between the apertures. With the (alternating) phase-shifting mask (b), the phase shifter reverses the sign of the electric field, and destructive interference minimizes light intensity at the wafer in the dark area between apertures.

Struttura dei dispositivi

Bipolare

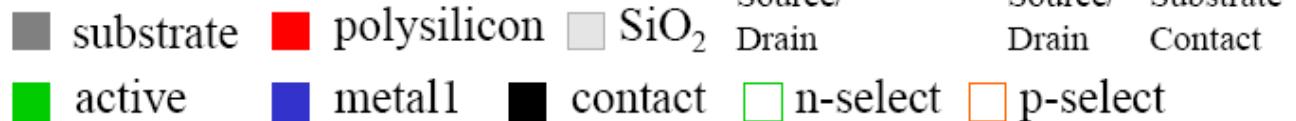
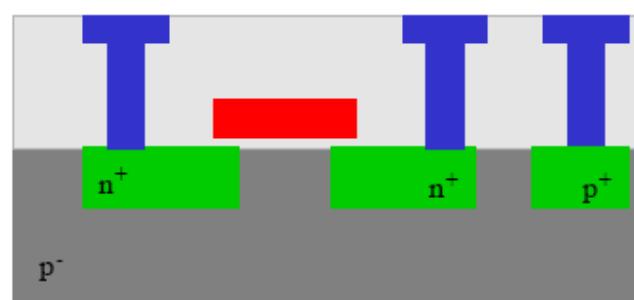


J-FET

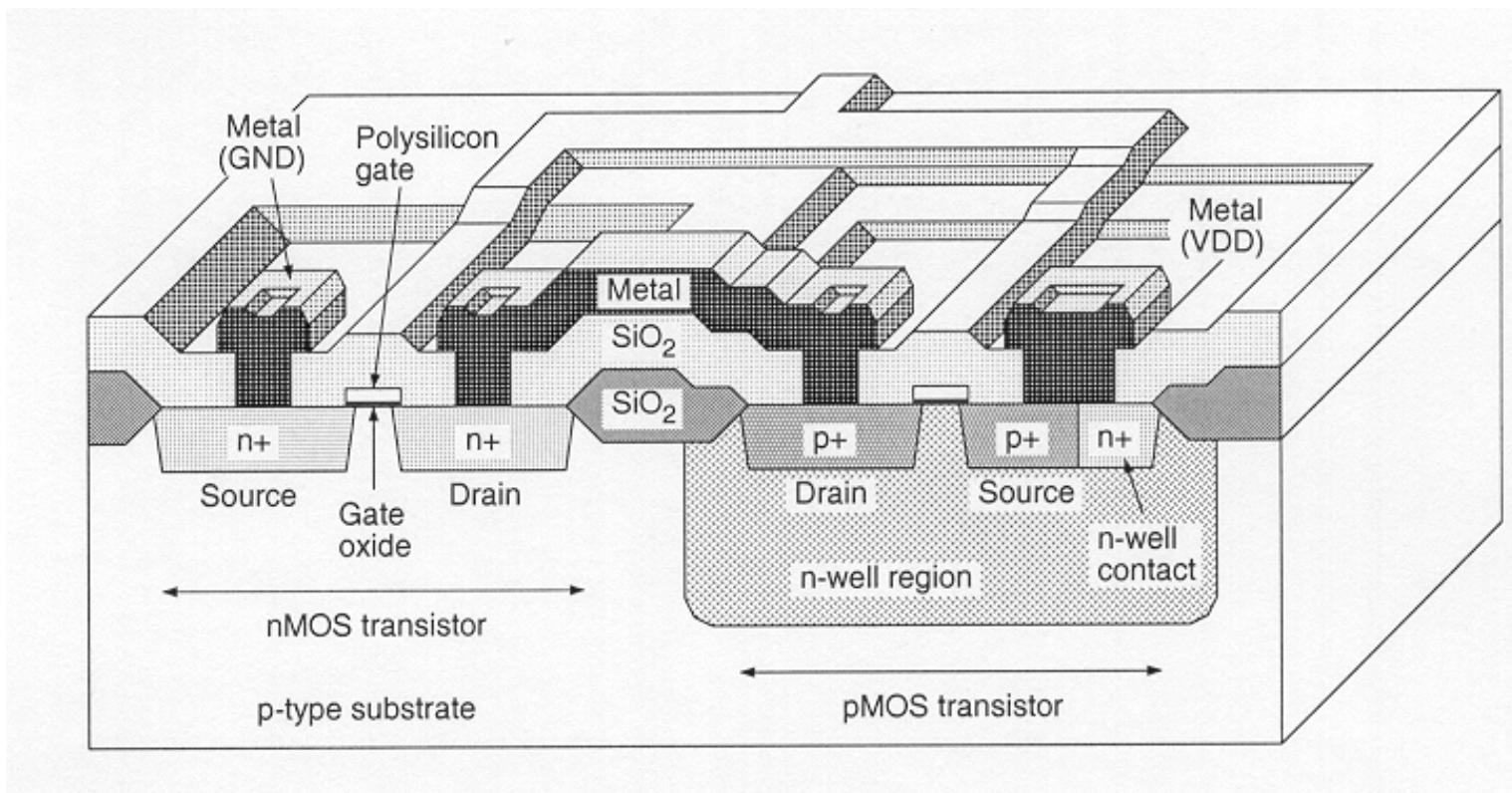
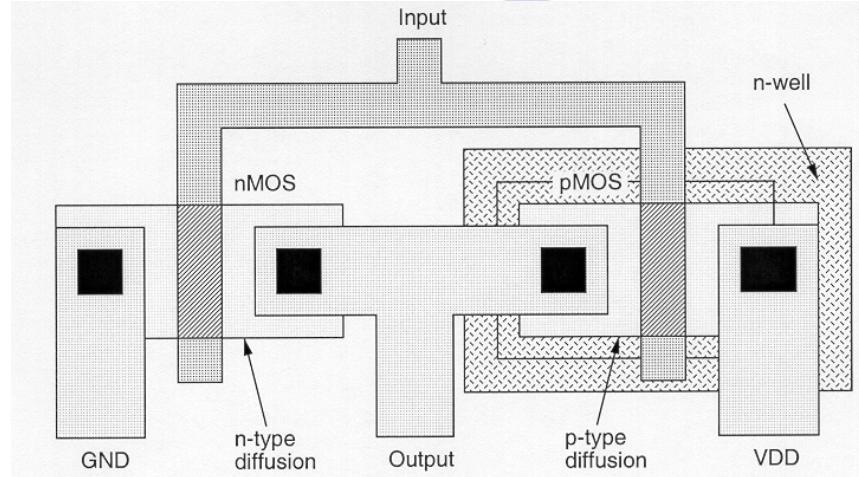


MOSFET

Crossection of nFET



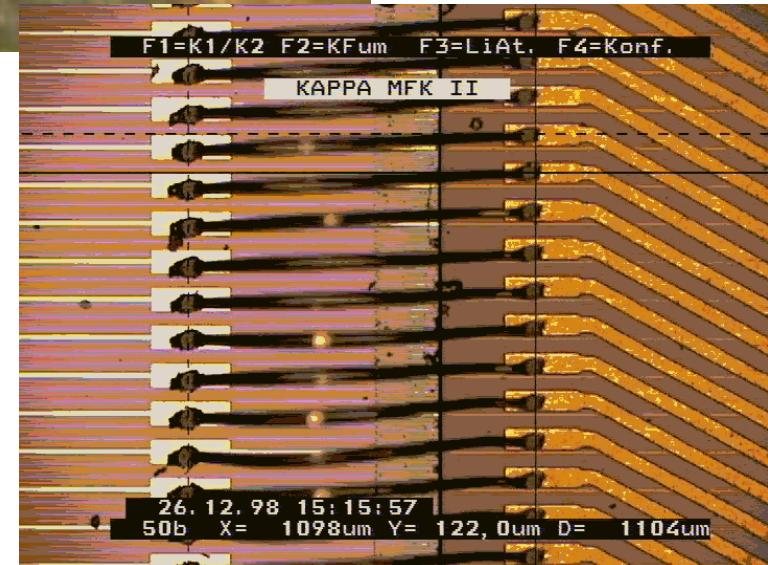
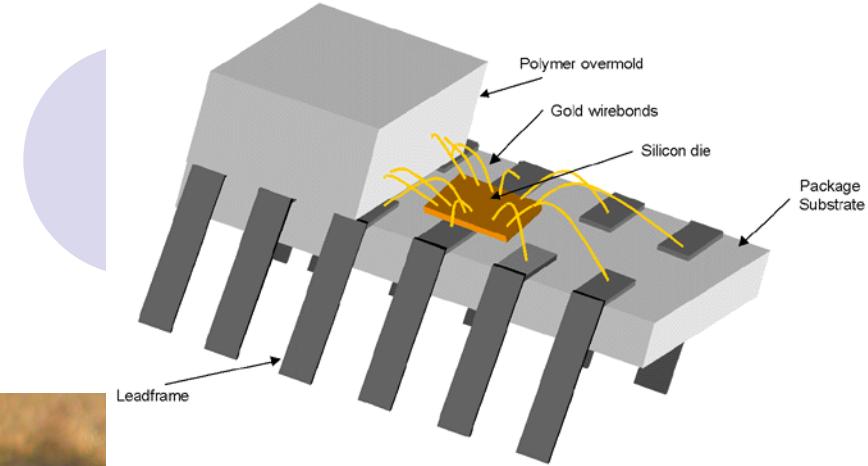
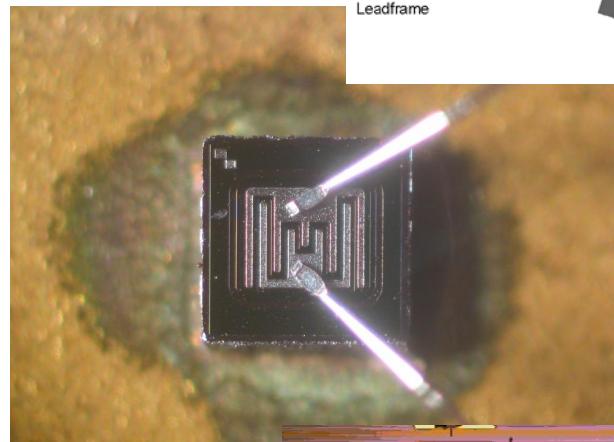
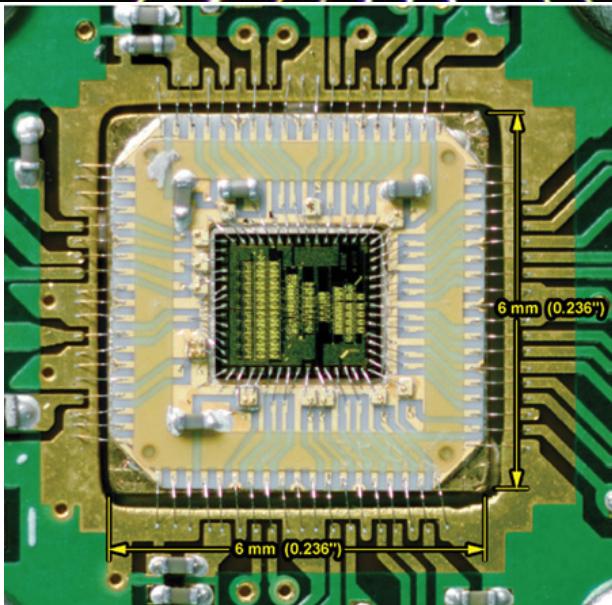
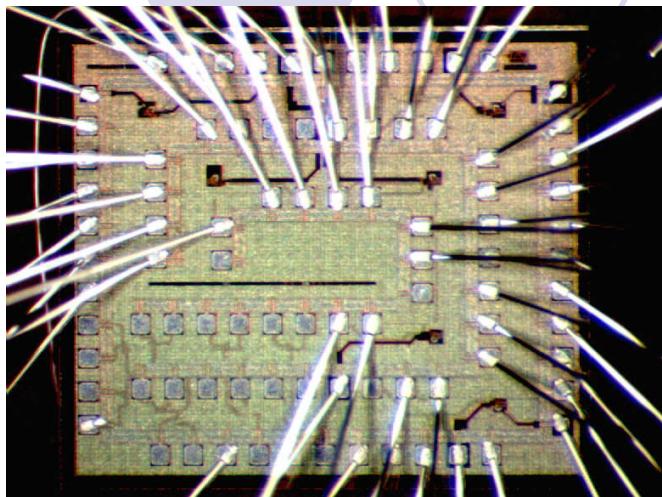
CMOS



Software e ciclo di progettazione

- La progettazione di un circuito integrato dipende pesantemente dal supporto sw:
 - Simulazione fisica di processo: effetti della temperatura, degli attacchi chimici, etc.
 - Simulazione fisica della struttura del dispositivo: campi elettrici, capacità, transconduttanza, beta, etc.
 - → si arriva a dare i parametri elettrici del dispositivo realizzato con una certa struttura fisica
 - Progettazione e simulazione elettrica del circuito (analogico) oppure
 - Descrizione della funzionalità del blocco (digitale) e sintesi automatica
 - → si arriva dare la “netlist” dei componenti, cioè chi sono e come sono collegati
 - Piazzamento e routing dei componenti (automatico o manuale)
 - Estrazione capacità parassite e verifica del progetto
 - → trasformazione in maschere per i diversi passi di processo
- In certi casi (ad es. rivelatori) si fa direttamente a mano la creazione delle maschere (tipicamente in processi non standard).

Interconnect e packaging

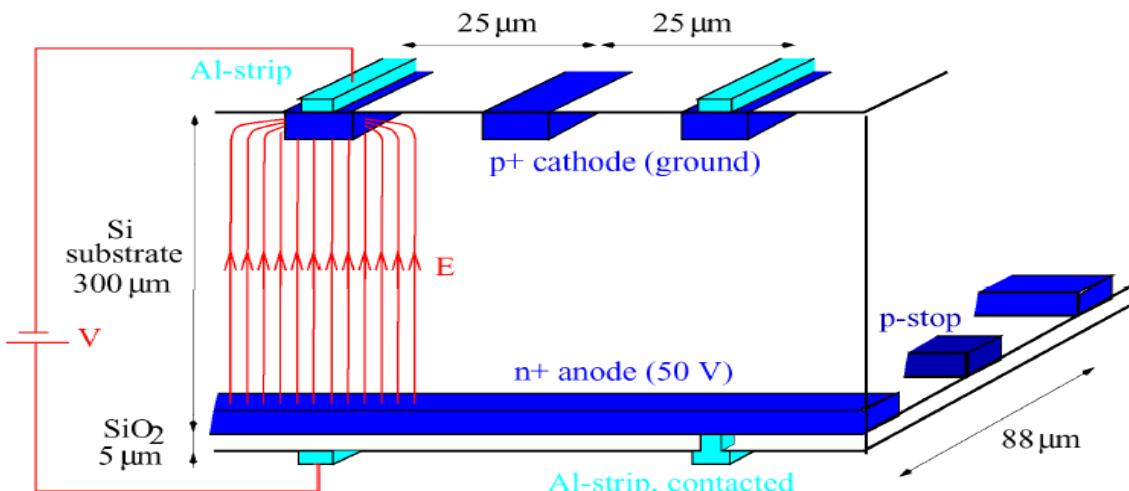


A Pisa...



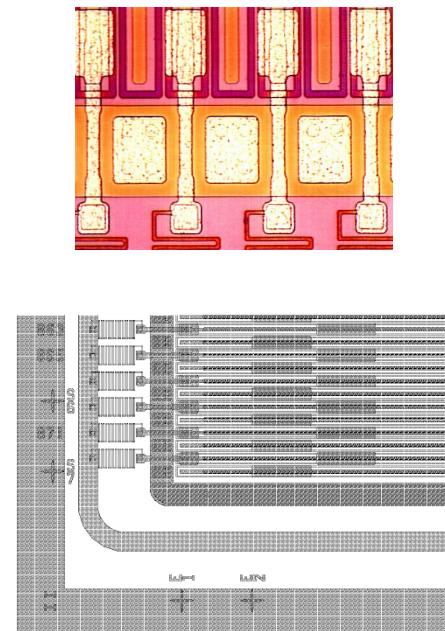
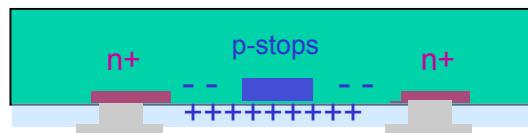
Rivelatori a doppia faccia

Double sided Readout

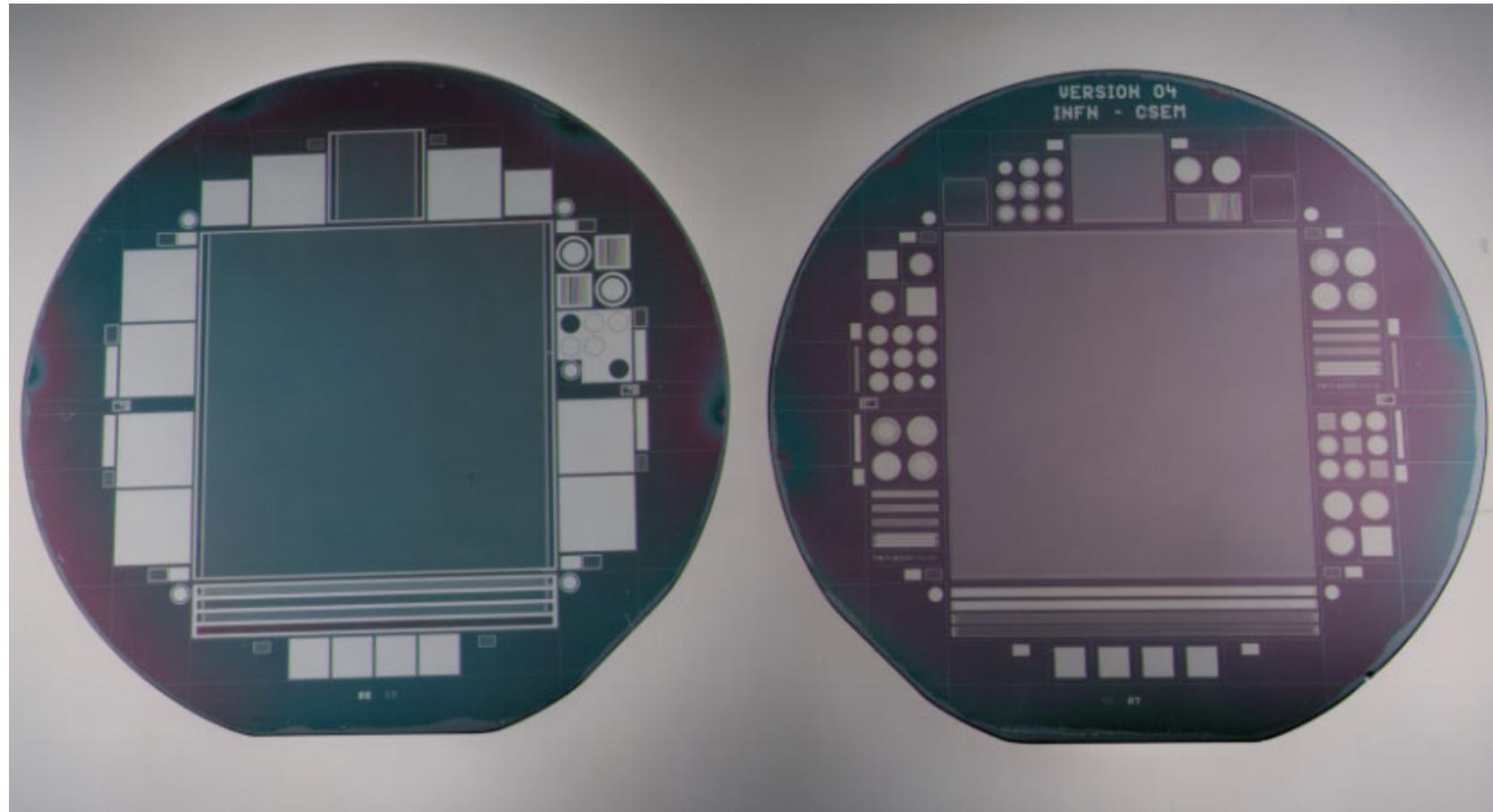


Make use of drift **electrons**: second coordinate without additional dead material !

Soluzione sviluppata a Pisa ('86):
strip p+ per interrompere lo strato di
accumulazione di e- che
cortocircuiterebbe tutte le strip n+



Wafer di rivelatore a strisce per tracciatura



BaBar Silicon Vertex Tracker (SLAC 1999-2008)

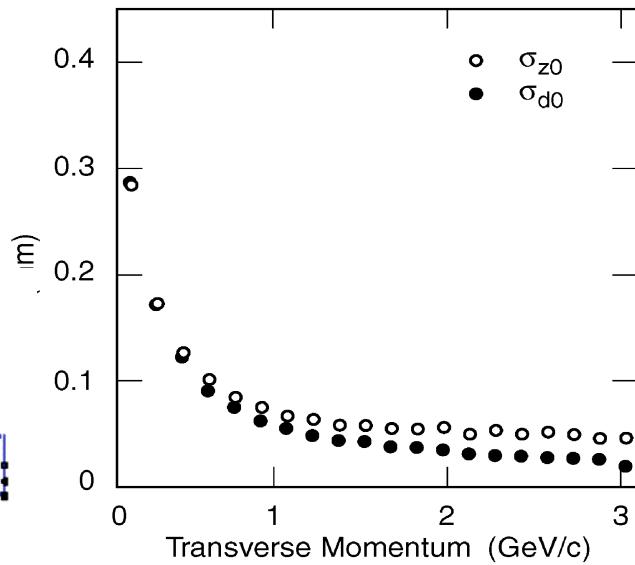
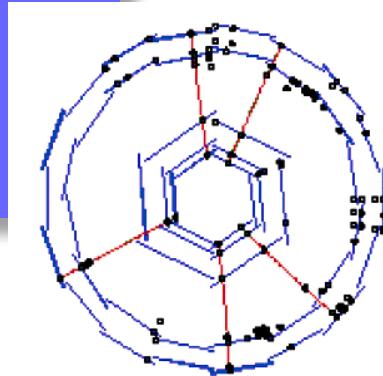
Programma di fisica alle B-factories:

- Studio delle asimmetrie di CP nei decadimenti dei mesoni B (Branching Ratios $\sim 10^{-4}$ - 10^{-5})
- Overconstrain dei parametri della matrice CKM

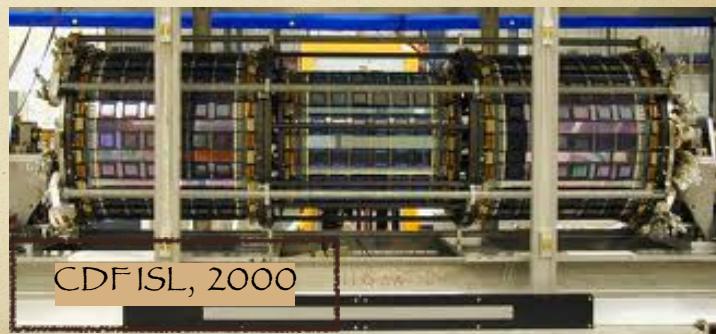
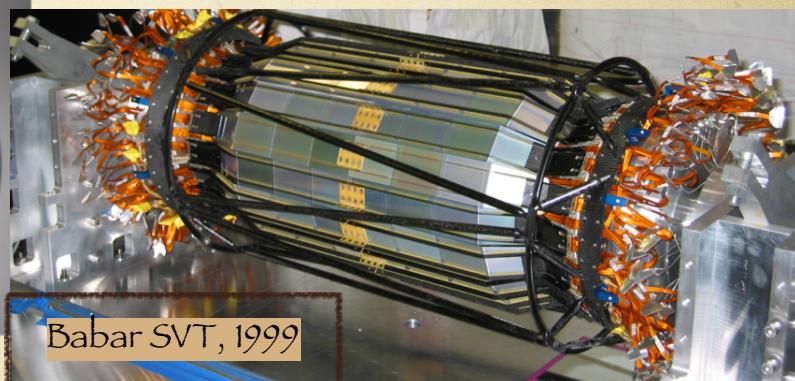
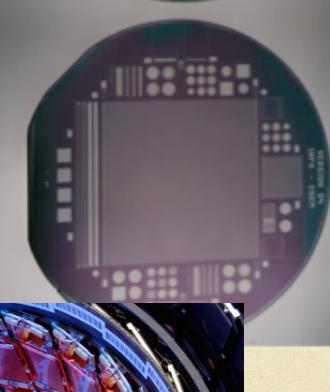
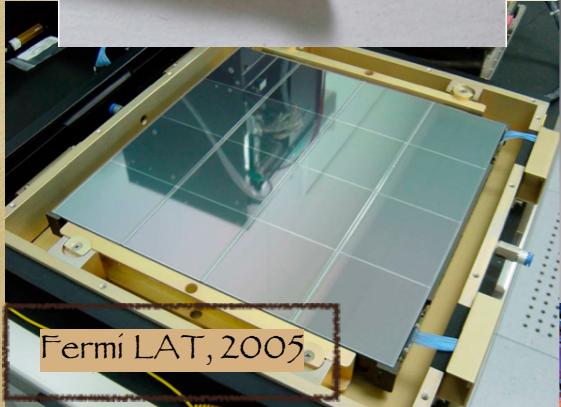
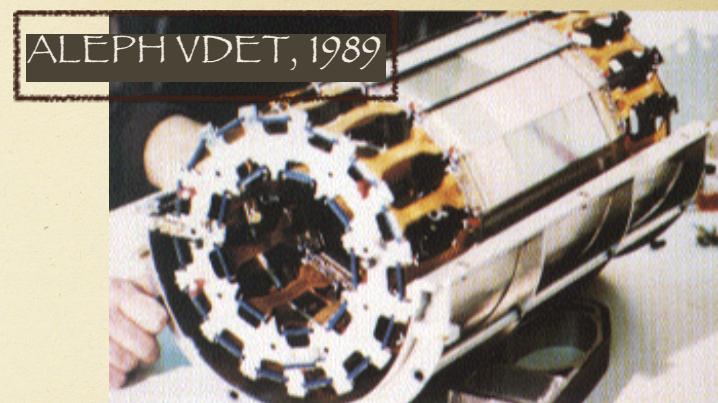
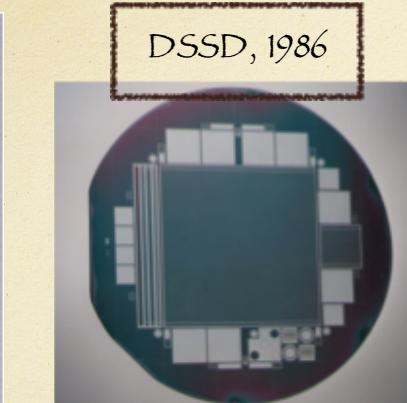
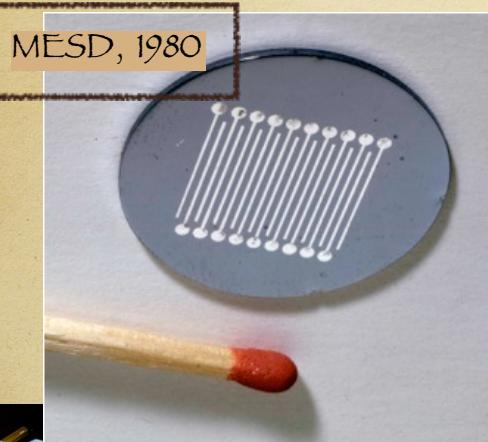


BaBar SVT

- 5 strati (sensori al silicio a doppia faccia)
- Design a basso contenuto di materiale: 0.5% X_0/strato ($P_t < 2.7 \text{ GeV}/c$)
- Tracking stand-alone per particelle a basso impulso trasverso.
- Efficienza di ricostruzione: 97%
- Risoluzione spaziale: $\sim 15\mu\text{m}$ (ad incidenza normale)

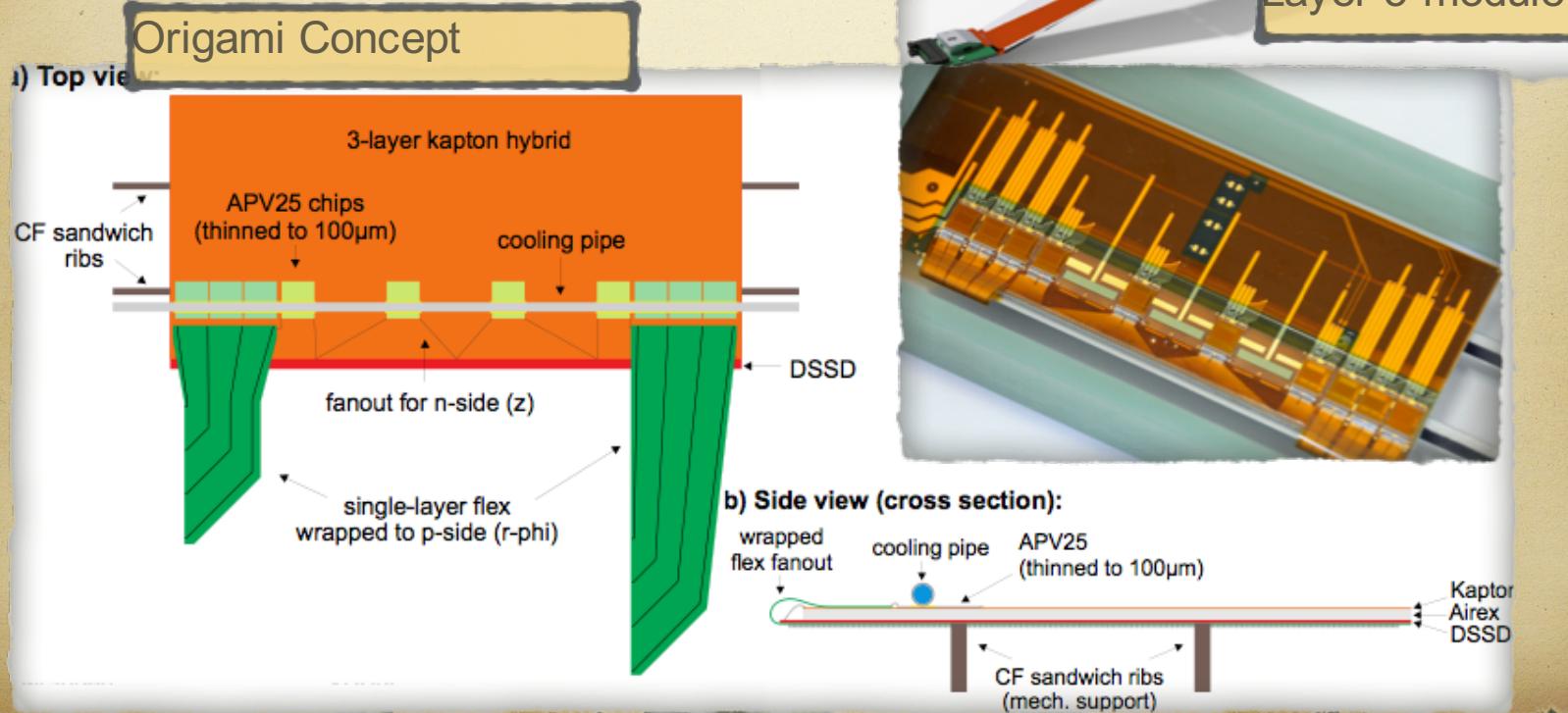
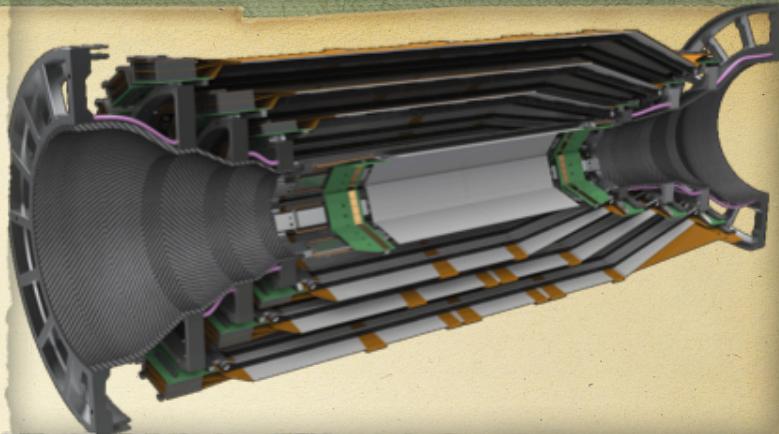


A long history: Semiconductor Strip Detectors



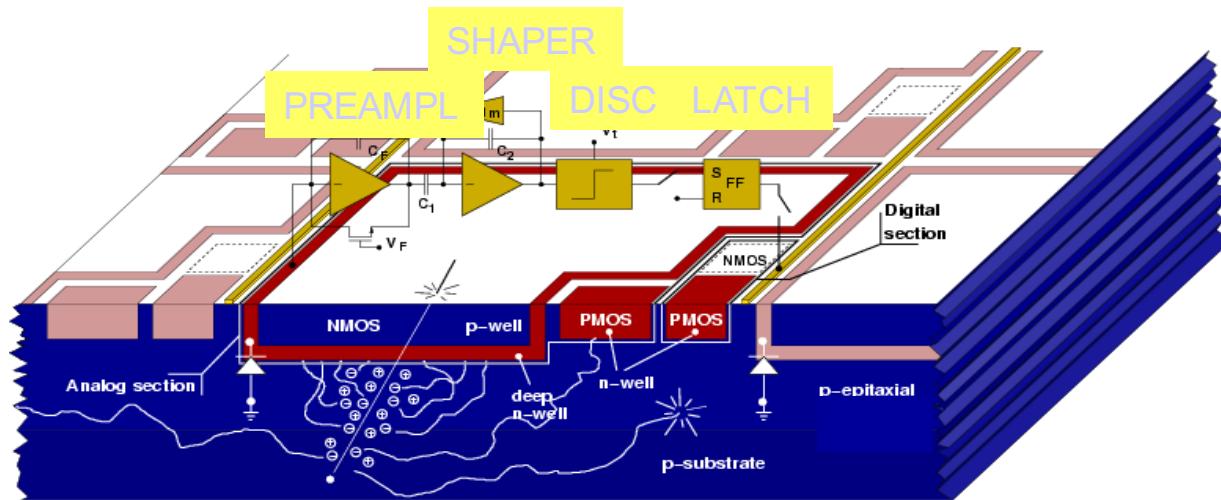
BELLE II SVD

- 4 layers of double-sided strip sensors
- APV25 readout
- Origami concept
- CO₂ evaporative cooling
- Install in 2017



Pixel monolitici attivi

- Deep NWell usata come elettrodo di raccolta
- Processing del segnale in-pixel, nella DNW, compatibile con architetture sparsificate → readout veloce
- Necessaria minimizzazione delle Nwell competitive nel pixel



Nel processo CMOS 130 nm, sono state sviluppate diverse matrici con pitch 50x50 μm^2 , testate con successo con sorgenti e su fascio

Progetto SLIM5: rivelatori su processo CMOS 130nm

Sub. 9/2006

Sub. 12/2004

APSEL0

Sub. 8/2005

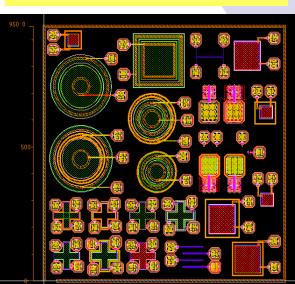
APSEL1

Sub. 8/2006

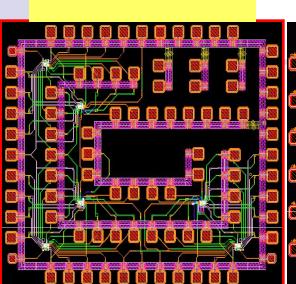
APSEL2M

APSEL2T

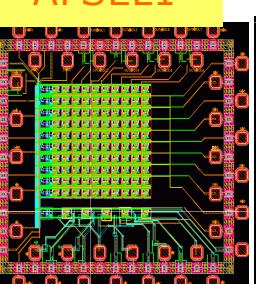
APSEL2_90



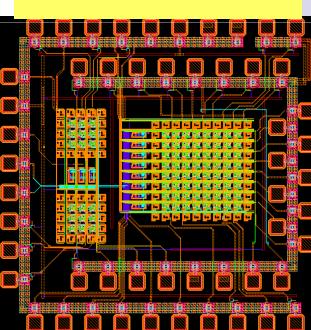
ST 130 Process
characterization



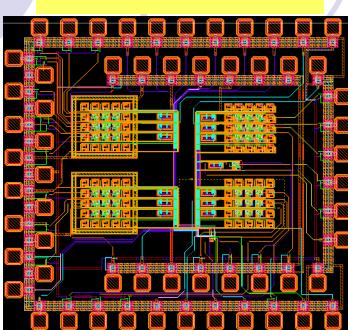
Preamplifier
characteriz.



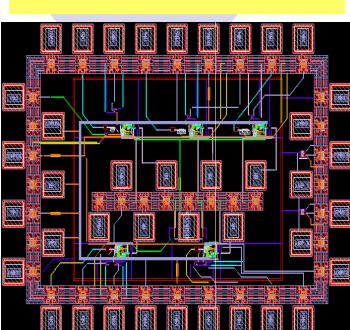
Improved F-E
8x8 Matrix



Cure thr disp.
and induction



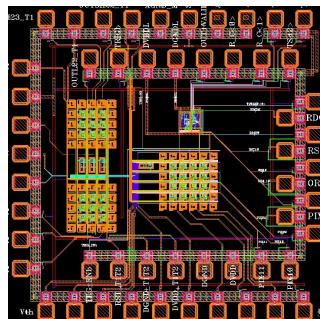
Accessible pixel
Study pix resp.



ST 90nm
characterization

Sub. 11/2006

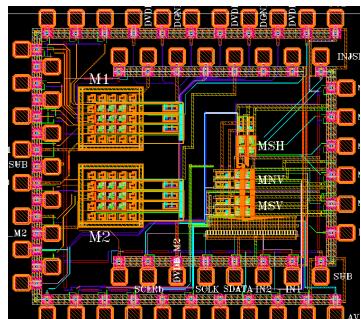
APSEL2D



Test digital RO
architecture

Sub. 5/2007

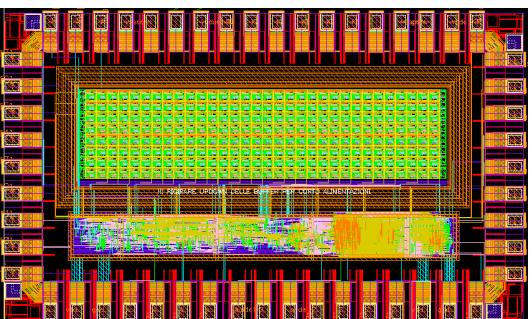
APSEL3_CT



Test chips for
shield, xtalk

Sub. 7/2007

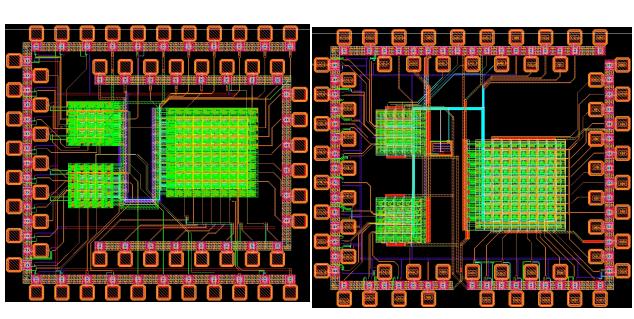
APSEL3D



32x8 Matrix. Shielded
pix. Test for final matrix

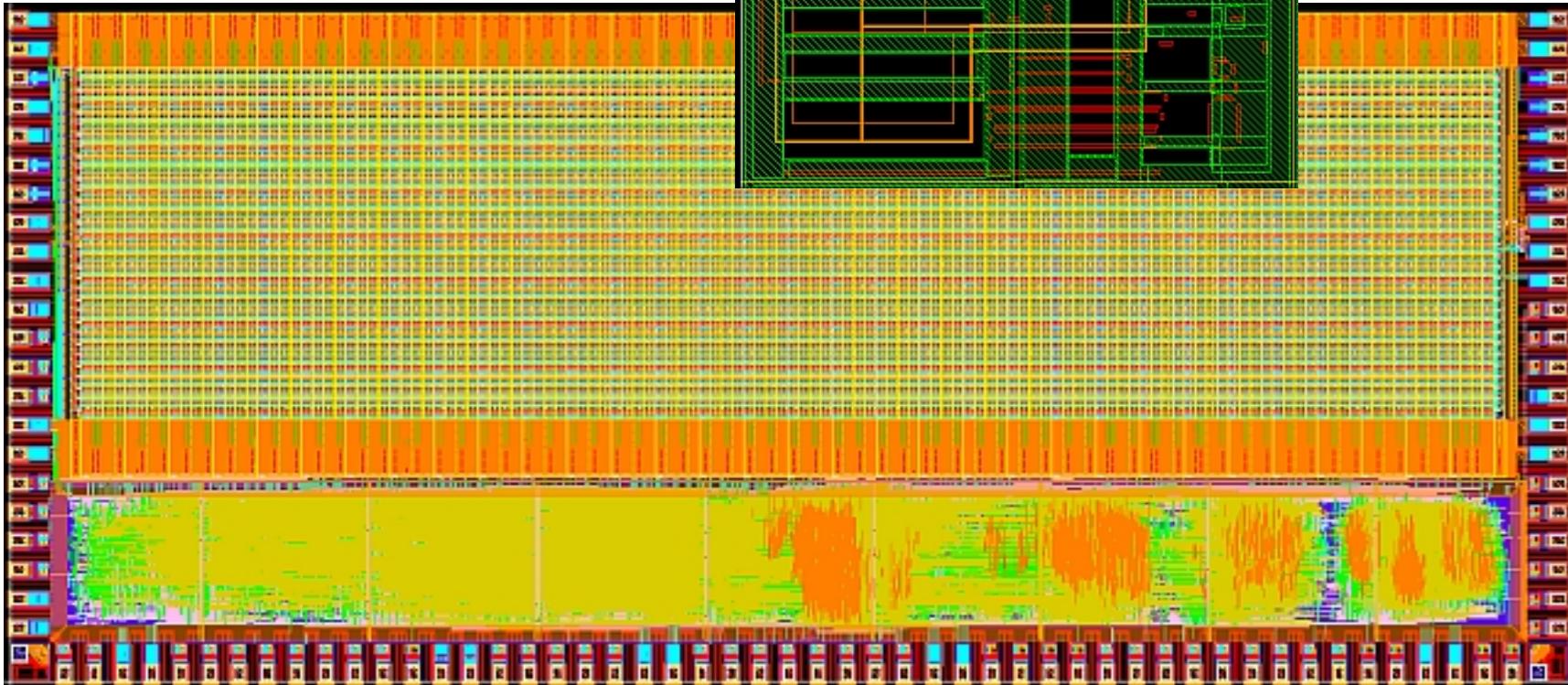
Sub. 7/2007

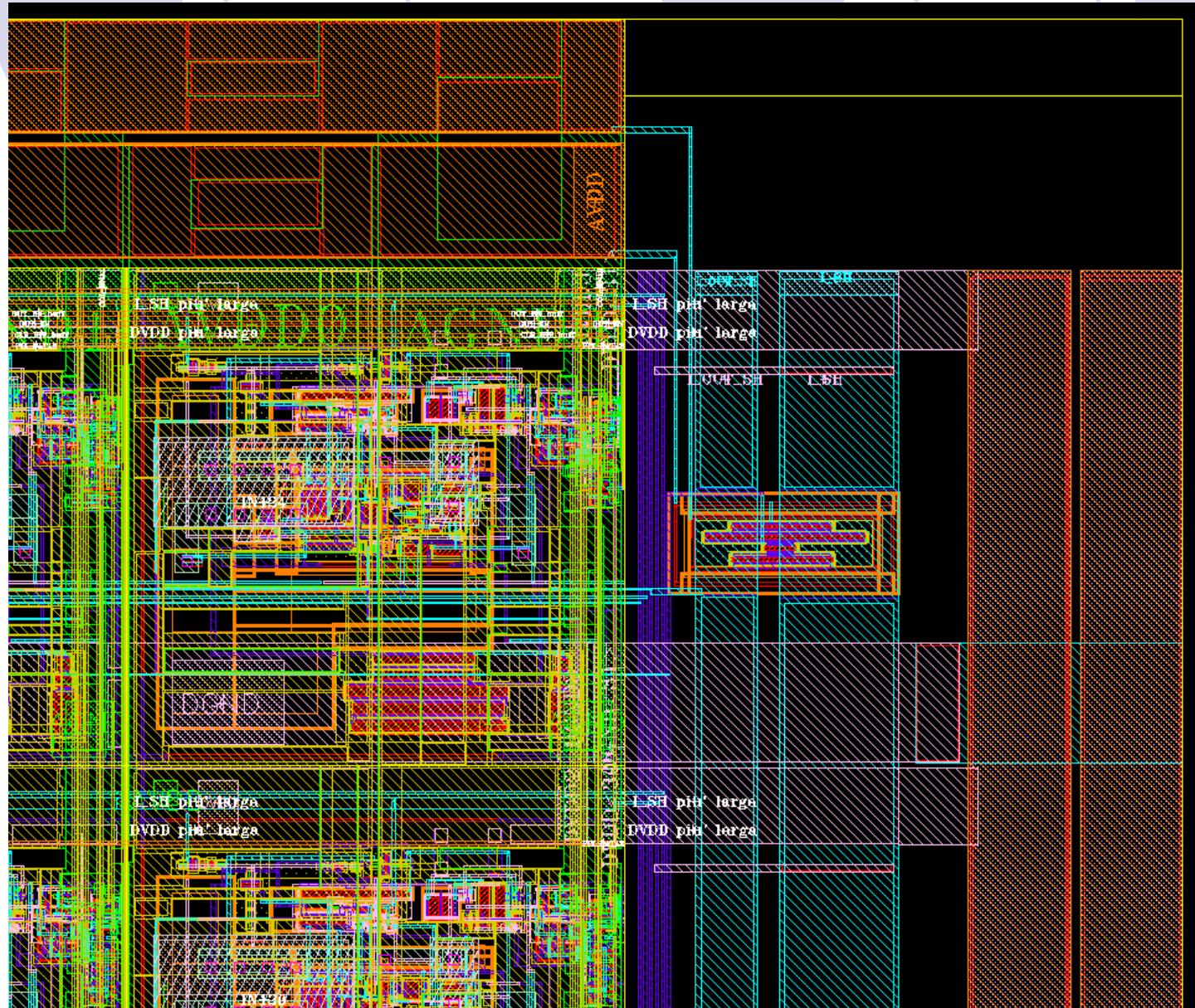
APSEL3_T1, T2



Test chips to optimize
pixel and F-E layout

APSEL4D





PixFEL: Sviluppo di rivelatori a pixel per applicazioni a macchine Free Electron Laser

G. Batignani, S. Bettarini, G. Casarosa, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G. Rizzo, Università e INFN, Pisa



Il progetto PixFEL ha lo scopo di sviluppare un rivelatore per il piano focale per la **rivelazione di raggi X** alla prossima generazione di macchine **Free Electron Laser**, con la funzione di ricostruire le immagini di diffrazione prodotte dai fasci coerenti ad alta brillanza. Le applicazioni sono molteplici, e spaziano dalla fisica dei materiali alla biologia. Nel progetto PixFEL si vogliono migliorare le prestazioni dei rivelatori esistenti utilizzando tecnologie avanzate, come **elettronica CMOS a 65nm, integrazione verticale, e sensori di silicio edgeless**, puntando a realizzare degli elementi di rivelazione con cui costruire un **mosaico di grandi dimensioni e zone morte ridottissime**, in grado di rivelare fotoni tra 1 e 10 keV con un range dinamico di 10^4 fotoni per pixel. Nel lungo periodo la collaborazione PixFEL vuole sviluppare una **X-ray camera** versatile che possa essere operata sia in modo impulsato che in modo continuo alle future macchine FEL come **Eu-XFEL o LCLS-II**

