

# Laboratorio di Fisica 3

Prof. F. Forti

## Esercitazione N. 12 Flip-Flop e contatori.

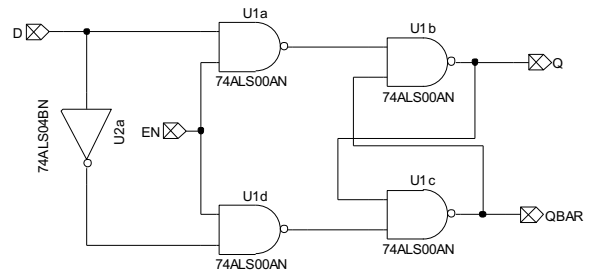
Questa esercitazione ha lo scopo di costruire alcuni circuiti logici sequenziali, progressivamente più complessi. Si raccomanda di eseguire un montaggio ordinato e pianificare lo spazio sulla basetta. Utilizzare fili di lunghezza corretta e con un codice di colori consistente: rosso e nero per l'alimentazione e la massa; verde, giallo-nero, verde-bianco per i segnali, utilizzando per esempio lo stesso tipo di filo per tutte la distribuzione del clock, etc.

**0) Materiale a disposizione.** Consultare i datasheet per le piedature e le caratteristiche degli integrati. Da notare che il 7493 e' alimentato in modo diverso dagli altri integrati.

- a. Circuiti integrati:
  - SN74LS00 Quad NAND Gate (x2)
  - SN74LS93 4-bit binary counter
  - SN74LS74 Dual D-Latch (x2)
  - SN74LS86 Quad XOR Gate
- b. 1 DIP Switch a 4 interuttori
- c. 1 pulsante (doppio contatto: 1 normalmente chiuso, 1 normalmente aperto)
- d. 4 diodi LED

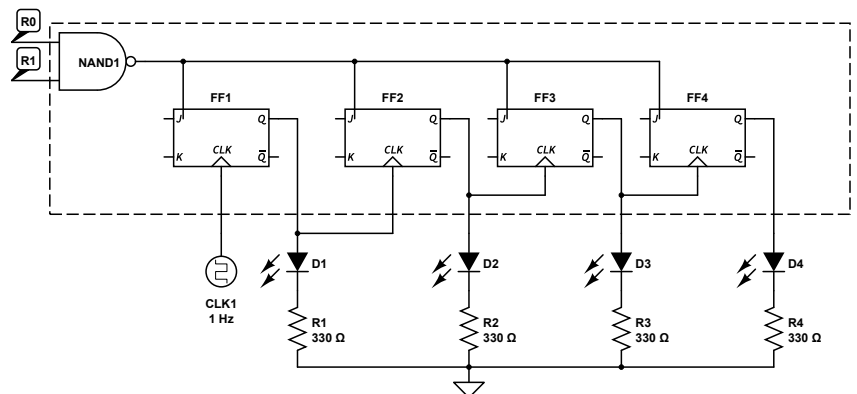
### 1) Flip-Flop D-Latch

- a. Montare un flip-flop D-Latch utilizzando le porte NAND e NOT come indicato in figura. Collegare l'ingresso **DATA** all'impulsatore l'ingresso **ENABLE** ad uno switch.
- b. Verificare il corretto funzionamento del circuito e la tabella di verità. Misurare il ritardo tra il segnale in ingresso e quello in uscita.
- c. Qual e' la funzione della porta NOT sull'ingresso? L'ingresso EN è attivo alto oppure attivo basso ?



### 2) Divisori di frequenza

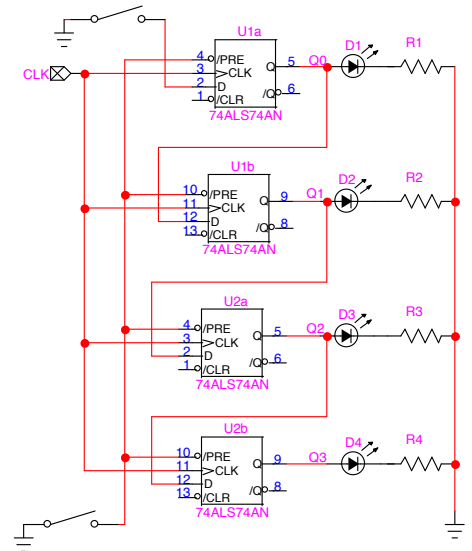
- a. Si vuole costruire un divisore di frequenza binario (x2, x4, x8, x16) utilizzando un contatore a 4 bit basato su FF JK contenuti nell'integrato 74LS93. Montare il circuito come in figura, collegando l'uscita del primo FF al CLKB che pilota i successivi 3 FF. Collegare le 4 uscite ai 4 LED, attraverso resistenze di limitazione di corrente. Almeno uno degli ingressi di Reset (R0,R1) deve essere basso perché il circuito funzioni.



- Inviare un clock a bassa frequenza (circa 1 Hz) e verificare che il circuito agisca come contatore e che sui LED appaia la codifica binaria dei numeri da 0 a 15.
- Inviare un clock di frequenza più elevata (50-100kHz) ed verificare che su QA, QB, QC, QD appaiano segnali di frequenza 1/2, 1/4, 1/8, 1/16 della frequenza di clock. Misurare il ritardo tra la transizione del clock e quella di QA, QB, QC, QD e spiegare i risultati ottenuti.
- Progettare e costruire un circuito che resett il contatore quando arriva 10, in modo da avere segnale di frequenza 1/10 della frequenza di clock. E' possibile sia un reset sincrono (cioè che agisce in corrispondenza solo in corrispondenza del clock) che asincrono (cioè che agisce non appena si raggiunge il conteggio 10). E' sufficiente montarne un tipo, e discuterne le caratteristiche.

### 3) Shift register con D-Latch

- Si costruisca uno shift register a 4 bit utilizzando 2 integrati 74LS74 che contengono 2 FF D-Latch ciascuno. Collegare gli ingressi di Preset ad un **pulsante** verso massa e le 4 uscite ai LED. Collegare l'ingresso Data del primo FF al **DIP switch**. Inviare un clock a bassa frequenza e verificare il funzionamento del circuito. NB: in teoria gli ingressi CLR(negato) e PRE(negato) possono essere lasciati disconnessi, ma se si dovessero osservare malfunzionamenti, è bene collegarli ai 5V attraverso una resistenza di pull-up da 1K.
- Qual è lo stato delle uscite dopo aver premuto il pulsante di preset (pull) ?



### 4) Generatore di sequenze pseudo-casuali

- Utilizzare i due bit più significativi (Q2 e Q3) come "tap", collegandoli ad un XOR la cui uscita è collegata all'ingresso Data del primo FF.
- Inviando un clock a bassa frequenza verificare la sequenza e riportarla facendo vedere che è completa.
- Discutere quali altri "tap" si possono utilizzare per ottenere una sequenza completa, aiutandovi eventualmente con la documentazione presente in rete.

