

**Politecnico di Torino**  
Scuola di Ingegneria e Architettura

**Sistemi Digitali Integrati**

Prof. Massimo Rou Roch  
Prof. Maurizio Zamboni

**Relazione FFT**



**Politecnico  
di Torino**

Federico Cobianchi  
Onice Mazzi  
Antonio Telmon

A.A. 2025/2026

# Indice

|          |   |          |
|----------|---|----------|
| <b>1</b> | <b>Introduzione</b>                       | <b>1</b> |
| <b>2</b> | <b>Data Flow Diagram</b>                  | <b>2</b> |
| 2.1      | Specifiche blocchi operazionali . . . . . | 2        |
| 2.2      | Approccio ASAP . . . . .                  | 2        |
| 2.3      | Approccio ALAP . . . . .                  | 2        |
| <b>3</b> | <b>Datapath</b>                           | <b>2</b> |

# 1 Introduzione

La FFT (Fast Fourier Transform) è un'operazione fondamentale per tutti i sistemi di elaborazione dei segnali digitali. È utilizzata nelle telecomunicazioni, nell'elaborazione audio e nei sistemi embedded ad alte prestazioni. L'algoritmo FFT si basa sull'operazione butterfly, che è una struttura di manipolazione dei dati che esegue combinazioni lineari di dati complessi mediante somma, sottrazione e moltiplicazione con coefficienti complessi.

Lo scopo di questo progetto è progettare un'unità di elaborazione dedicata per eseguire la Butterfly FFT, utilizzando tecniche di microprogrammazione e considerando vincoli realistici dell'architettura hardware. Più specificamente, questo progetto si occupa della gestione di dati complessi in una rappresentazione frazionaria a complemento a due di 24 bit, dell'uso della Scansione in Virgola Mobile a Blocco Incondizionata per gestire il sovraccarico e dell'implementazione di un datapath ottimizzato dati i vincoli di risorse computazionali limitate e pipeline interna. Il lavoro include la derivazione del diagramma di flusso dei dati dell'algoritmo, l'ottimizzazione del datapath e dell'unità di controllo, la completa descrizione dell'architettura in VHDL e la verifica funzionale attraverso simulazioni. Infine, la Butterfly implementata deve essere utilizzata come blocco di base per l'implementazione e il collaudo di una FFT 16x16, che ne dimostra la validità e la scalabilità della soluzione.

Per creare la singola butterfly sono stati seguiti i seguenti passi:

- Creazione del Data Flow Diagram
- Stima del tempo di vita delle variabili
- Creazione del Datapath
- Creazione della Control Unit (CU)
- Test finali

Data la necessità di utilizzare diversi blocchi logici quali moltiplicatori, sommatori, sottrattori, registri e multiplexer sono state eseguite delle simulazioni intermedie rispetto ai punti appena descritti per facilitare il lavoro di debug. Si è proceduto nel modo descritto quanto è da preferire rispetto ad un approccio "trial and error" dove tutti i blocchi non vengono testati e si procede solamente al test finale della butterfly. Nel caso fosse stata scelta questa strategia progettuale sarebbe stato pressoché impossibile andare a trovare dove fosse l'errore nel caso si fosse verificato qualche malfunzionamento.

Una volta completata la singola butterfly è stato creato il processore che esegue la FFT unendo tra loro le varie unità necessarie per adempiere alla richiesta finale del progetto. Una volta implementato il tutto il sistema è stato testato nella sua interezza per constatare l'effettivo funzionamento.

## 2 Data Flow Diagram

In questo capitolo verrà illustrato l'approccio che è stato scelto per il data flow diagram. Andando prima a confrontare gli approcci "As Soon As Possible" ASAP e "As Late As Possible" ALAP. Infine verranno illustrati i blocchi operazionali presenti nelle specifiche di progetto e l'approccio che è stato utilizzato per ottimizzare le tempistiche dell'algoritmo.

### 2.1 Specifiche blocchi operazionali

#### 2.2 Approccio ASAP

L'approccio "As Soon As Possible", è un approccio che predilige lo svolgimento delle operazioni non appena si ha disponibilità.

#### 2.3 Approccio ALAP

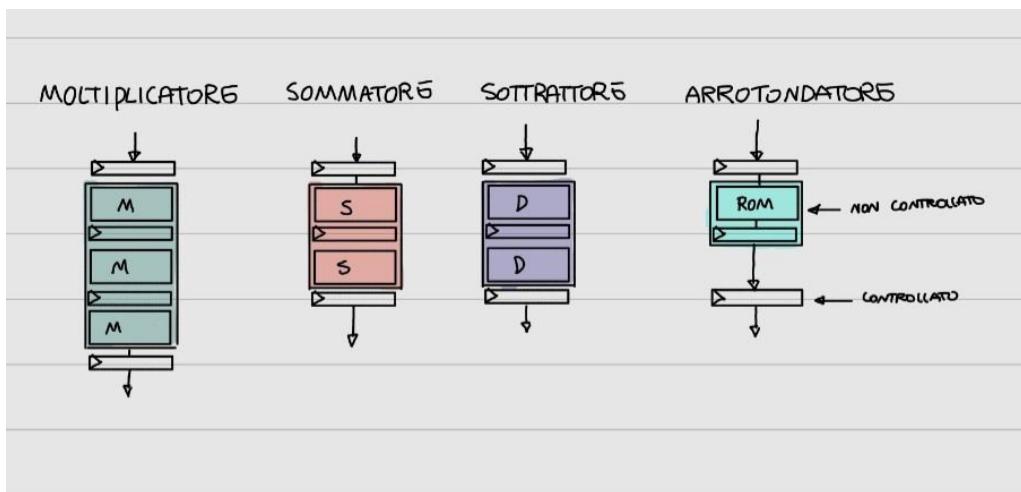


Figura 1: Blocchi elementari del data flow diagram

## 3 Datapath

Dopo aver stimato e valutato il tempo di vita delle variabili si è iniziato a progettare il datapath necessario a svolgere tutte le operazioni richieste della CU. Il primo datapath studiato è rappresentato in *Fig. 2*. Come si vede dallo schema non è stato apportato ancora nessun miglioramento volto all'ottimizzazione del numero di BUS e/o al loro parallelismo.

Successivamente si è preso come riferimento il Data Flow Diagram (DFD) e si sono apportate delle migliorie per ciò che concerne l'efficienza dello schema circuitale. Come si vede da *Fig. 3* il register file è stato mantenuto e tutti i segnali che devono entrare all'interno del Datapath passano attraverso di esso. A valle sono stati inseriti dei MUX con lo scopo di selezionare i vari dati da mandare ai blocchi logici. Dal DFD è chiaramente visibile il fatto che i vari segnali, durante il loro tempo di vita, entreranno solo in specifici blocchi logici, risulta perciò superfluo e deleterio avere dei collegamenti (BUS) tra ogni uscita del register file e ogni blocco logico. Dao che l'uscita di un blocco logico potrebbe dover essere riutilizzata in uno step successivo

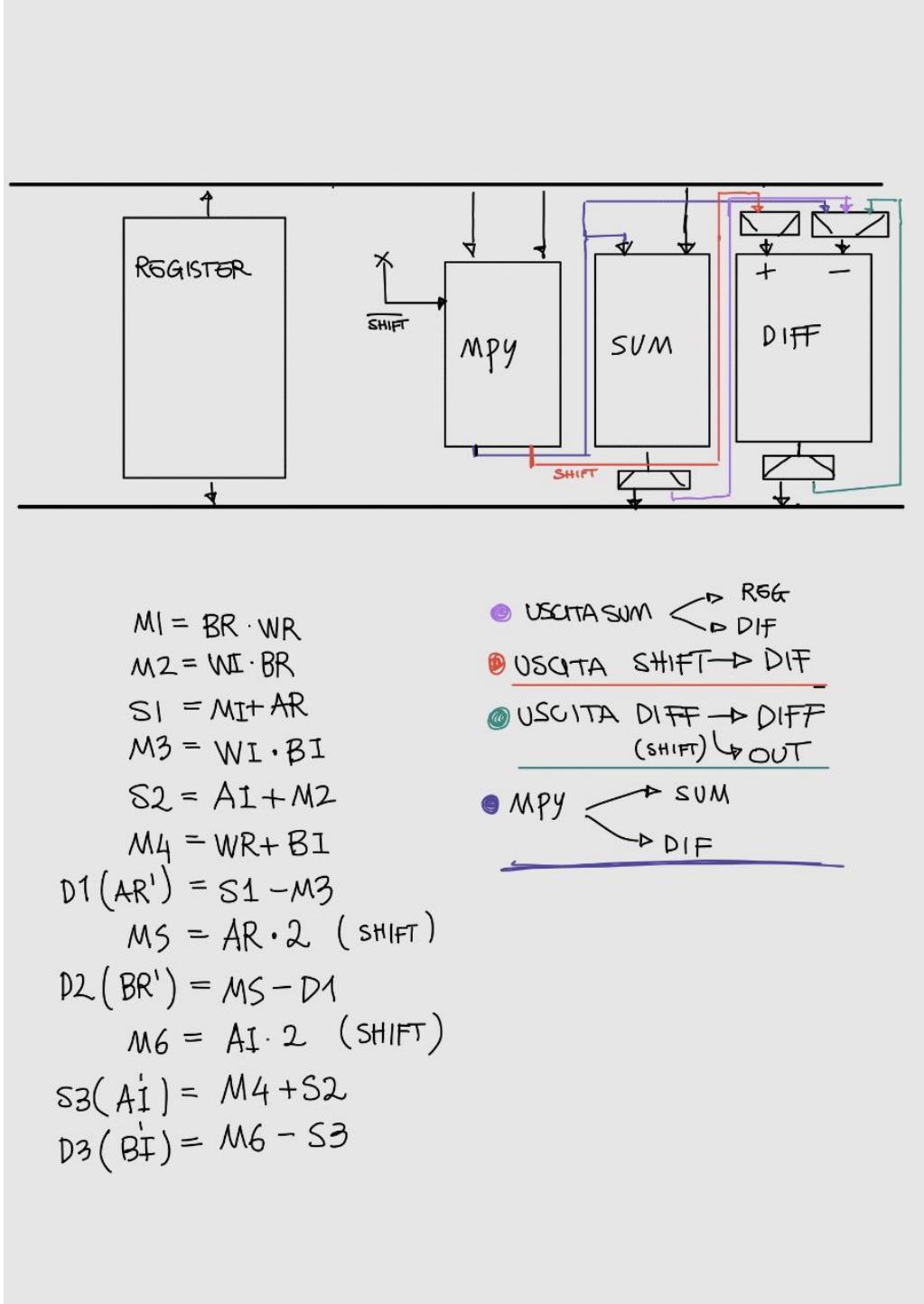


Figura 2: Schema del datapath iniziale

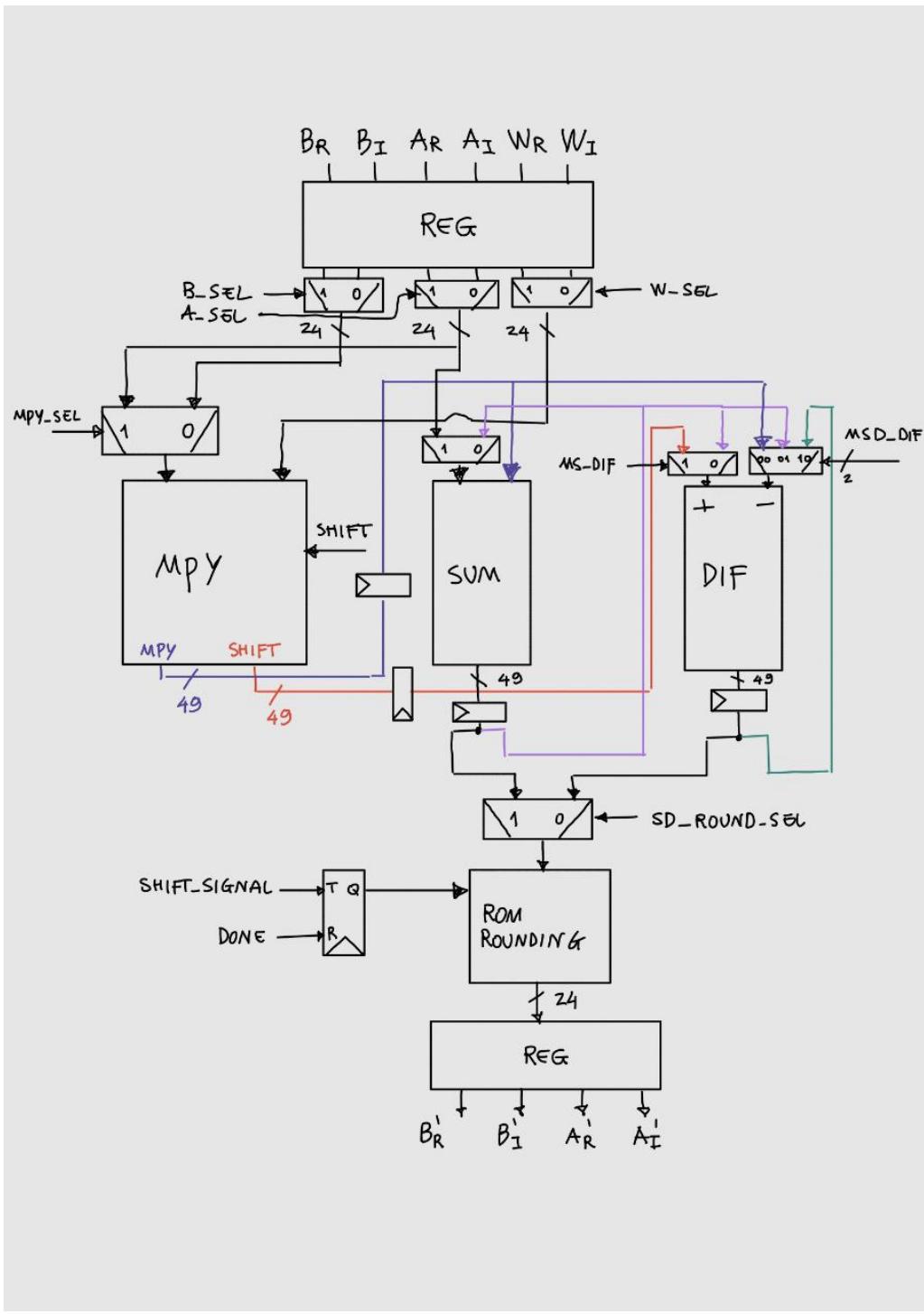


Figura 3: Schema del datapath finale