



Politecnico di Torino
III Facoltà di Ingegneria

Sistemi elettronici a basso consumo

Relazioni di laboratorio

Laurea Magistrale in Ingegneria Elettronica
Orientamento: Sistemi Elettronici

Autori: gruppo 9

Simone Favero, Federico Micelli, Francesca Spanna

March 31, 2020

Contents

1	Laboratorio 1	1
1.1	Calcolo di probabilità e attività: porte logiche elementari	1
1.2	Calcolo di probabilità e attività: half adder e full adder	2
1.3	Sintesi e analisi di potenza di un RCA	4
1.3.1	example of a description	5
1.3.2	Example of a table:	5
1.3.3	Example of a small equation:	6
1.4	Analisi di un Multiplexer	6
1.5	Analisi di un Contatore Sincrono	6

CHAPTER 1

Laboratorio 1

1.1 Calcolo di probabilità e attività: porte logiche elementari

Il primo esercizio consiste nel valutare le probabilità e attività di quattro porte logiche elementari: NOT, AND, OR e XOR.

Mentre la probabilità di uscita del gate è definita dalla funzione logica stessa, la switching activity è valutata allo stesso modo per tutti i casi, mediante la seguente formula:

$$A = 2 * P1 * p0$$

Di seguito è riportata l'analisi delle porte logiche richieste, considerando ingressi equiprobabili e scorrelati.

- **NOT**

$$P(Y=1) = 1 - P(A=1) = 0.5$$

$$A(Y) = 0.5$$

- **AND**

$$P(Y=1) = P(A=1) * P(B=1) = 0.25$$

$$A(Y) = 0.375$$

- **OR**

$$P(Y=1) = 1 - ((1 - P(A=1)) * (1 - P(B=1))) = 0.75$$

$$A(Y) = 0.375$$

- **XOR**

$$P(Y=1) = P(A=1) * (1 - P(B=1)) + P(B=1) * (1 - P(A=1)) = 0.5$$

$$A(Y) = 0.5$$

Simulando il test bench fornito tramite ModelSim è possibile ottenere un file riportante il numero di commutazioni di ogni segnale del circuito durante il tempo di simulazione. Il testbench fornito sfrutta un generatore di numeri casuali per generare gli ingressi delle porte, rendendo questi ultimi equiprobabili e statisticamente indipendenti. In particolare, è possibile ricavare la switching activity delle uscite dividendo il numero di commutazioni per il numero di cicli di clock simulati. Sono riportati i seguenti valori:

E' possibile stimare la switching activity dividendo il numero di commutazioni di un nodo per il numero di colpi di clock. Dal momento che il parametro Tc si riferisce al numero di commutazioni, il numero di cicli di clock è ottenuto dividendo per due tale parametro riferito al clk. I risultati dei calcoli sono riportati nella seguente tabella.

Tc(CLK)	Tc(INV)	Tc(AND)	Tc(OR)	Tc(XOR)
topolino	minni	tip	tap	
paperino	paperina	orazio	clarabella	
qui zio paperone	quo gastone	qua paperoga	ottoperotto battista	

Table 1.1: A caption for your table

Tc(CLK)	A(INV)	A(AND)	A(OR)	A(XOR)
topolino	minni	tip	tap	
paperino	paperina	orazio	clarabella	
qui zio paperone	quo gastone	qua paperoga	ottoperotto battista	

Table 1.2: A caption for your table

Per garantire una migliore visualizzazione dei dati ottenuti al variare del tempo di simulazione, sono stati realizzati i seguenti grafici.

Si osserva che all'aumentare del tempo di simulazione la stima della Esw risulta a man mano più accurata. In particolare, nel caso analizzato, si osserva che per un numero di cicli di clock superiore a 10000, i due dati sono confrontabili.

1.2 Calcolo di probabilità e attività: half adder e full adder

Dalle tavole di verità si ottengono le seguenti funzioni:

- **Half adder**

$$S = A \text{ XOR } B \quad \text{Cout} = A \text{ AND } B$$

- **Full adder**

$$S = A \text{ XOR } B \text{ XOR } C_{in} \quad \text{Cout} = A \text{ AND } B \text{ AND } C_{in}$$

Partendo dalle funzioni delle uscite è stato possibile ricavare le probabilità associate alle uscite e le relative switching activity.

- **Half adder**

$$P(S=1) = P(\text{Cout} = 1) = A(S) = A(\text{COut}) =$$

- **Full adder**

$$P(S=1) = P(\text{Cout} = 1) = A(S) = A(\text{COut}) =$$

Sfruttando i risultati ottenuti per il singolo full adder, è possibile ottenere le probabilità e le attività di un ripple carry adder di parallelismo 8 bit.

schema

Si considerano ingressi equiprobabili con eccezione del carry in ingresso al primo full adder, fissato a 0.

I risultati ottenuti sono riportati nella seguente tabella.

Variando le probabilità associate agli ingressi, in particolare considerando $P(A=1) = 0.4$ e $P(B=1) = 0.6$, si ottengono i seguenti risultati.

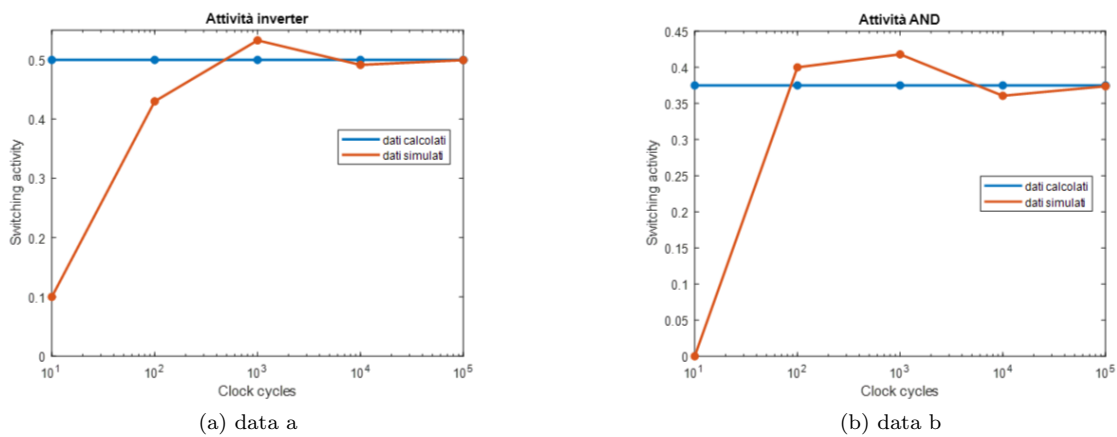


Figure 1.1: all the data

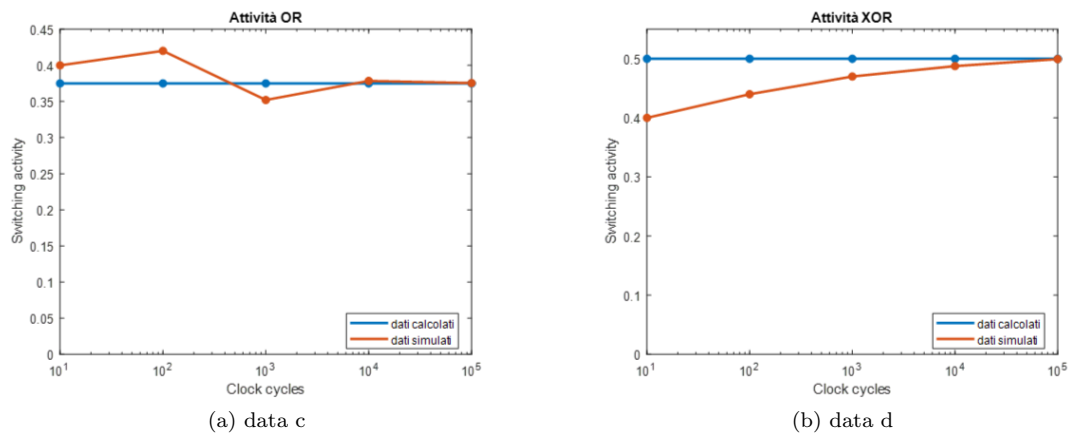


Figure 1.2: all the data

	S7	S6	S5	S4
topolino	minni	tip	tap	
paperino	paperina	orazio	clarabella	
qui	quo	qua	ottoperotto	
zio paperone	gastone	paperoga	battista	

Table 1.3: A caption for your table

	S7	S6	S5	S4
topolino	minni	tip	tap	
paperino	paperina	orazio	clarabella	
qui	quo	qua	ottoperotto	
zio paperone	gastone	paperoga	battista	

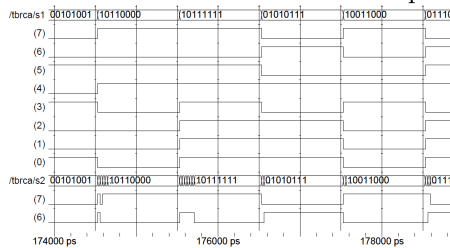
Table 1.4: A caption for your table

E' possibile notare come la probabilità delle varie uscite sia funzione delle probabilità degli ingressi. In particolare, la probabilità delle uscite relative alle somme aumenta. Commenti su tabella

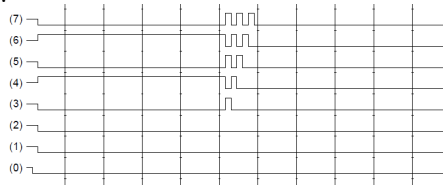
Al fine di avere un riscontro sui dati stimati, sono state effettuate due simulazioni tramite ModelSim: in un primo caso è stato considerato un ritardo solamente sulle uscite relative alla somme; successivamente è stato introdotto un ulteriore ritardo anche sul carry in uscita di ogni FA. Come descritto precedentemente, il file fornito da Modelsim riporta il numero di commutazioni dei segnali, di conseguenza l'attività è stata calcolata come prima.

TABELLA ES 2 ANALISI

Si nota come la prima simulazione abbia fornito dati comparabili con quelli precedentemente stimati. Nella seconda simulazione, invece, la presenza di un ritardo sul carry di uscita di ogni FA ha come conseguenza un generale aumento dell'attività delle uscite di somma. Tale ritardo causa infatti glitch, responsabili dell'aumento della Esw. Tale risultato è particolarmente evidente considerando la Esw totale dei due casi: si nota che la presenza del ritardo raddoppia tale valore.



E' possibile notare, attraverso le waveforms, la presenza di commutazioni indesiderate nel secondo caso.



COMMENTO SU WORST CASE PER COMMUTAZIONI

1.3 Sintesi e analisi di potenza di un RCA

E' possibile effettuare una stima di potenza avanzata attraverso la piattaforma Synopsys. Partendo infatti dalla descrizione VHDL del RCA fornito, il software è in grado di compiere una sintesi ottimizzata e valutare parametri del circuito basandosi su una libreria di celle caratterizzate dal punto di vista di area, consumi e ritardi.

Per poter stimare la potenza dinamica è necessario conoscere la frequenza di lavoro del circuito, ottenuta valutando il percorso combinatorio con ritardo maggiore: è possibile valutare tale parametro del circuito attraverso un timing report. Il ritardo massimo riportato è pari a 0.78ns, di conseguenza è stato scelto un periodo di clock pari a 1ns.

Successivamente è possibile procedere con l'analisi relativa alla potenza. Il comando power report consente di ottenere una generica stima della potenza dissipata dal circuito, distinguendo tre contributi:

- **leakage**: consumo statico dovuto alle correnti di leakage dei dispositivi utilizzati
- **internal**: contributo alla potenza dinamica totale dovuto alla corrente di corto circuito
- **switching**: contributo alla potenza dinamica dovuto alle commutazioni dei nodi e alle relative cariche/scariche delle capacità

Nella seguente tabella è riportata la suddivisione dei tre contributi.

TABELLA

L'apporto maggiore al consumo totale è dato dalla potenza dinamica, in particolare dal consumo della potenza interna.

E' interessante notare la suddivisione del consumo in potenza per i vari moduli interni (fa) dell'RCA. E' possibile ottenere ciò tramite un power report di tipo gerarchico. La distribuzione dei consumi è riportata nella seguente tabella.

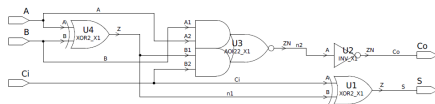
TABELLA

E' possibile notare come la suddivisione risulti simile per tutti i FA fatta eccezione per FA 8. In particolare si differenzia dagli altri per il consumo relativo alla potenza di switch. Si ipotizza che quest'ultima risulti inferiore rispetto agli altri full adder a causa del minor carico di uscita.

E' inoltre possibile approfondire l'analisi di potenza considerando i contributi interni dei singoli moduli. In particolare, è possibile mettere in luce i contributi dei nodi interni ai singoli full adder, sempre suddivisi nei tre contributi precedentemente descritti.

in particolare, per comprendere l'origine del consumo inferiore del FA8, quest'ultimo è stato analizzato come cella ed è stato confrontato con il FA1.

TABELLA la differenza nel consumo di potenza di switching è individuata nel nodo U2, legato al carry in uscita.



E' possibile ottenere informazioni aggiuntive sul calcolo della potenza di switching con un'analisi di tipo verbose. In tale analisi, in particolare, sono riportati i contributi capacitivi necessari al calcolo della switching power, espressi nodo per nodo.

TABELLA

E' possibile notare come il nodo legato al carry in uscita presenti una capacità inferiore per il FA8. Ciò conferma l'ipotesi legata al carico inferiore.

Analizzando i vari FA con analisi di tipo verbose si nota inoltre che i contributi di capacità relativi ai nodi della somma (U1) siano trascurabili rispetto agli altri contributi. DI conseguenza si nota che il contributo di potenza relativo a tale nodo è di un ordine di grandezza inferiore rispetto agli altri. CONFRONTO SWITCHING ACTIVITY CONFRONTO VERBOSE RCA

1.3.1 example of a description

latex is a powerful editing and formatting language, whaich helps you at writing reporte, books, letters, or whatever, just using the brain once at the beginning; it comes for free, and is completely portable

word is an awful terrible and nasty editing suite, it is proprietary, not portable, it occupies a lot of space, you go mad with formatting, and very often you loose you work all in a sudden.

1.3.2 Example of a table:

Other features are available for table formatting: just refer to the manuals. For what concerns equations: what do you think about the word equation editor? Well, whatever you will try to do, you will loose your afternoon on it, and still you are not sure it will have a decent aspect. The equation suite in latex is extremely powerful, and her you only a very small example: refer to the manuals and to AMS-MATH suite for help.

pippo	pluto	indiana pipples	gilberto de pippis
topolino	minni	tip	tap
paperino	paperina	orazio	clarabella
qui zio paperone	quo gastone	qua paperoga	ottoperotto battista

Table 1.5: A caption for your table

1.3.3 Example of a small equation:

writing
an equation on line is easy $a \cdot \int_0^\infty i(t) \frac{di}{dt}$ while if you want to better display it just include it in this way:

$$a \cdot \int_0^\infty i(t) \frac{di}{dt}$$

and finally if you want to refer and number the equation as the 1.1 then the syntax is:

$$a \cdot \int_0^\infty i(t) \cdot \frac{di}{dt} \tag{1.1}$$

1.4 Analisi di un Multiplexer

1.5 Analisi di un Contatore Sincrono