

Introduzione

Microelettronica Digitale

Prof. Mario R. Casu

DET

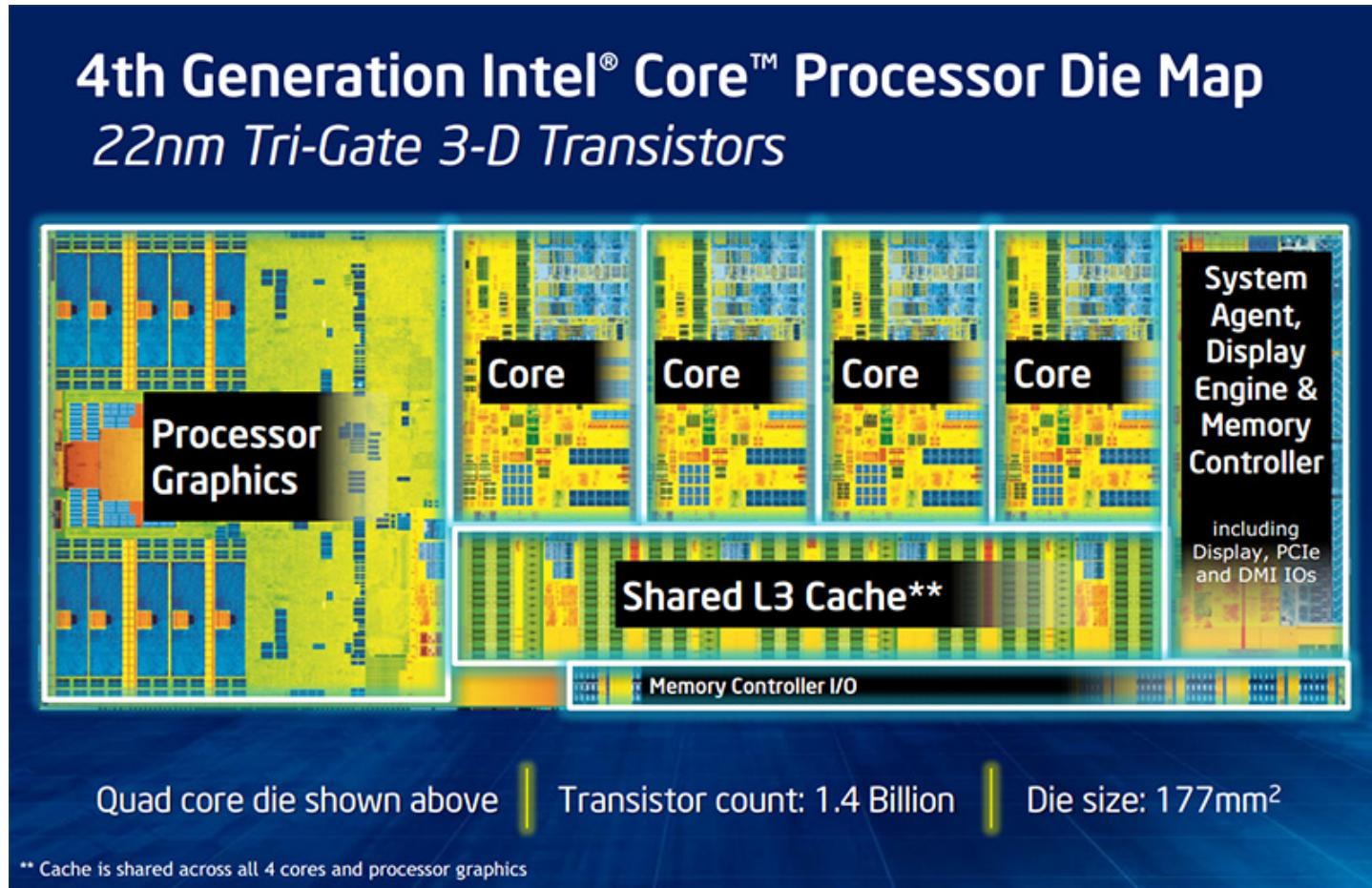
Department of Electronics and Telecommunications

www.det.polito.it

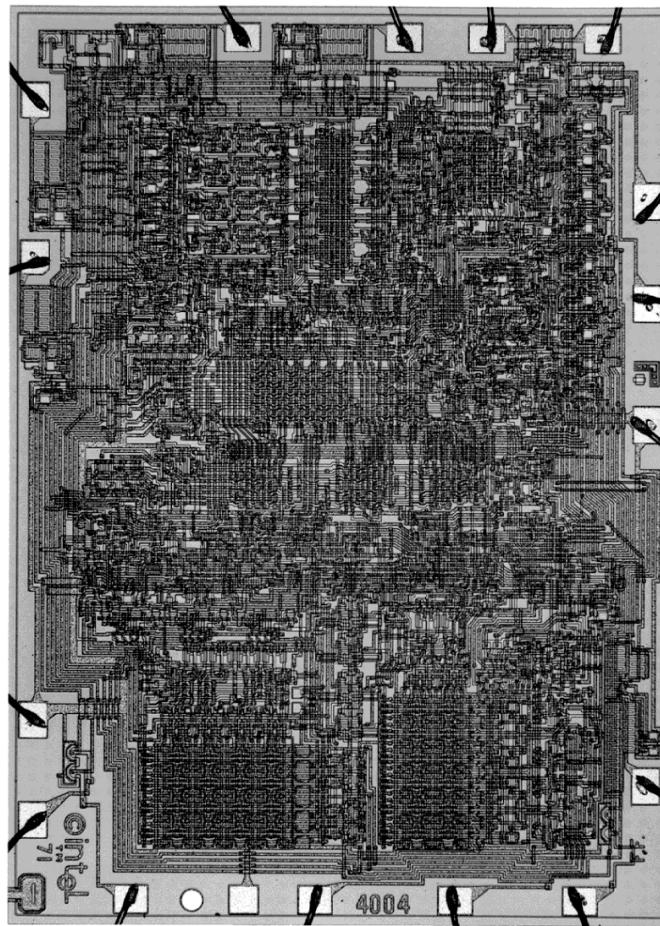


www.polito.it

$1,4 \cdot 10^9$ Transistori in $1,77\text{cm}^2$



2300 Transistori in 12mm²



Circuiti Integrati Digitali VLSI

- Come e perché è evoluta la tecnologia?
- Come si comportano i dispositivi?
- Quali componenti e sottosistemi sono presenti?
- Quali sono i loro parametri di interesse?
- Come si progettano e ottimizzano?
- Risponderemo a queste domande nel nostro corso

Contenuti del corso

- Le problematiche del progetto digitale
- Dispositivi elementari
- L'invertitore CMOS
- Logica combinatoria
- Circuiti sequenziali
- Interconnessioni e parametri parassiti
- Temporizzazione
- Memorie
- Flusso, metodologie e automazione del progetto

Organizzazione ed esame

□ Organizzazione

- Lezioni
- Esercizi in aula
- Laboratorio – Gruppi di Lavoro

□ Esame

- Scritto a libro chiuso, voto massimo 30L
- Laboratorio raccomandato, ma non obbligatorio per l'esame (domande aggiuntive all'esame, da 0 a 2pt)
- Orale facoltativo (se si sostiene, media con lo scritto)

Prerequisiti

□ Conoscenze acquisite su

- Progetto di Circuiti Digitali
- Sistemi Elettronici Digitali
- Dispositivi elettronici

□ Alcuni argomenti saranno ripresi e approfonditi

Libri di testo

1. N. H. E. Weste and D. M. Harris, *CMOS VLSI Design*, 4th ed. Addison-Wesley
 2. J. Rabaey, A. Chandrakasan, B. Nikolic, *Digital Integrated Circuits*, Prentice Hall
- Una parte significativa del materiale didattico utilizzata nelle lezioni è stata soprattutto dal 1° testo e dalle lezioni del prof. Lavagno (AA 1718 e precedenti)

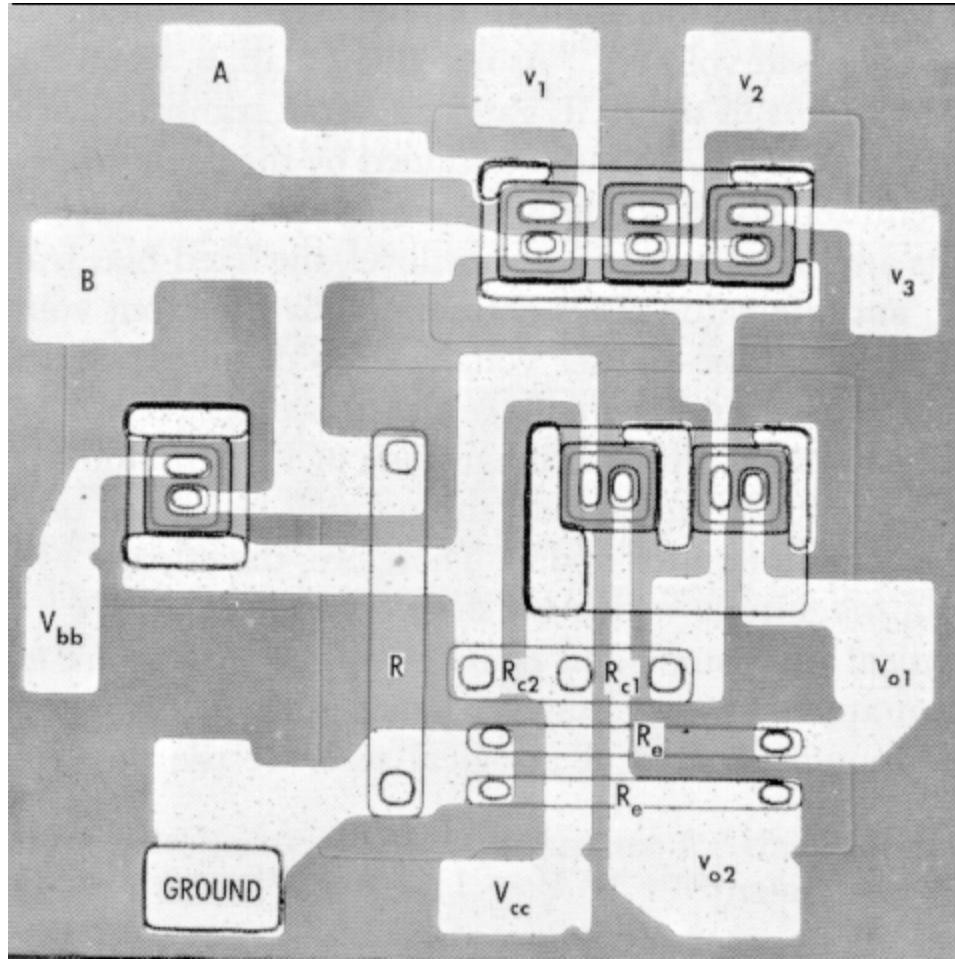
Contenuti di questa lezione

- La legge di Moore e la sua "crisi"
- Aspetti economici
- Conclusioni

Contenuti di questa lezione

- La legge di Moore e la sua "crisi"
- Aspetti economici
- Conclusioni

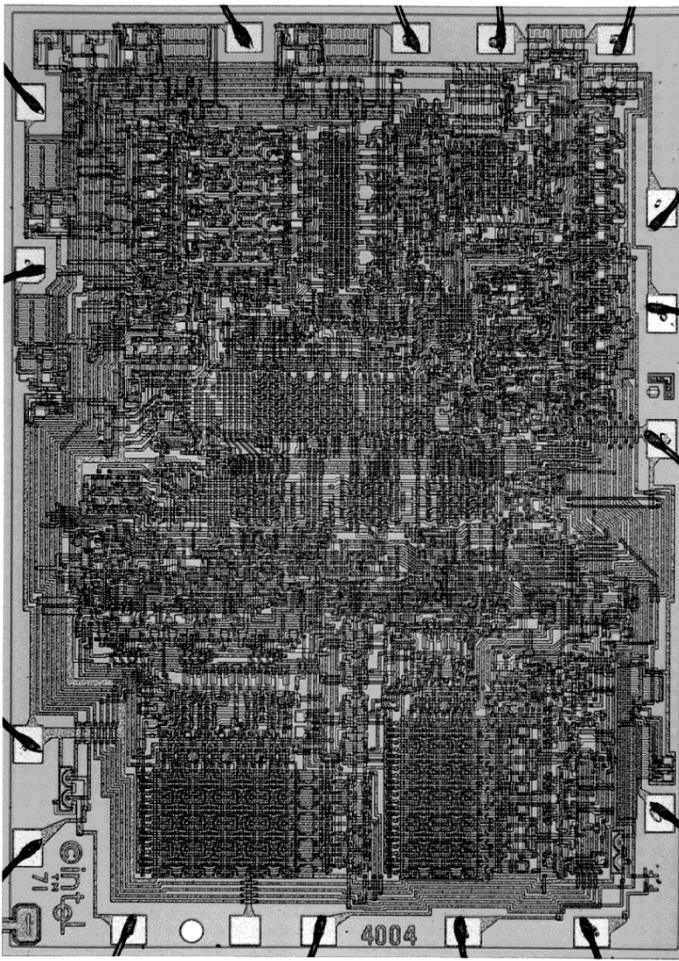
I primi circuiti integrati



Logica Bipolare
Anni 1960

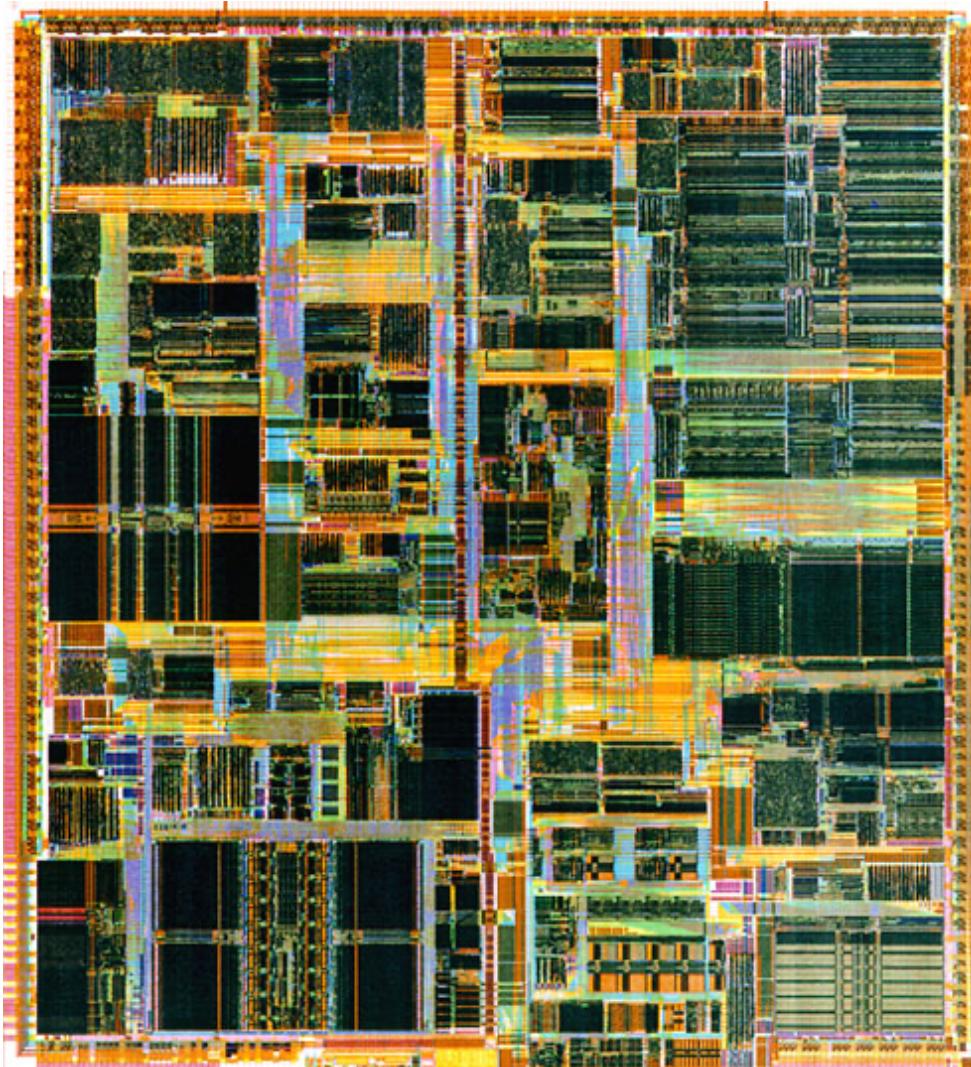
ECL 3-input Gate
Motorola 1966

Intel 4004 (primo microprocessore, 1971)



- 2300 transistor
- 740 kHz di frequenza di clock
- Struttura in logica sparsa con alcuni elementi regolari (register file)

Intel Pentium IV (2000)



Struttura Gerarchica

Insieme di moduli
costituiti a loro volta da
celle elementari

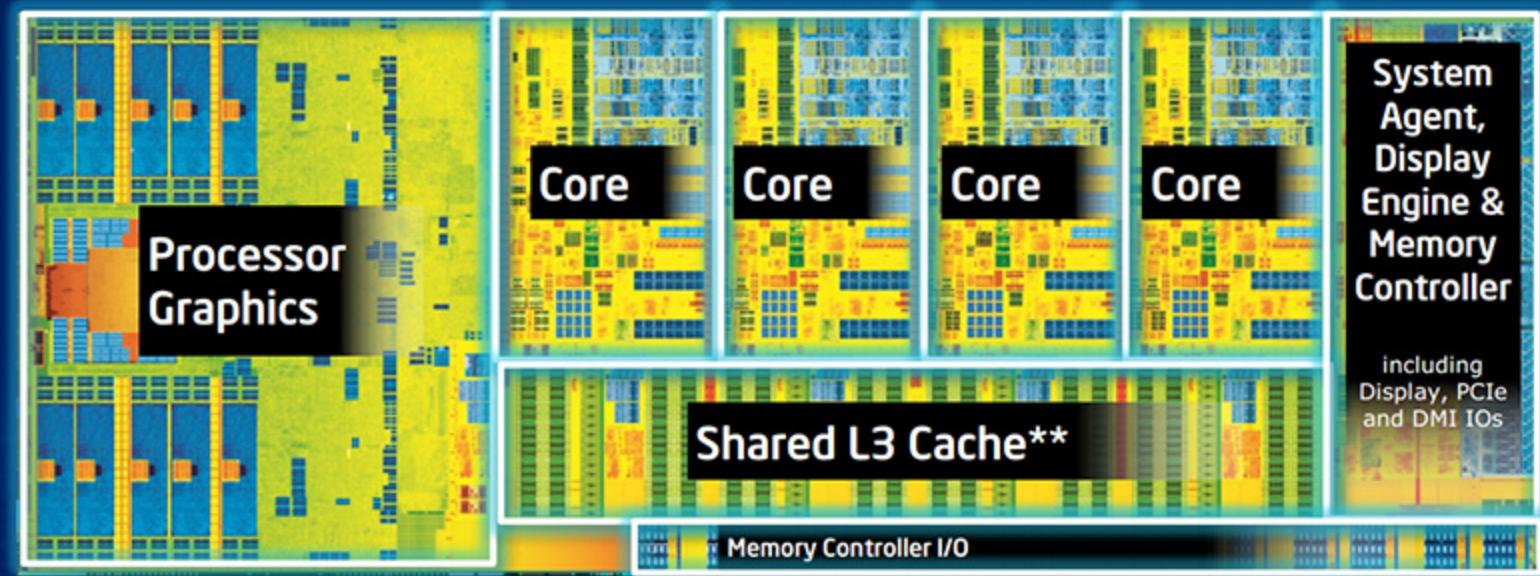
Ri-uso delle celle

Strumenti CAD per

- Simulazione
- Sintesi
- Verifica
- Generazione layout

Intel Core I7 (2008)

4th Generation Intel® Core™ Processor Die Map 22nm Tri-Gate 3-D Transistors



Quad core die shown above

Transistor count: 1.4 Billion

Die size: 177mm²

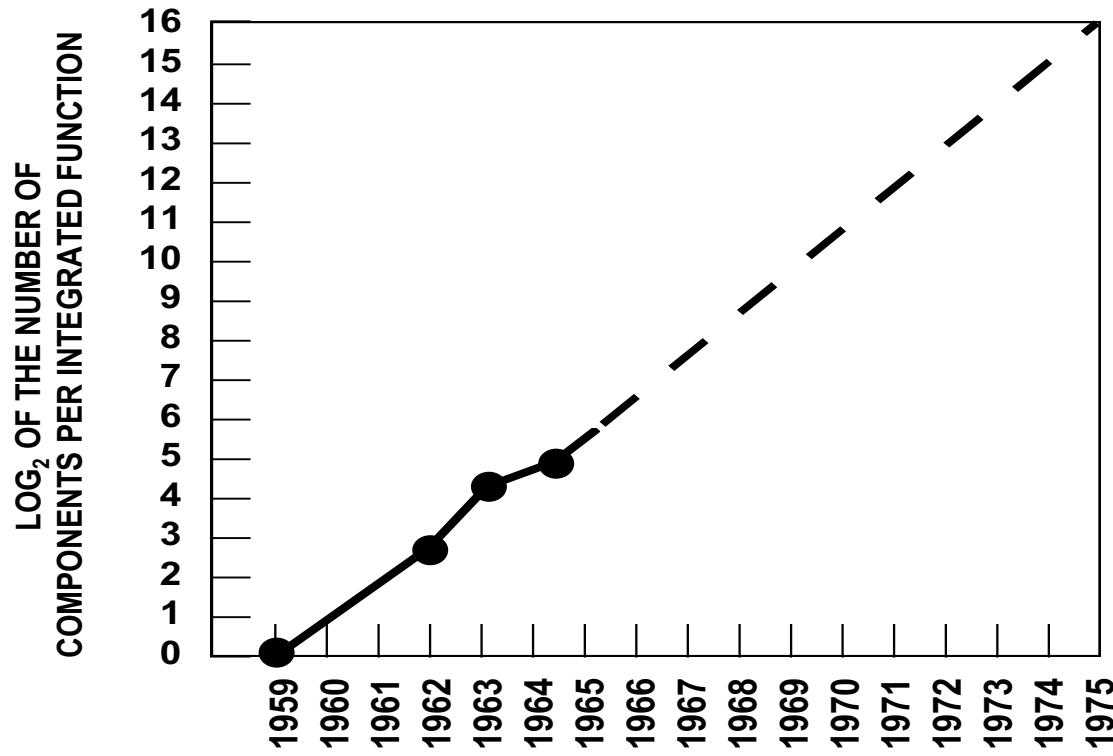
** Cache is shared across all 4 cores and processor graphics

Multi-core, memoria, GPU

La Legge di Moore (*Moore's law*)

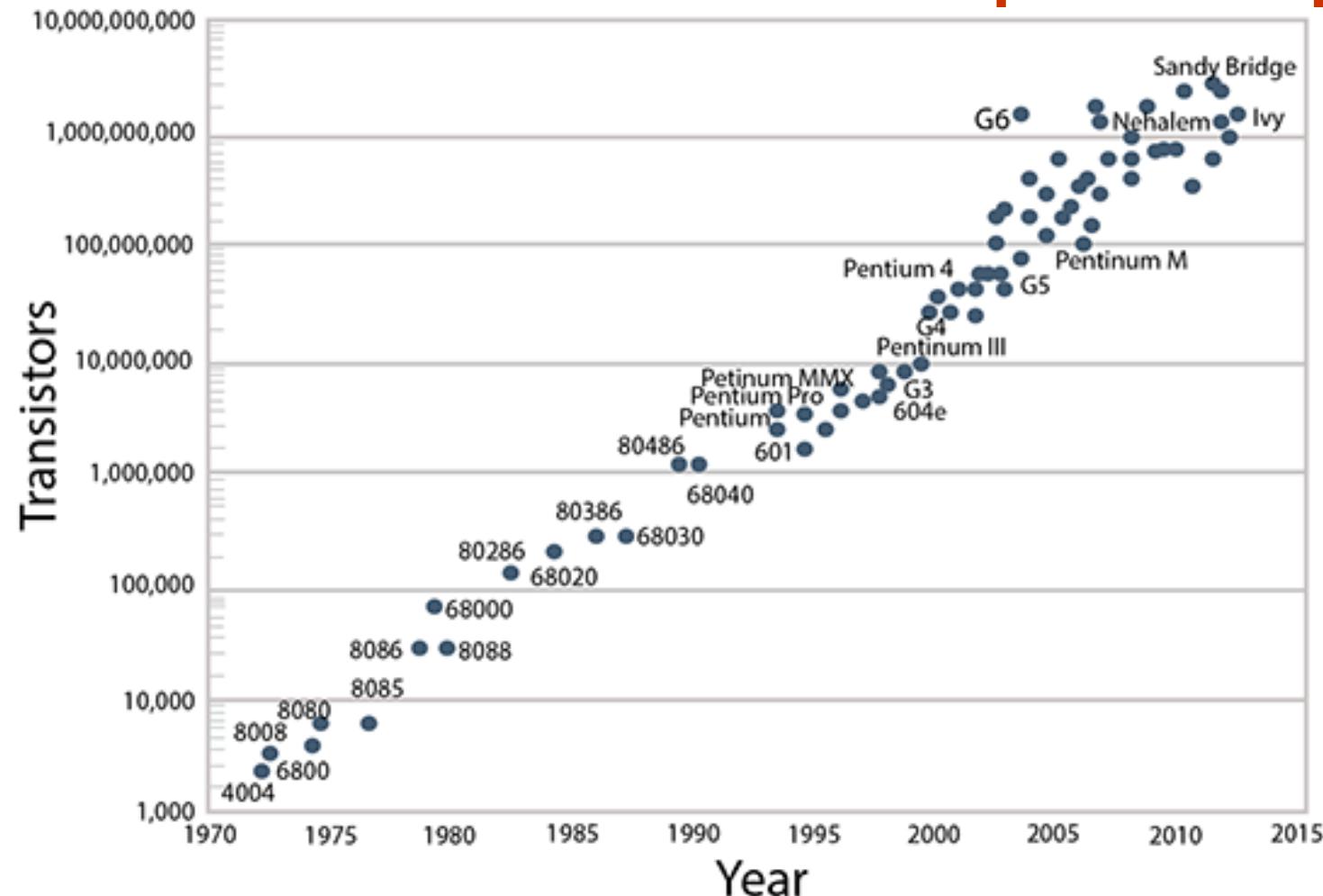
- Nel 1965, Gordon Moore (co-fondatore di Intel) notò che il numero di transistori in un chip raddoppiava in un tempo tra 18 e 24 mesi
- Formulò la previsione che le tecnologie dei semiconduttori avrebbero raddoppiato le loro capacità ogni 18 mesi

La legge di Moore “originale”



Electronics, April 19, 1965.

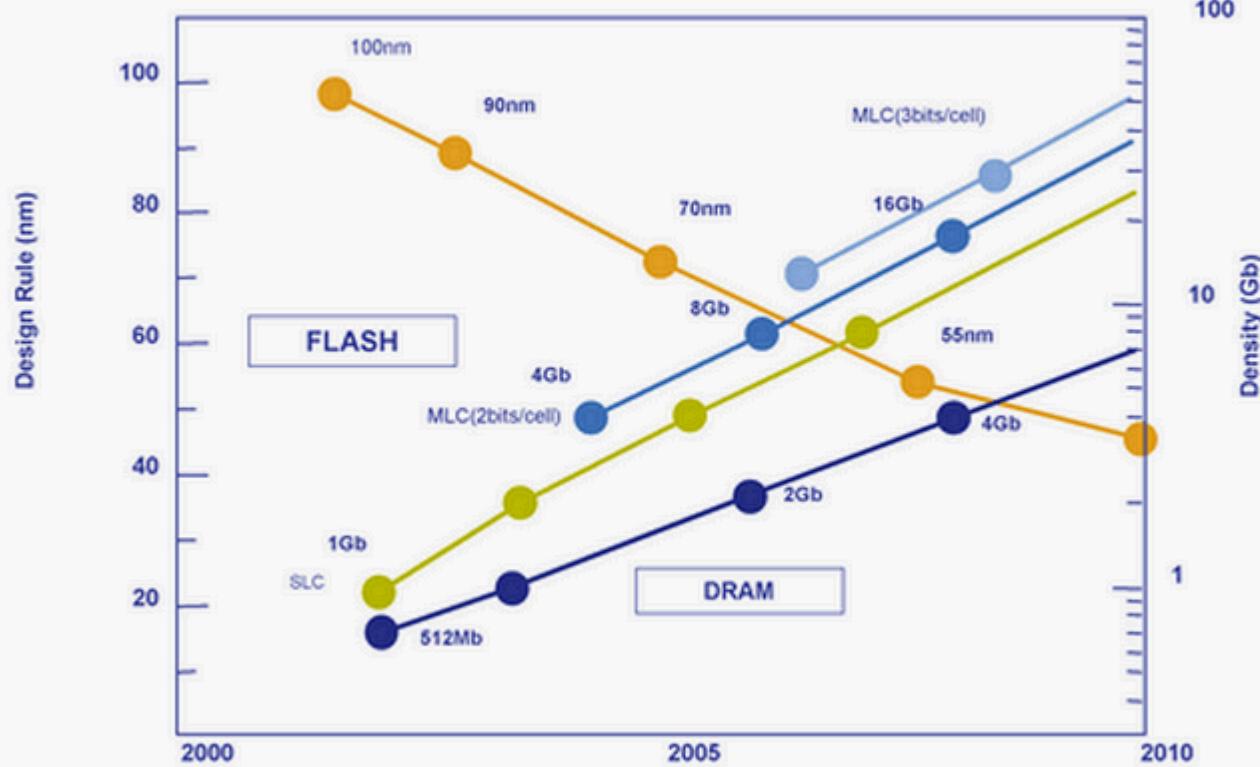
Numero di transistori per chip



Nei microprocessori il numero di transistor raddoppia ogni 2 anni

Evoluzione delle Memorie

NAND & DRAM have aggressive shrink roadmaps



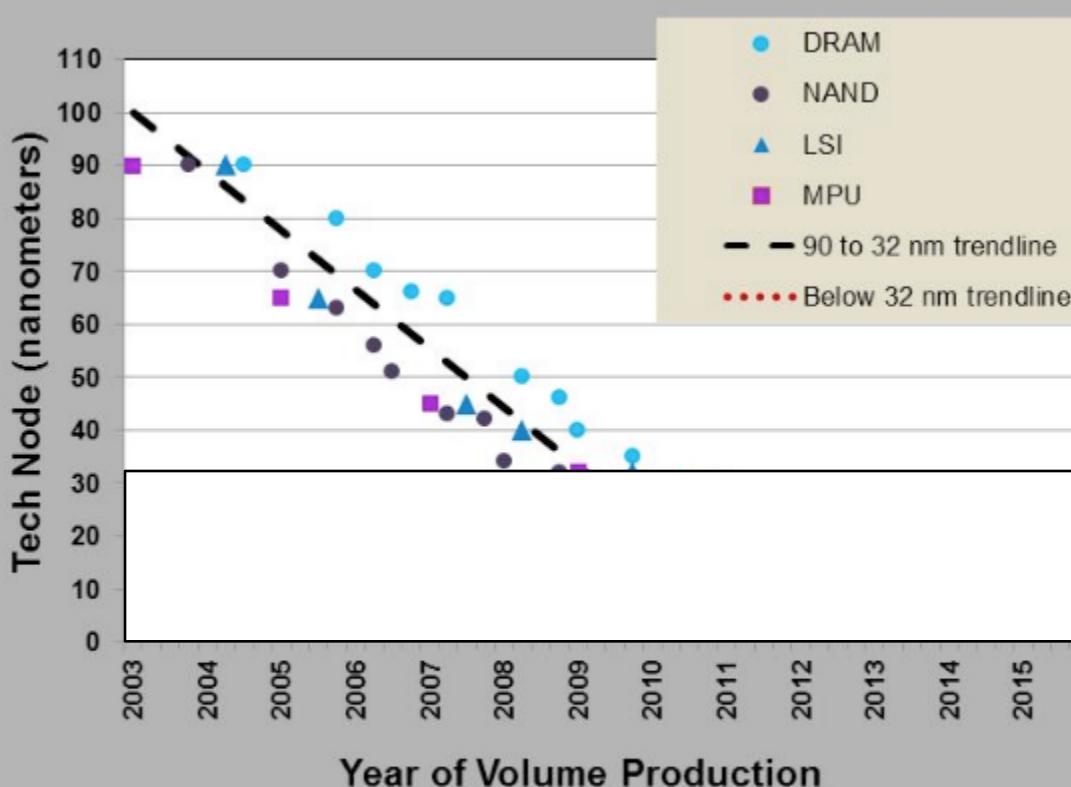
Source CG Hwang, Samsung 03

/ Slide 8



Nelle memorie la densità raddoppia ogni 2 anni

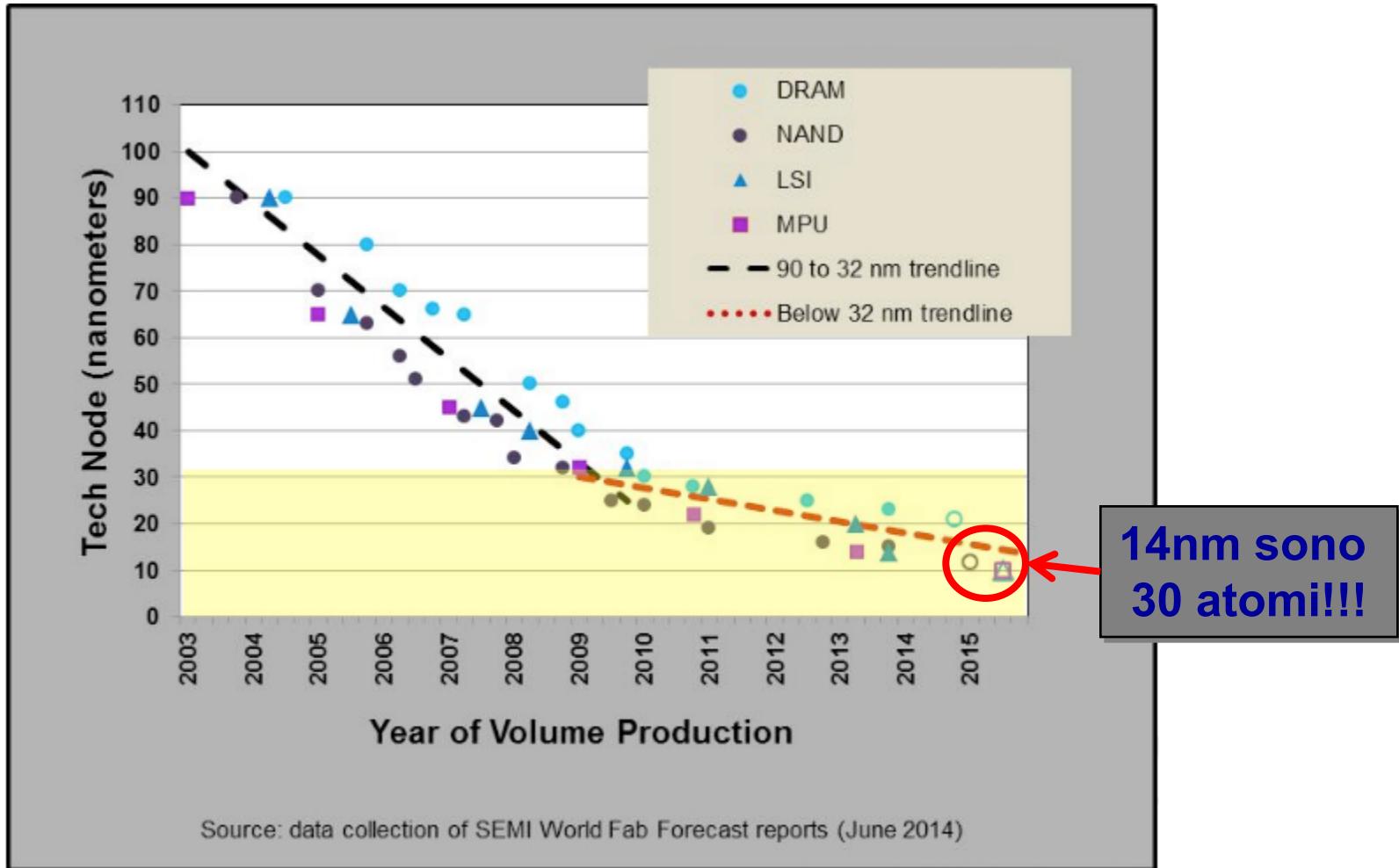
Transistor più piccoli



Source: data collection of SEMI World Fab Forecast reports (June 2014)

La lunghezza dei transistor decresce del 30% ogni 2 anni

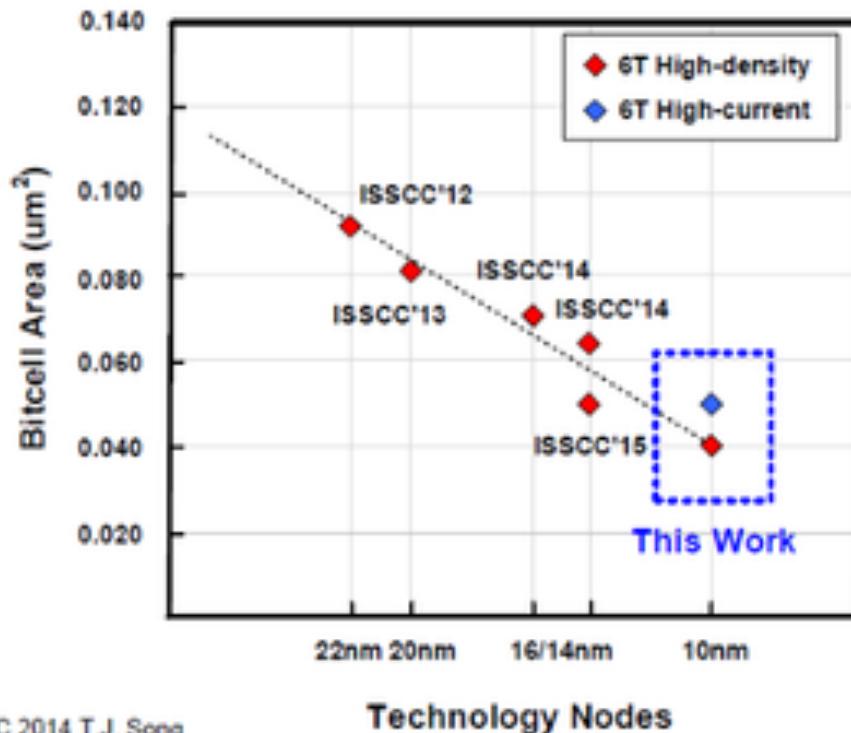
Transistor più piccoli



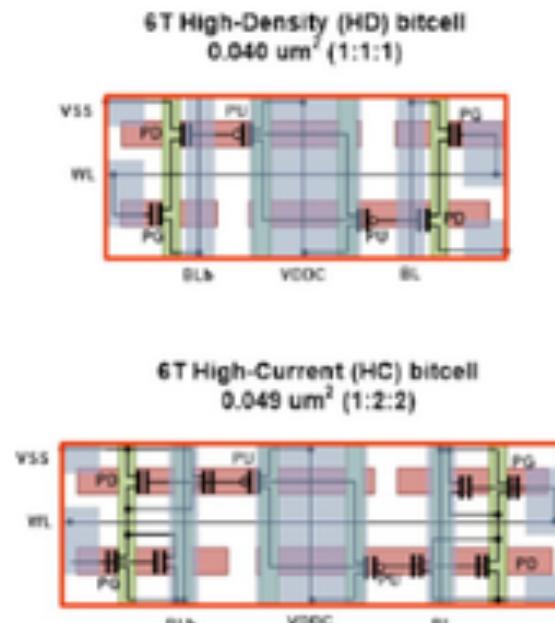
La lunghezza dei transistor decresce del 30% ogni 3 anni

Transistor più piccoli

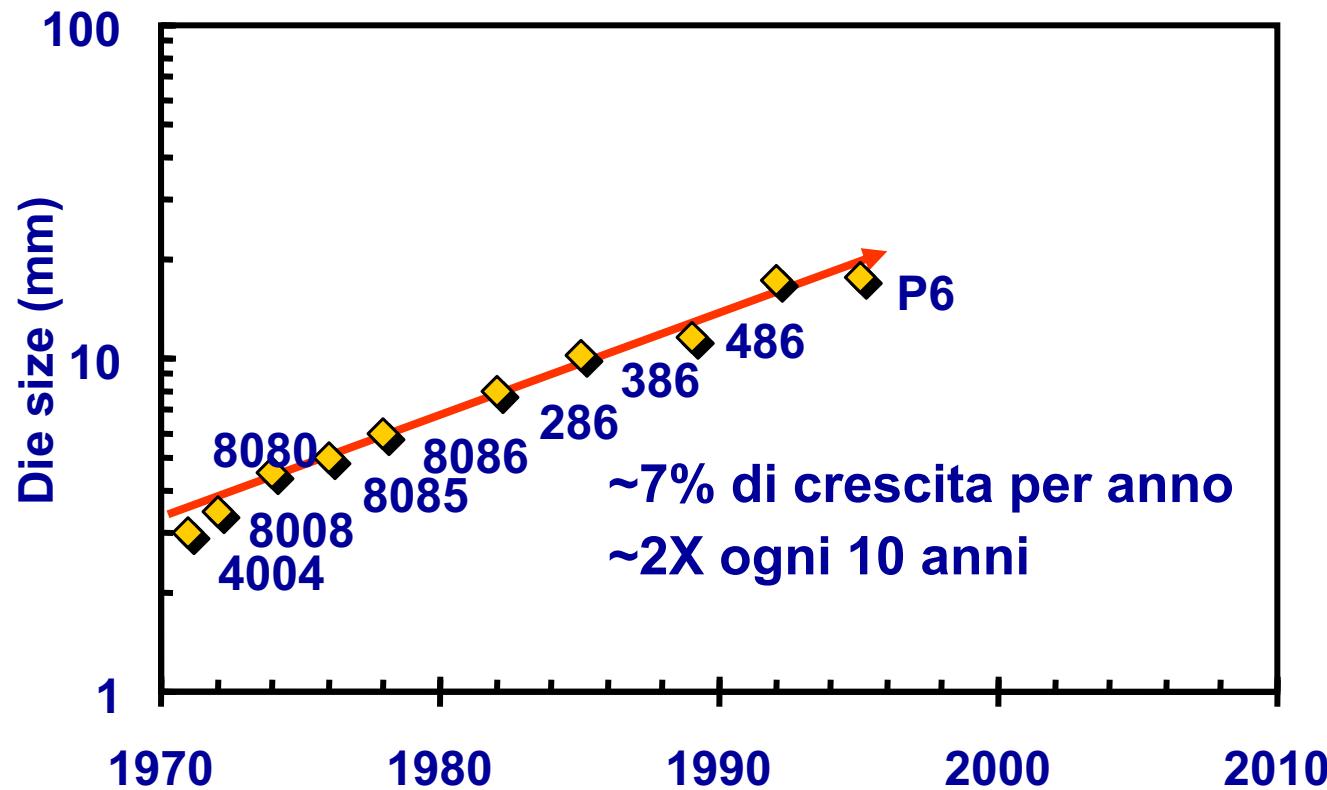
- 6T High-Density (HD) bitcell $0.040 \mu\text{m}^2$
 - 38% smaller than 14nm [2]
- 6T High-Current (HC) bitcell $0.049 \mu\text{m}^2$



[2]: ISSCC 2014 T.J. Song

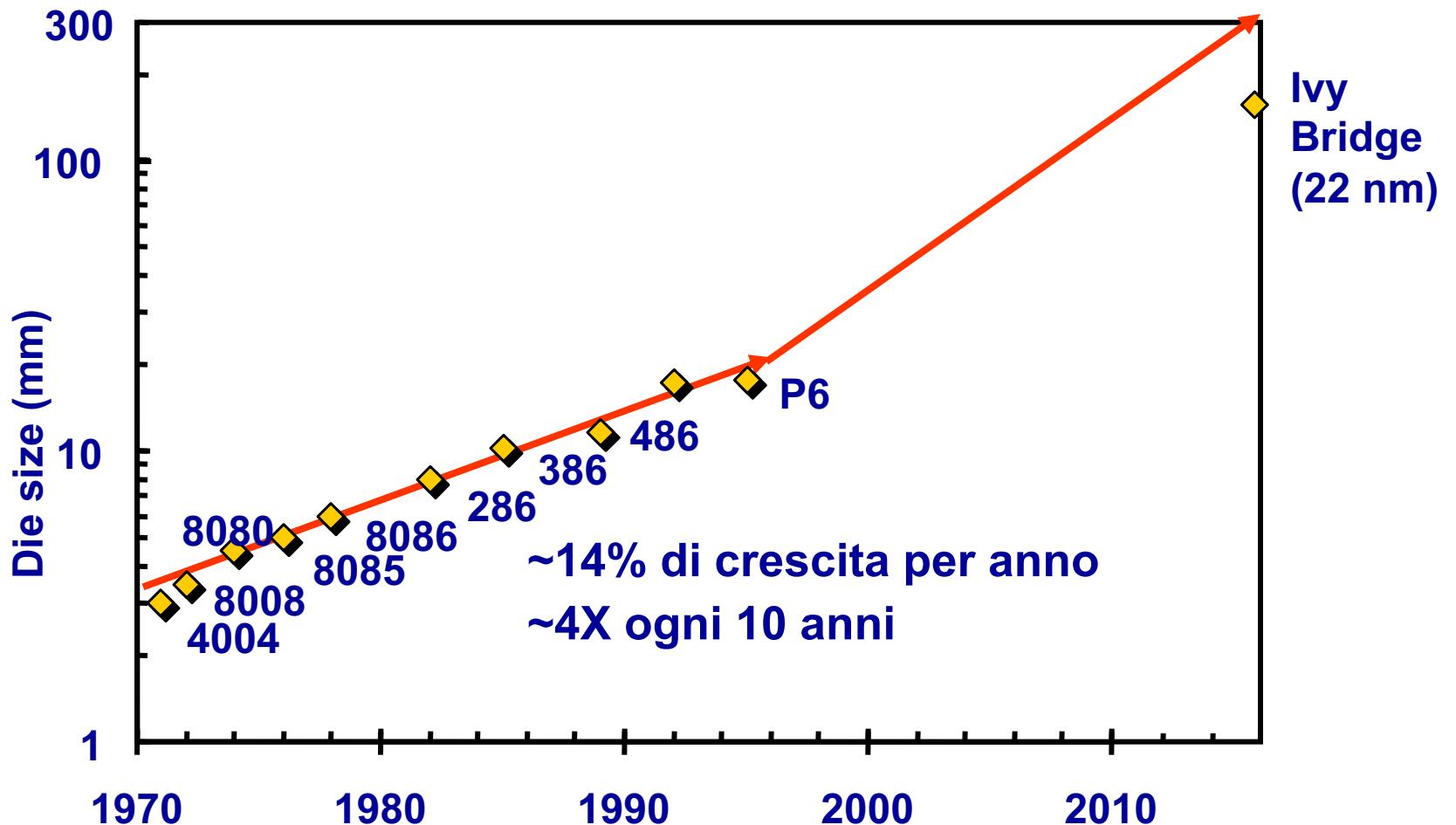


Die più grandi



Die cresce del 7%/anno per soddisfare la legge di Moore

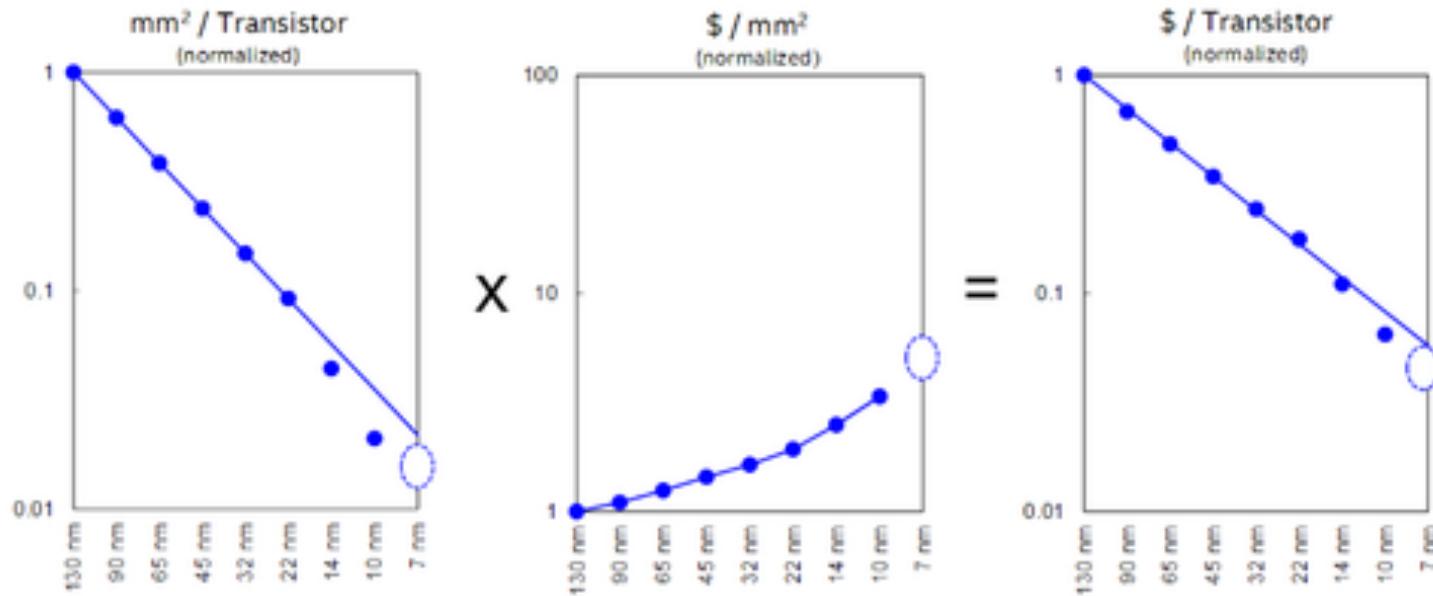
Die più grandi



Die cresce del 14%/anno per soddisfare la legge di Moore

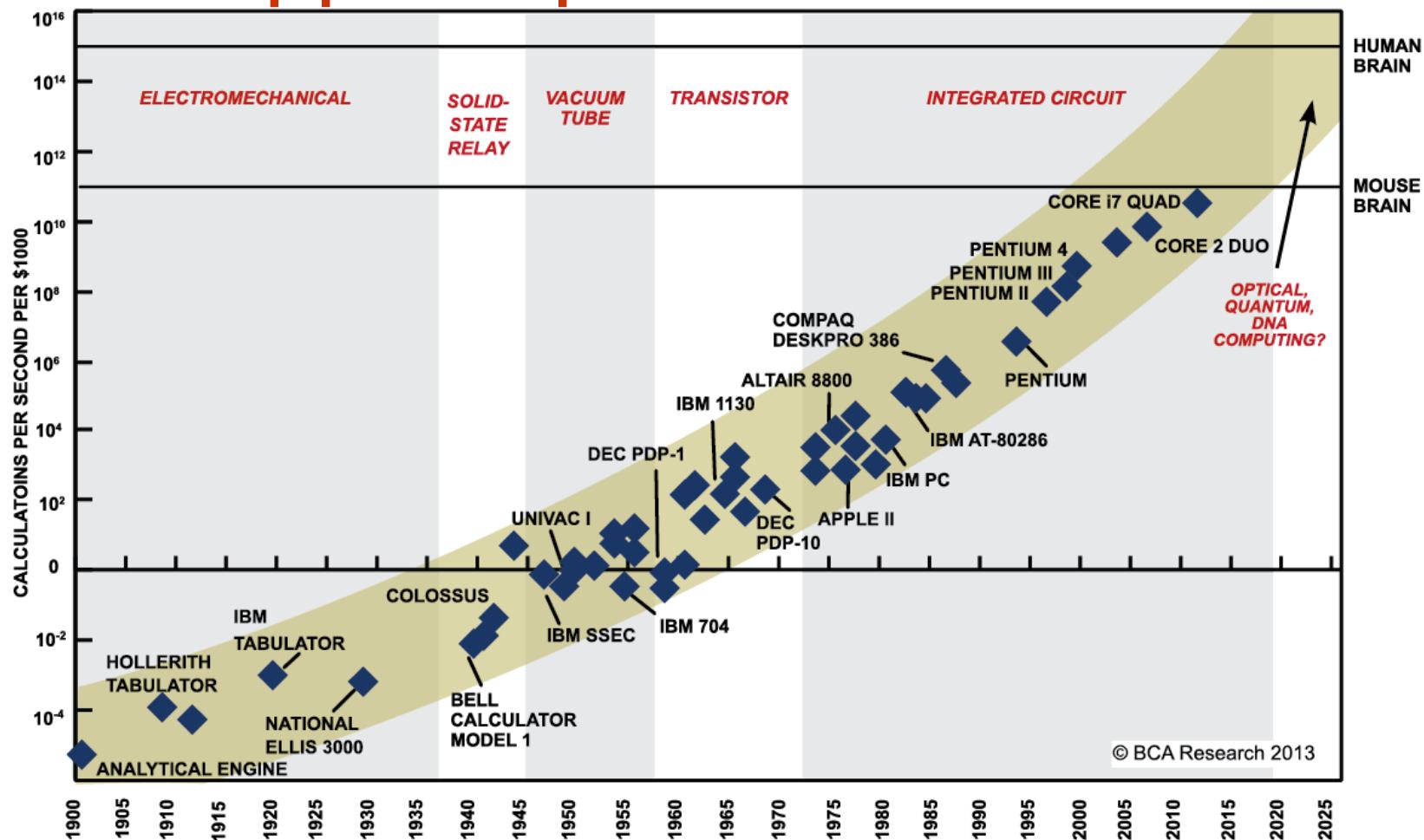
Rapporto funzionalità/costo

Cost per Transistor



Il costo per transistor decresce esponenzialmente

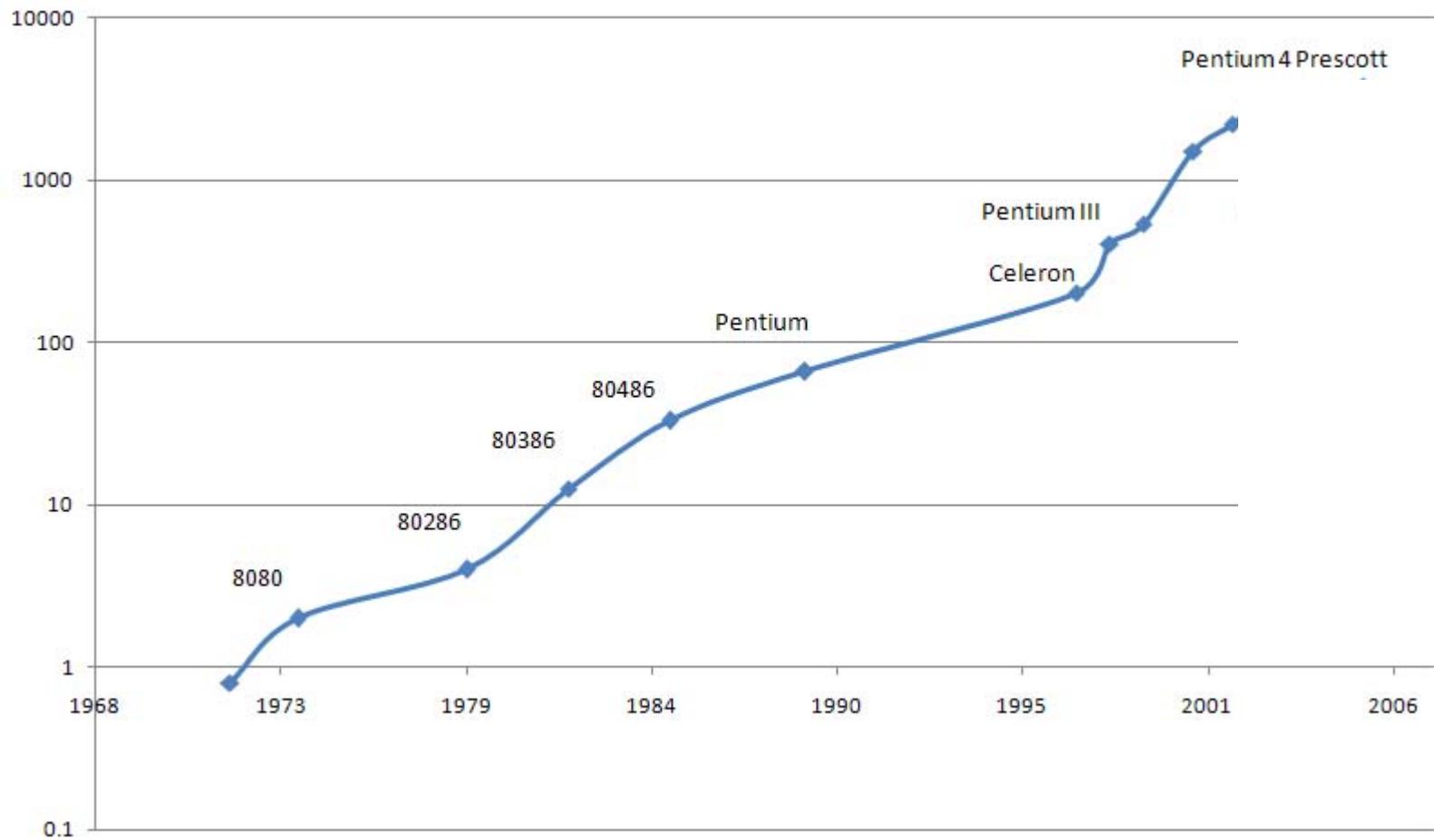
Rapporto prestazioni/costo



Il rapporto prestazioni/costo cresce piu' che esponenzialmente

Frequenza

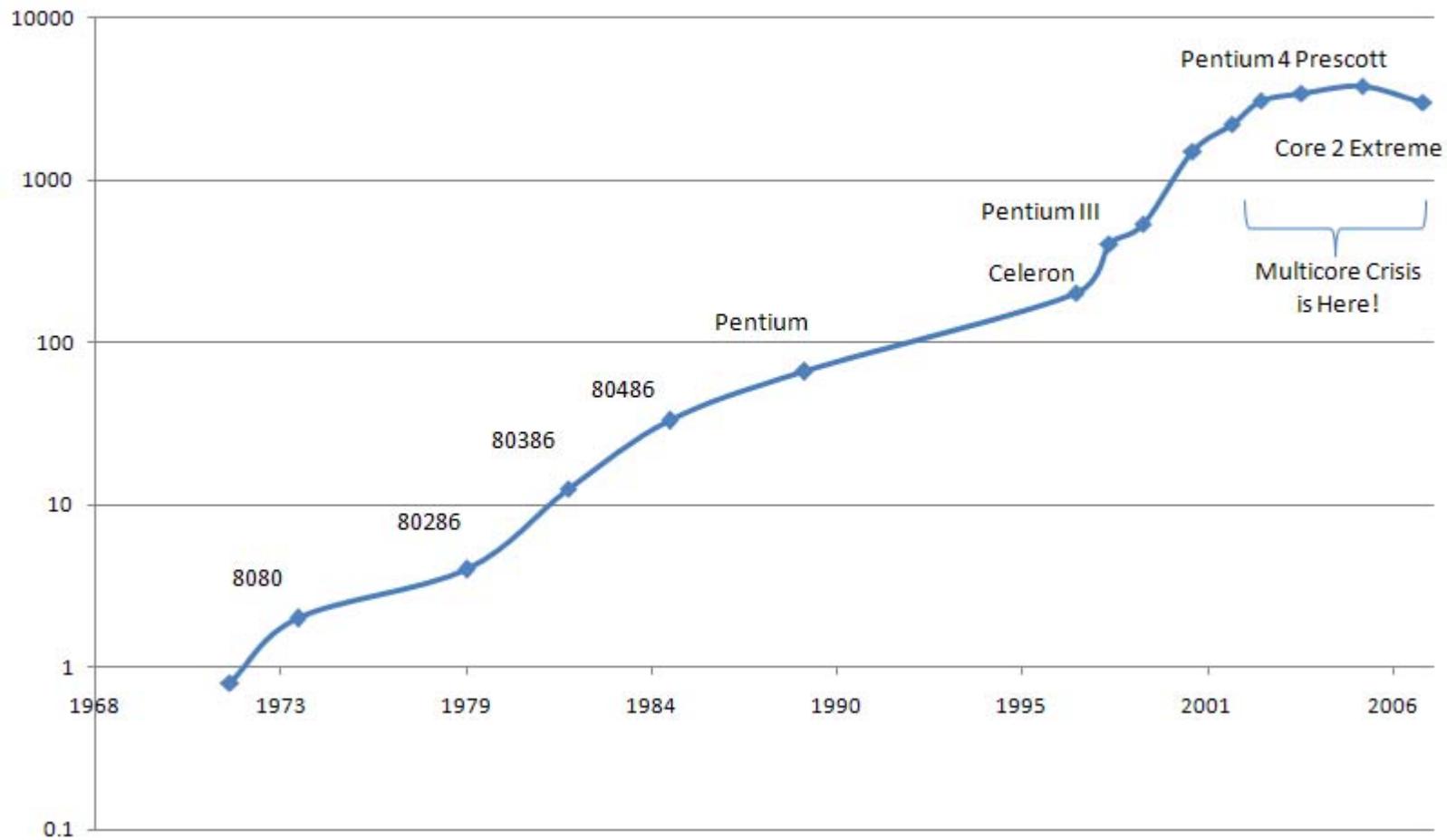
Intel Processor Clock Speed (MHz)



Per i microprocessori la frequenza raddoppia ogni due anni

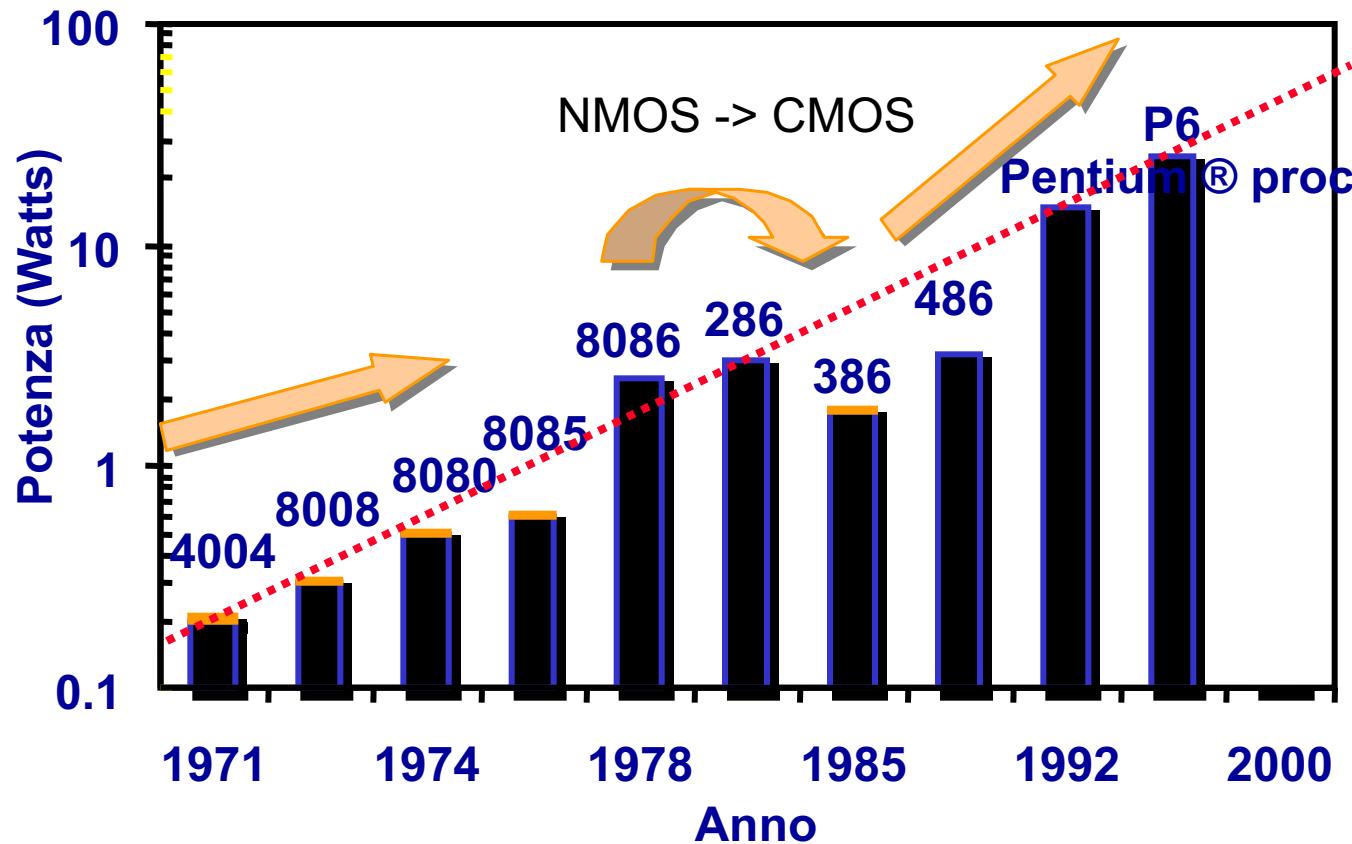
Frequenza

Intel Processor Clock Speed (MHz)



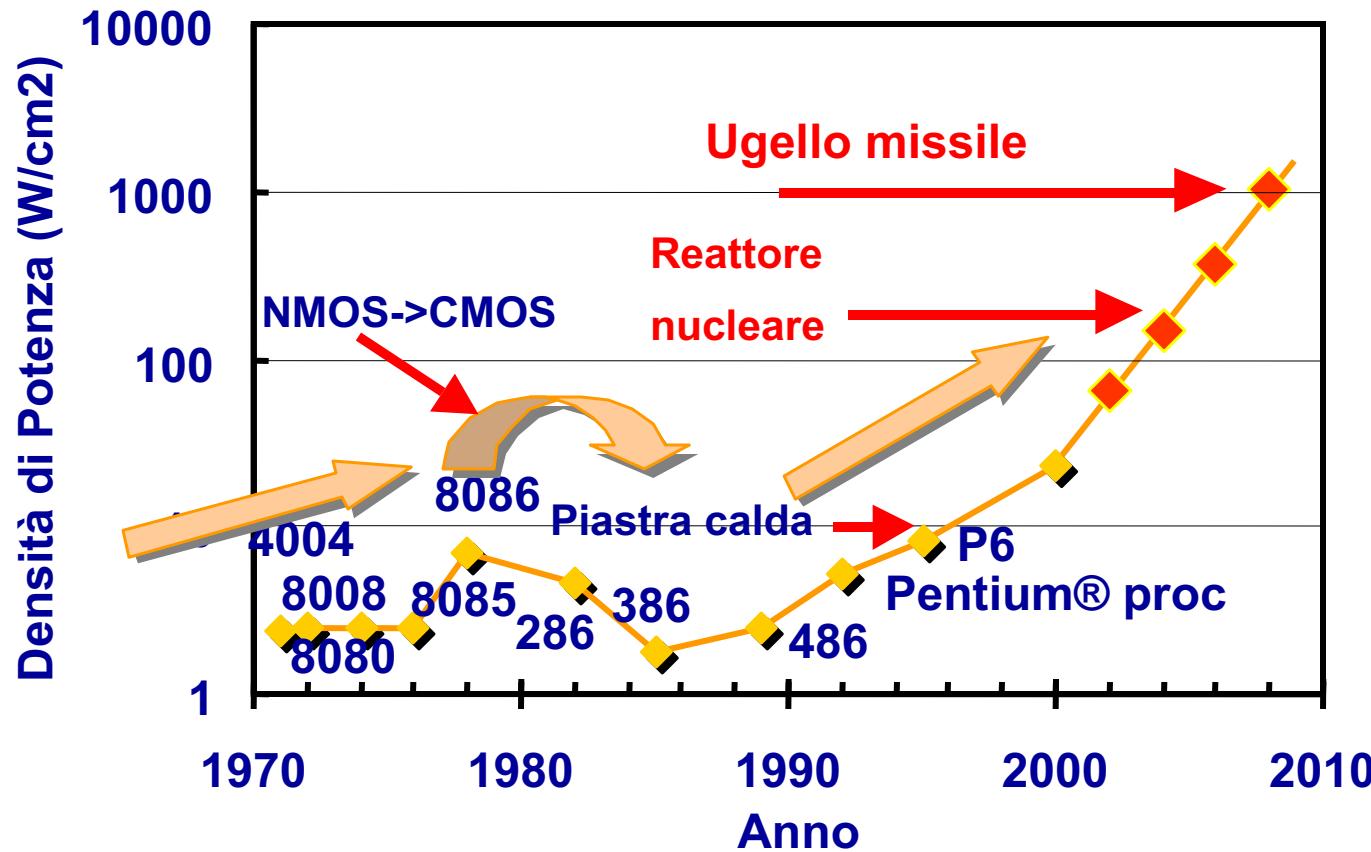
Per i microprocessori la frequenza raddoppia **VA** ogni due anni

Dissipazione di potenza



Per i microprocessori la potenza continua **VA** ad aumentare

Densità di Potenza (Flusso)

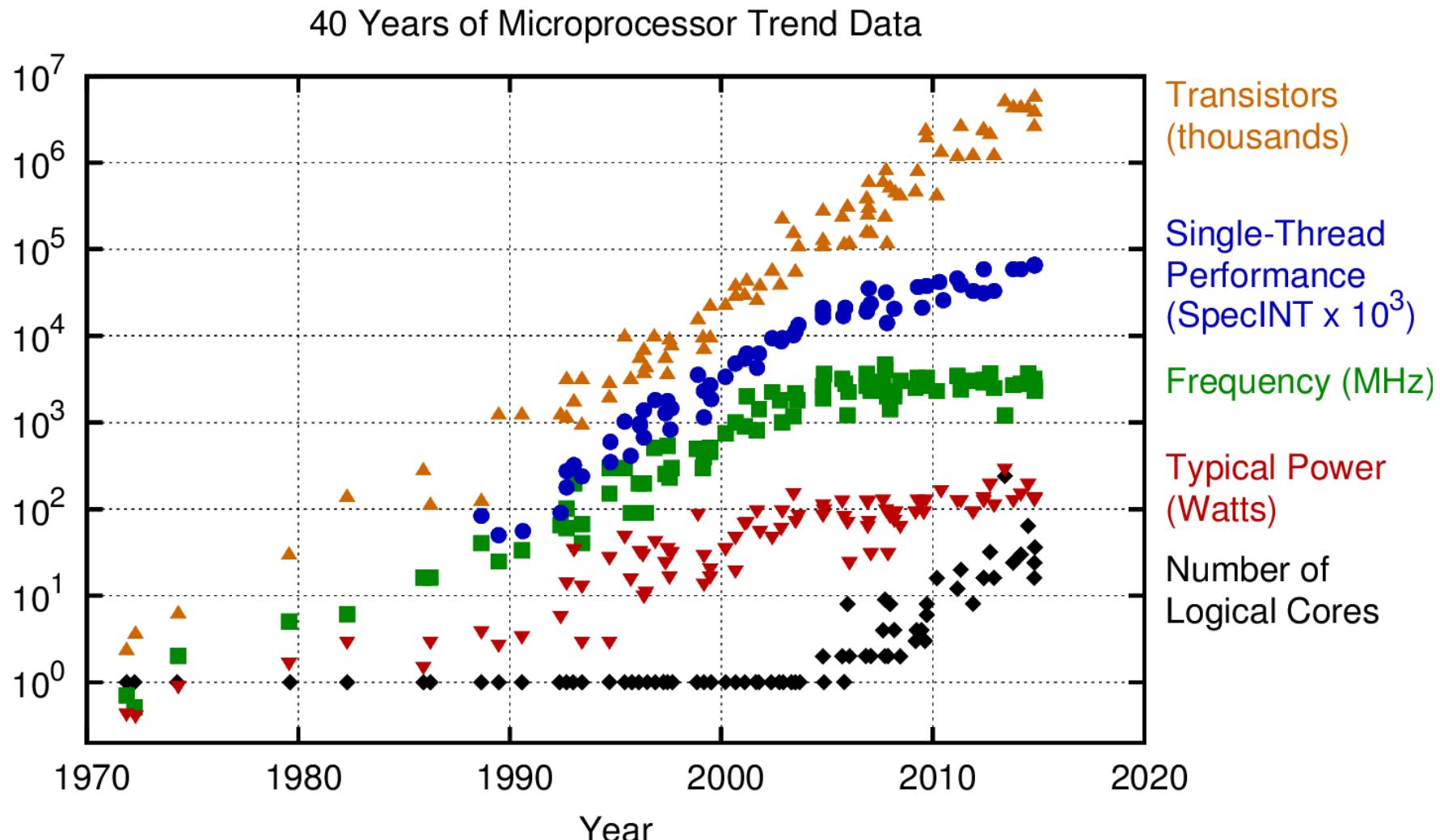


Densità di potenza troppo alta per mantenere fredde le giunzioni

Riduzione del consumo

- Riduzione della tensione per diminuire potenza
- Maggiore integrazione per ridurre consumo di comunicazione
- Limite alla frequenza
 - Parallelismo per mantenere throughput

Funzioni, prestazioni e potenza

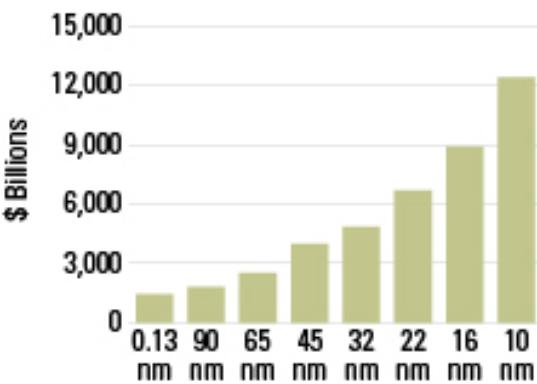


La vera fine: costo per transistor

Technology	Gates/mm ² (KU)	Gate utilization (%)	Used gates/mm ² (KU)	Parametric yield impact (Δ from D ₀ yield)	Actual used gates/mm ² (KU)	Gates/wafer (MU)	Wafer cost (\$)	Wafer cost (Δ)	Cost per 100M gate (\$)
90nm	637	86	546	97	532	33,831	1,357.62	–	4.01
65nm	1,109	83	919	96	885	56,330	1,585.71	16.8	2.82
45/40nm	2,139	78	1,677	92	1,538	97,842	1,898.83	19.7	1.94
28nm	4,262	77	3,282	87	2,855	181,658	2,361.84	24.4	1.30
20nm	6,992	65	4,524	73	3,293	209,541	2,981.75	26.2	1.42
16/14nm	10,488	64	6,712	67	4,497	286,140	4,081.22	36.9	1.43
10nm	14,957	60	8,974	62	5,564	354,013	5,126.35	25.6	1.45
7nm	17,085	59	10,080	60	6,048	384,813	5,859.28	14.3	1.52

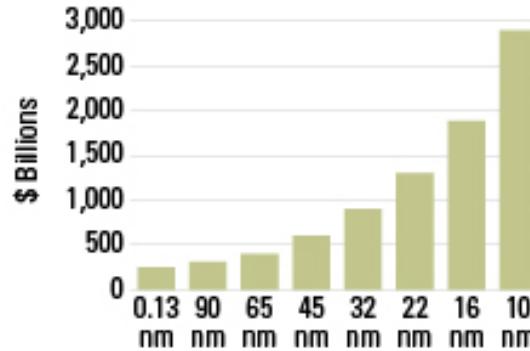
Il motivo: costo delle maschere e degli impianti di fabbricazione

Figure 4: Fab Costs by Node (in US\$ billions)



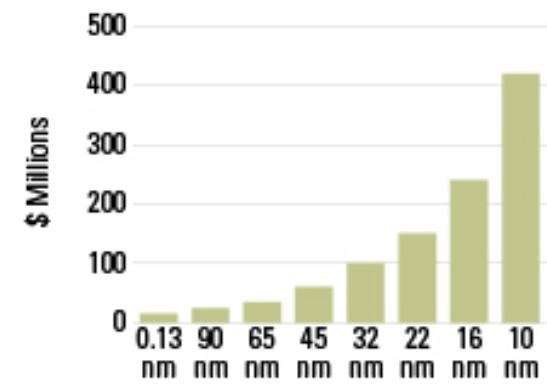
Source: Common Platform Technology Forum 2012 and
AlixPartners analysis

Figure 5: Process Technology Development Costs by Node (US\$ billions)



Source: Common Platform Technology Forum 2012 and
AlixPartners analysis

Figure 6: Chip Design Costs by Node (US\$ millions)

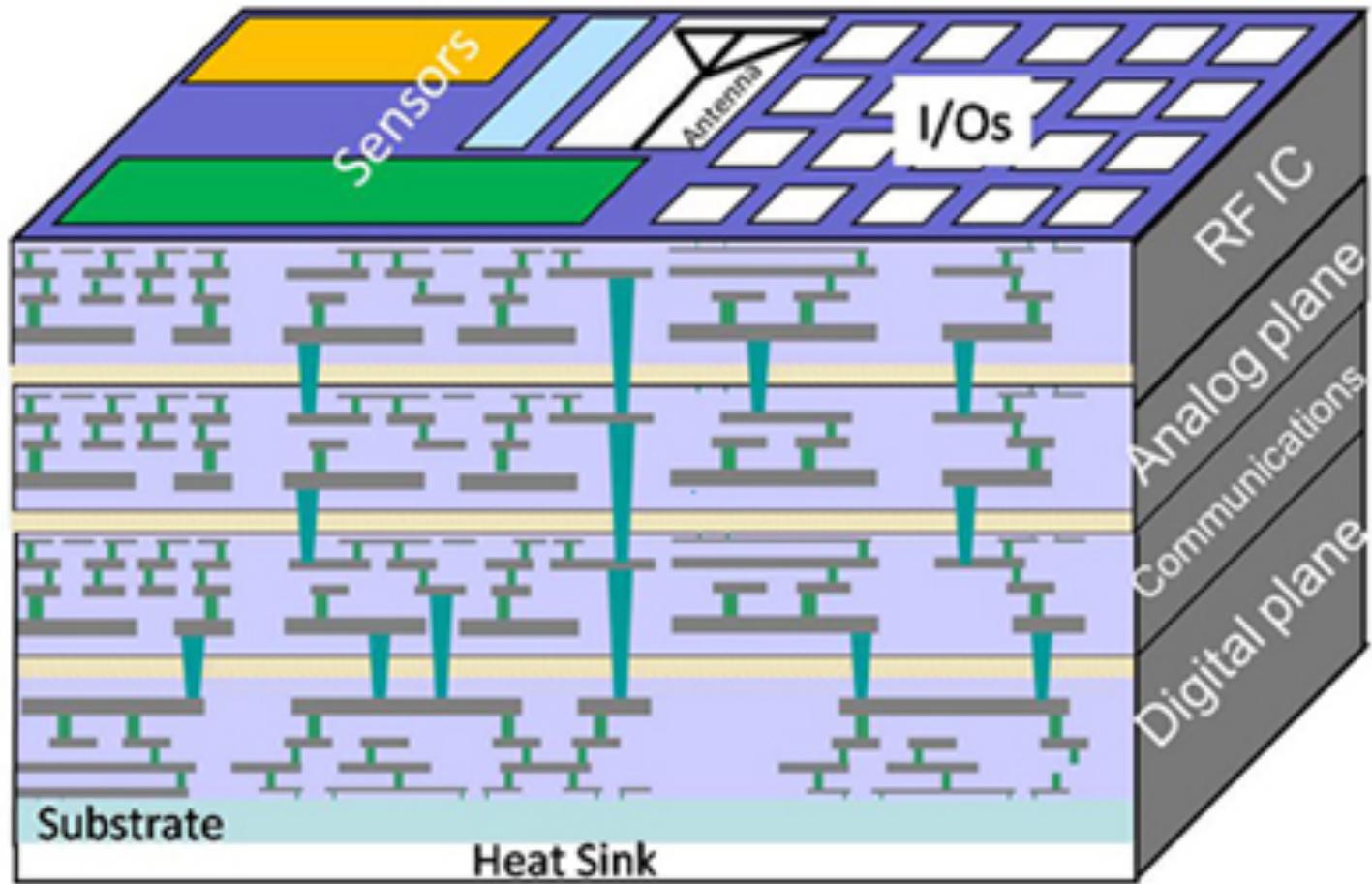


Source: Common Platform Technology Forum 2012 and
AlixPartners analysis

Il futuro?

- E' possibile che l'industria "si fermi", come quella delle costruzioni
- E' anche possibile si continui a progredire grazie a nuove strategie, per esempio:
 - Nanotubi di carbonio
(fino a 1 nm, secondo IBM)
 - Circuiti tridimensionali

Circuiti tridimensionali



Contenuti di questa lezione

- ✓ La legge di Moore e la sua "crisi"
- ❑ Aspetti economici
- ❑ Conclusioni

Struttura industria elettronica: integrazione verticale (fino 1985)

IBM,
Philips,
Siemens,
Sony,
Toshiba,
...

Apple,
Dell, HP,
Bosch,...

STM, TI,
Intel,
...

Electronic
systems

Integrated
Circuit
design

Integrated
Circuit
fabrication

Struttura industria elettronica: integrazione orizzontale (attuale)

Samsung
Toshiba

Dell, HP, IBM,
Bosch, Philips,
Siemens, ...

Apple,
Sony, ...

Intel,
(TI, STM)

Nvidia,
ARM,...

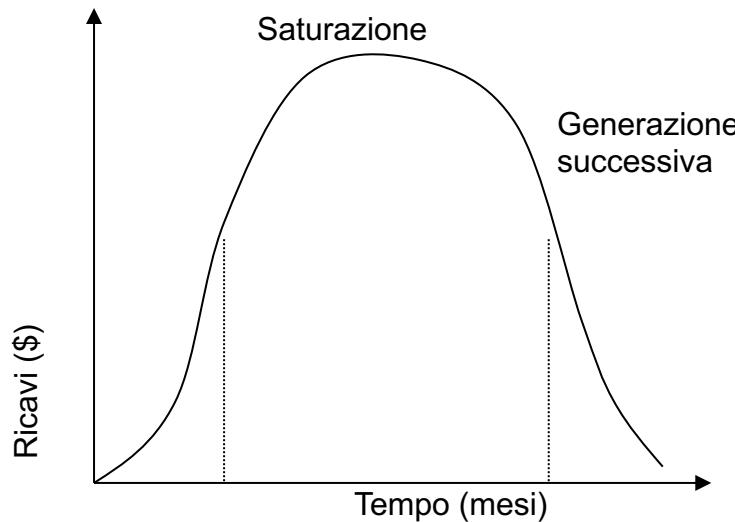
TSMC, UMC,
GlobalFoundries

Electronic
systems

Integrated
Circuit
design

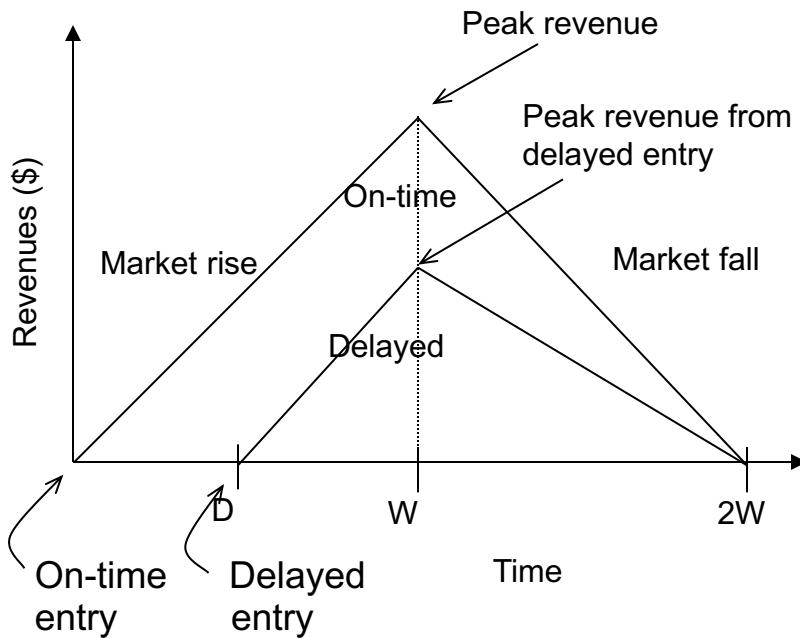
Integrated
Circuit
fabrication

Time-to-market (o Time-to-money)



- Tempo necessario per sviluppare un prodotto fino al punto in cui può essere venduto (con profitto)
- Finestra di mercato
 - Intervallo in cui le vendite sono massime
- Time-to-market tipico: 6-8 mesi
- I ritardi costano molto...

Perdite dovute a ritardi



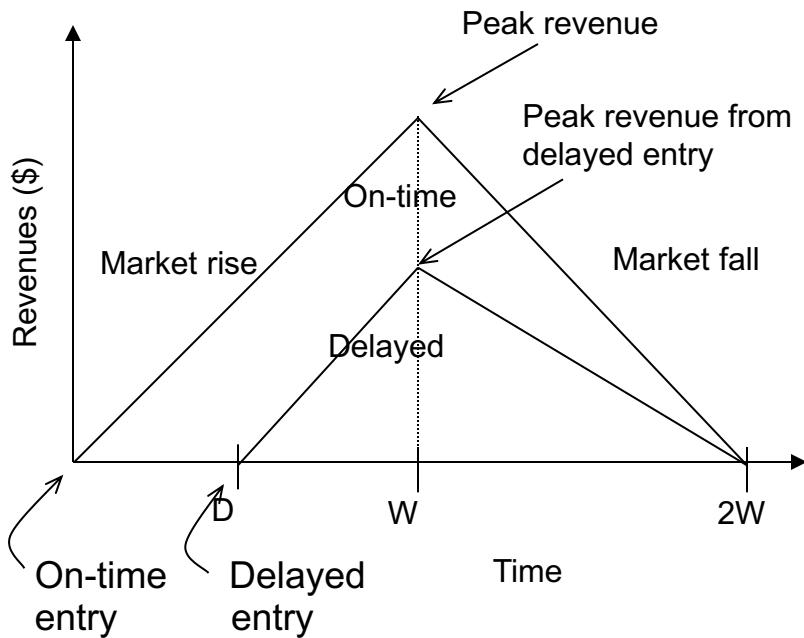
□ Modello semplificato

- Vita totale = $2W$, picco $\propto W$
- Ingresso nel mercato determina la base del triangolo
- L'area determina I ricavi

□ Perdita

- Differenza tra le aree dell'introduzione a tempi diversi

Perdite dovute a ritardi



- Area = $1/2 * \text{base} * \text{altezza}$
 - Presto = $1/2 * 2W * W$
 - Tardi = $1/2 * (2W-D)*(W-D)$
- Perdita percentuale ricavo = $(D(3W-D)/2W^2)*100\%$
- Vediamo alcuni esempi
 - Vita totale $2W=52$ settimane, ritardo $D=4$ settimane
 - $(4*(3*26 - 4)/2*26^2) = 22\%$
 - Vita totale $2W=52$ settimane, ritardo $D=10$ settimane
 - $(10*(3*26 - 10)/2*26^2) = 50\%$
- I ritardi sono costosissimi!

Costo dei Circuiti Integrati

- ❑ Costi non-ricorrenti
(NRE, *Non-Recurrent Engineering costs*)
 - Progetto
 - Generazione delle maschere
 - Proporzionale al numero di progetti
 - 2B\$ per Nvidia Xavier, 300M\$ in media
- ❑ Costi ricorrenti
 - Processo, packaging, collaudo
 - Proporzionale al numero di chip prodotti
 - Dipende (più che linearmente) dall'area

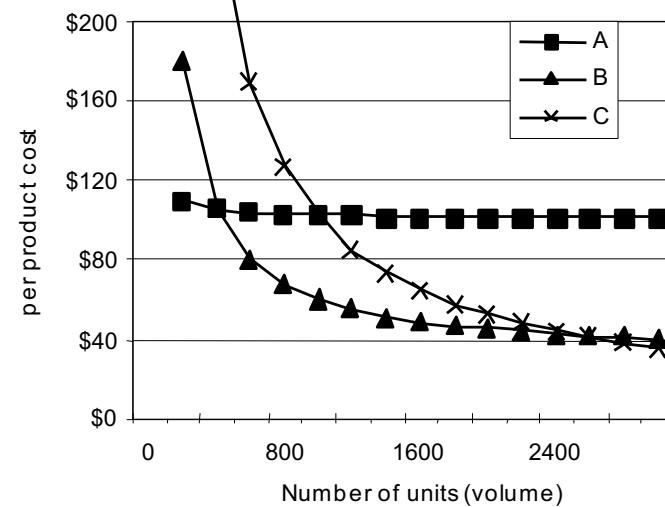
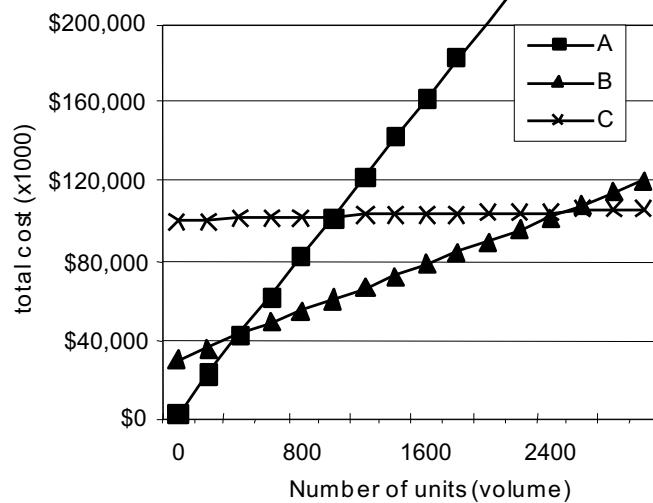
Costo non-ricorrente e unitario (1/2)

□ Costi:

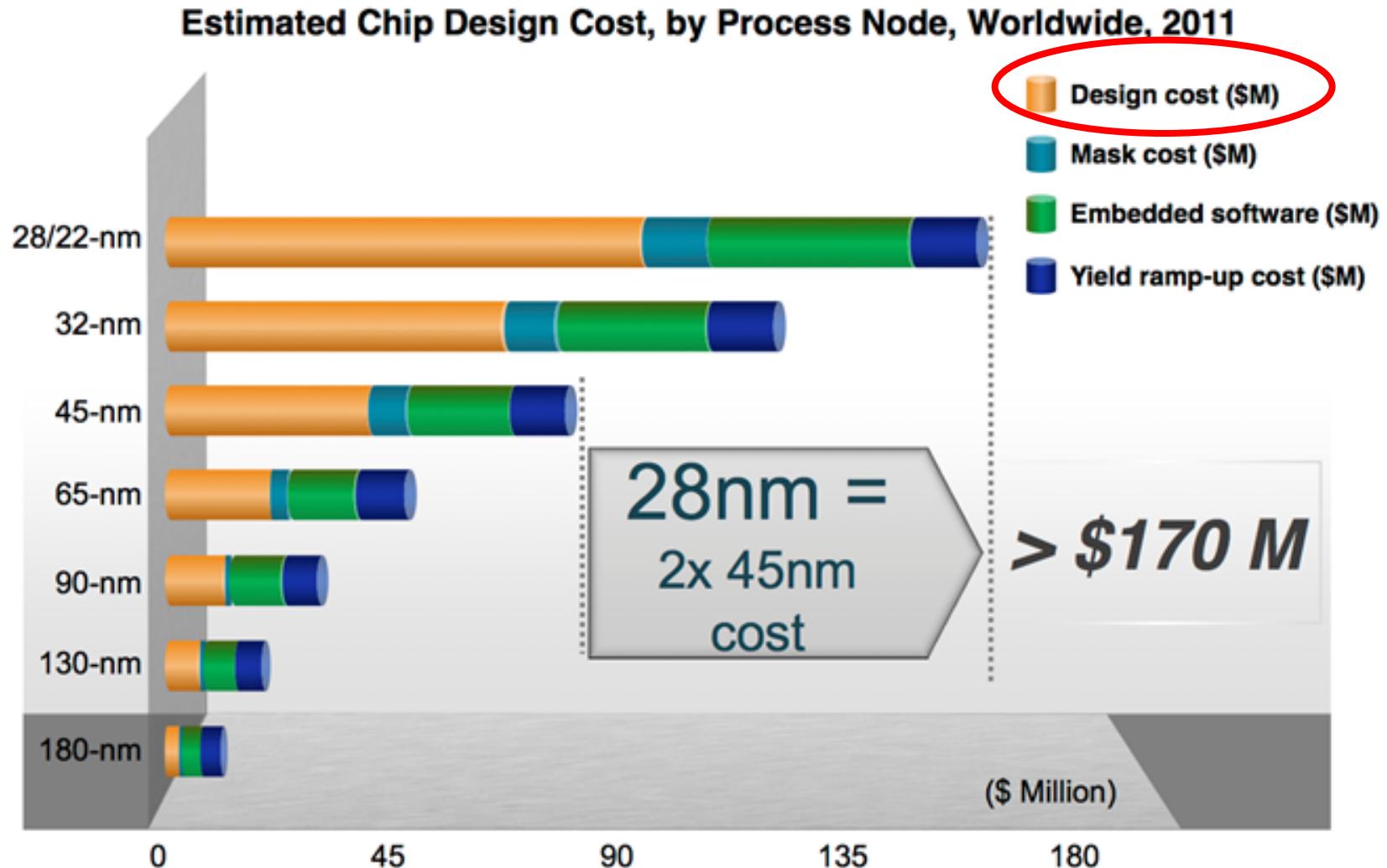
- Costo unitario: costo per **produrre** ogni unità di prodotto, esclusi NRE
 - Costo non-ricorrente (NRE): costo **fisso** (progetto, maschere,...)
 - $\text{Costo totale} = \text{costo unitario} * \# \text{ di unità} + \text{costo NRE}$
 - $\text{Costo per prodotto} = \text{costo totale} / \# \text{ di unità}$
 $= \text{costo unitario} + (\text{costo NRE} / \# \text{ di unità})$
- Esempio
 - NRE=\$2000, unitario=\$100
 - Per 10 unità
 - Costo totale = $10 * \$100 + \$2000 = \$3000$
 - Costo per prodotto = $\$100 + \underbrace{\$2000 / 10}_{\text{Ammortizzare l'NRE su 10 unità aggiunge \$200 per unità}} = \$300$

Costo non-ricorrente e unitario (2/2)

- La migliore tecnologia dipende dal numero di prodotti venduti
 - Tecnologia A (Software+CPU): NRE=\$2,000, unit=\$100
 - Tecnologia B (FPGA): NRE=\$30,000, unit=\$30
 - Tecnologia C (ASIC): NRE=\$100,000, unit=\$2

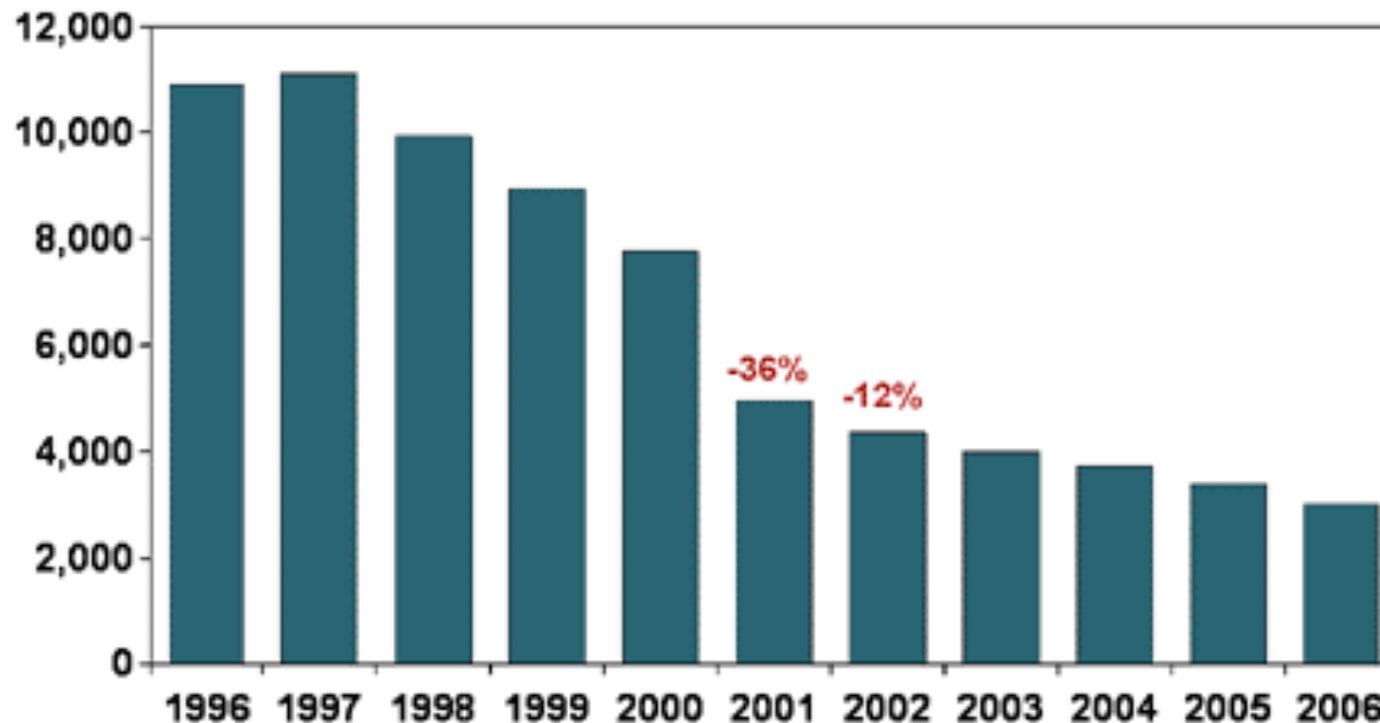


Il costo NRE è in aumento



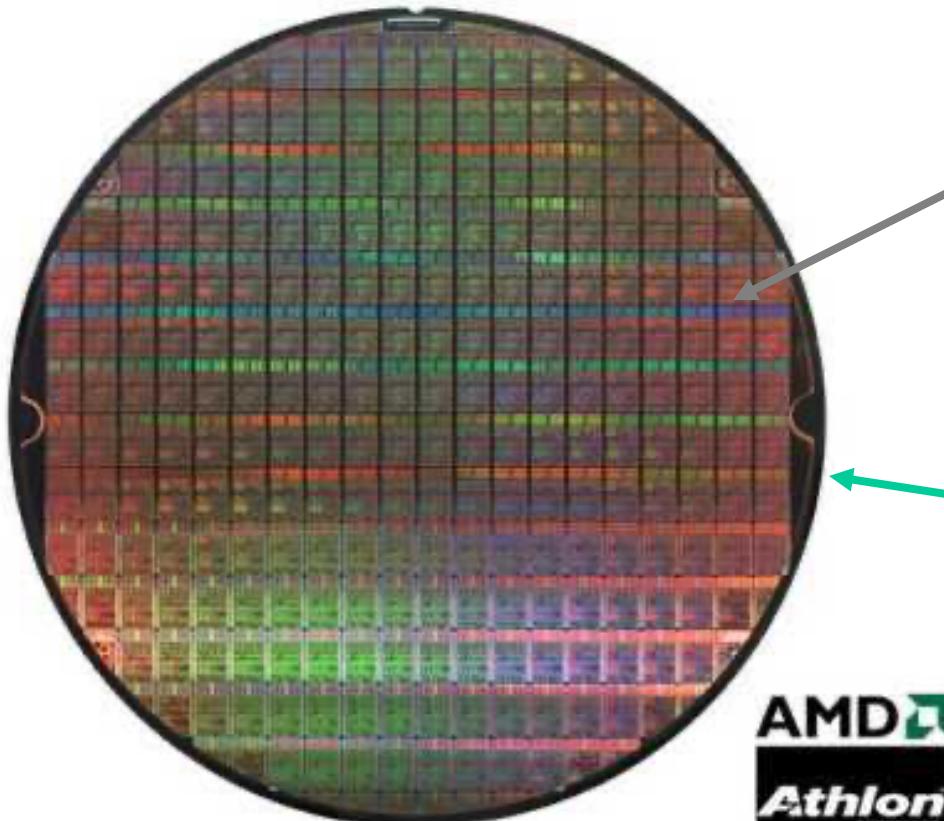
Effetto di NRE in aumento

Design Starts



Necessarie produzioni elevatissime per dividere NRE

Costo di un die



Die Singolo

Wafer

Fino a 12" (300mm)
(450mm in via di
introduzione)

From <http://www.amd.com>

M.R. Casu

DET

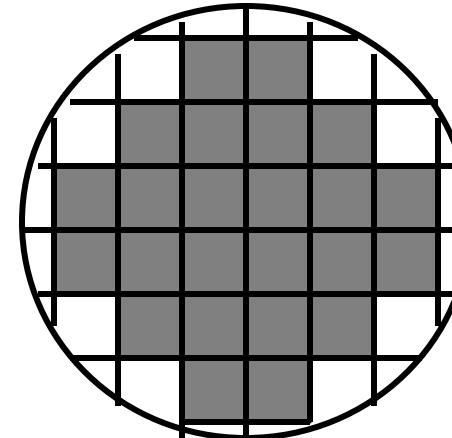
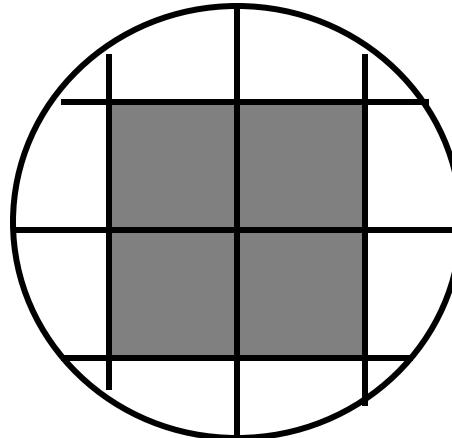


Resa (*yield*, Y)

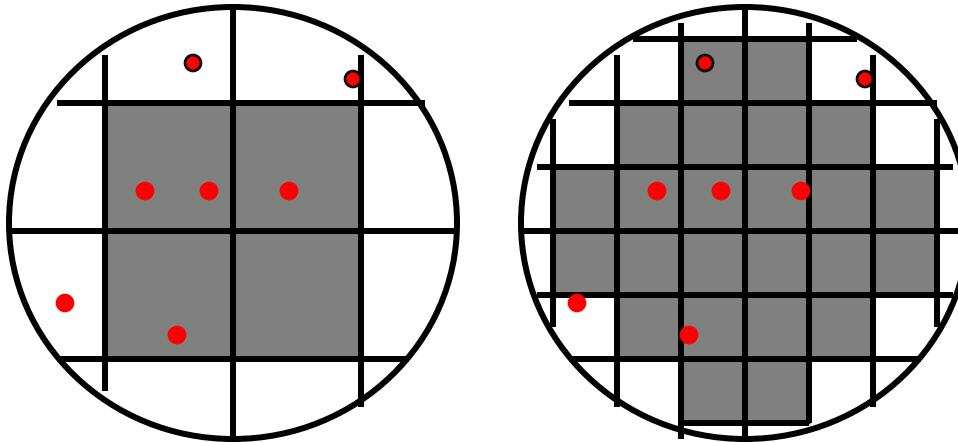
$$Y = \frac{\text{No. di chip buoni per wafer}}{\text{Numero totale di chip per wafer}} \times 100\%$$

$$\text{Die cost} = \frac{\text{Costo del Wafer}}{\text{Dies per wafer} \times yield}$$

$$\text{Dies per wafer} = \frac{\pi \times (\text{wafer diameter}/2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2} \times \text{die area}}$$



Difetti



$$\text{die yield} = \left(1 + \frac{\text{defects per unit area} \times \text{die area}}{\alpha} \right)^{-\alpha}$$

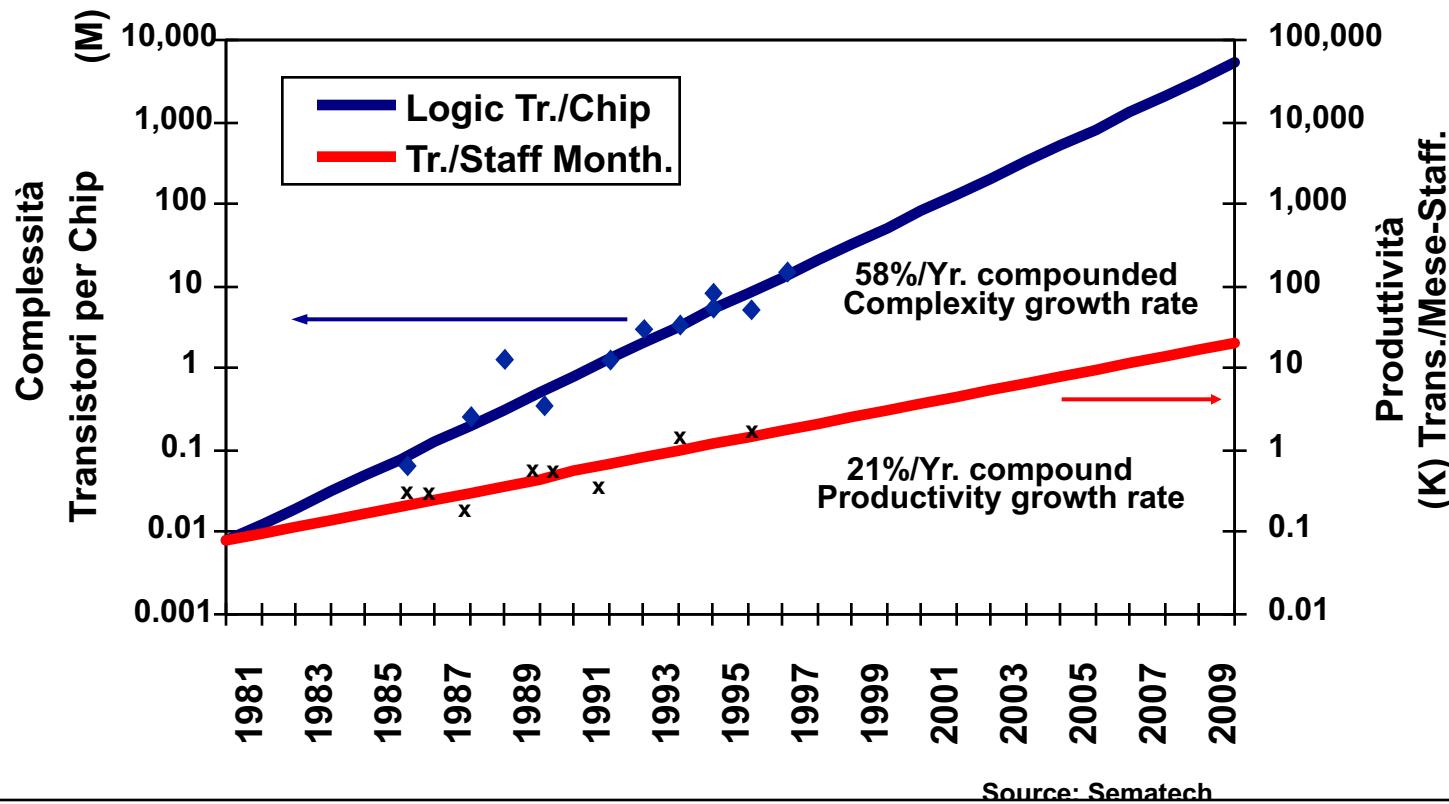
α è approssimativamente 3

$$\text{die cost} = f(\text{die area})^4$$

Alcuni esempi (1994)

Chip	Metal layers	Min size μm	Wafer cost	Def./ cm ²	Area mm ²	Dies/ wafer	Yield	Die cost
386DX	2	0.90	\$900	1.0	43	360	71%	\$4
486 DX2	3	0.80	\$1200	1.0	81	181	54%	\$12
Power PC 601	4	0.80	\$1700	1.3	121	115	28%	\$53
HP PA 7100	3	0.80	\$1300	1.0	196	66	27%	\$73
DEC Alpha	3	0.70	\$1500	1.2	234	53	19%	\$149
Super Sparc	3	0.70	\$1700	1.6	256	48	13%	\$272
Pentium	3	0.80	\$1500	1.5	296	40	9%	\$417

Tendenza della produttività



La complessità cresce più velocemente della produttività

Gestire la Complessità

- ❑ Come progettare un System-on-Chip?
 - Milioni e talvolta miliardi di transistori
 - Decine e centinaia di ingegneri
- ❑ Progetto strutturato
- ❑ Partizionamento del progetto

Regole per progetto strutturato

- **Hierarchy:** Divide et Impera (*Divide & Conquer*)
 - Applicare ricorsivamente dal sistema ai moduli
- **Regularity:** moduli tra loro simili
 - Riutilizzare i moduli ove possibile
 - Es: celle delle librerie *Standard Cell*
- **Modularity:** interfacce ben definite
 - Consente di trattare i moduli come *black box*
- **Locality**
 - Spaziale e temporale

Partizionamento del progetto

□ **Architecture**: prospettiva utente, “cosa fa?”

- *Instruction set, registri*
- MIPS, x86, PIC, ARM, ...

□ **Microarchitecture**

- *Single cycle, multicycle, pipelined, superscalar*

□ **Logic**: “come sono fatti I blocchi funzionali?”

- *Ripple carry, carry lookahead, carry select adders*

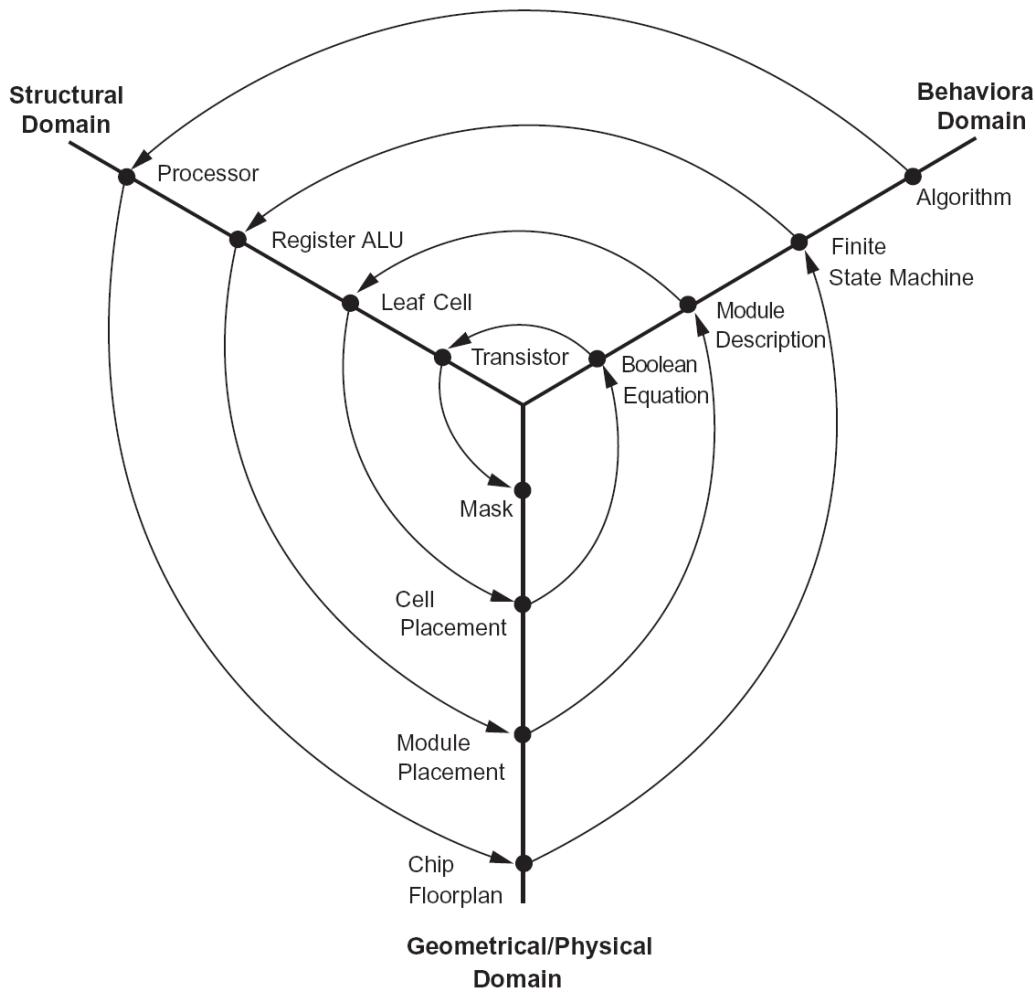
□ **Circuit**: “come sono usati i transistori?”

- *Complementary CMOS, pass transistors, domino*

□ **Physical**: layout del chip

- *Datapaths, memories, random logic*

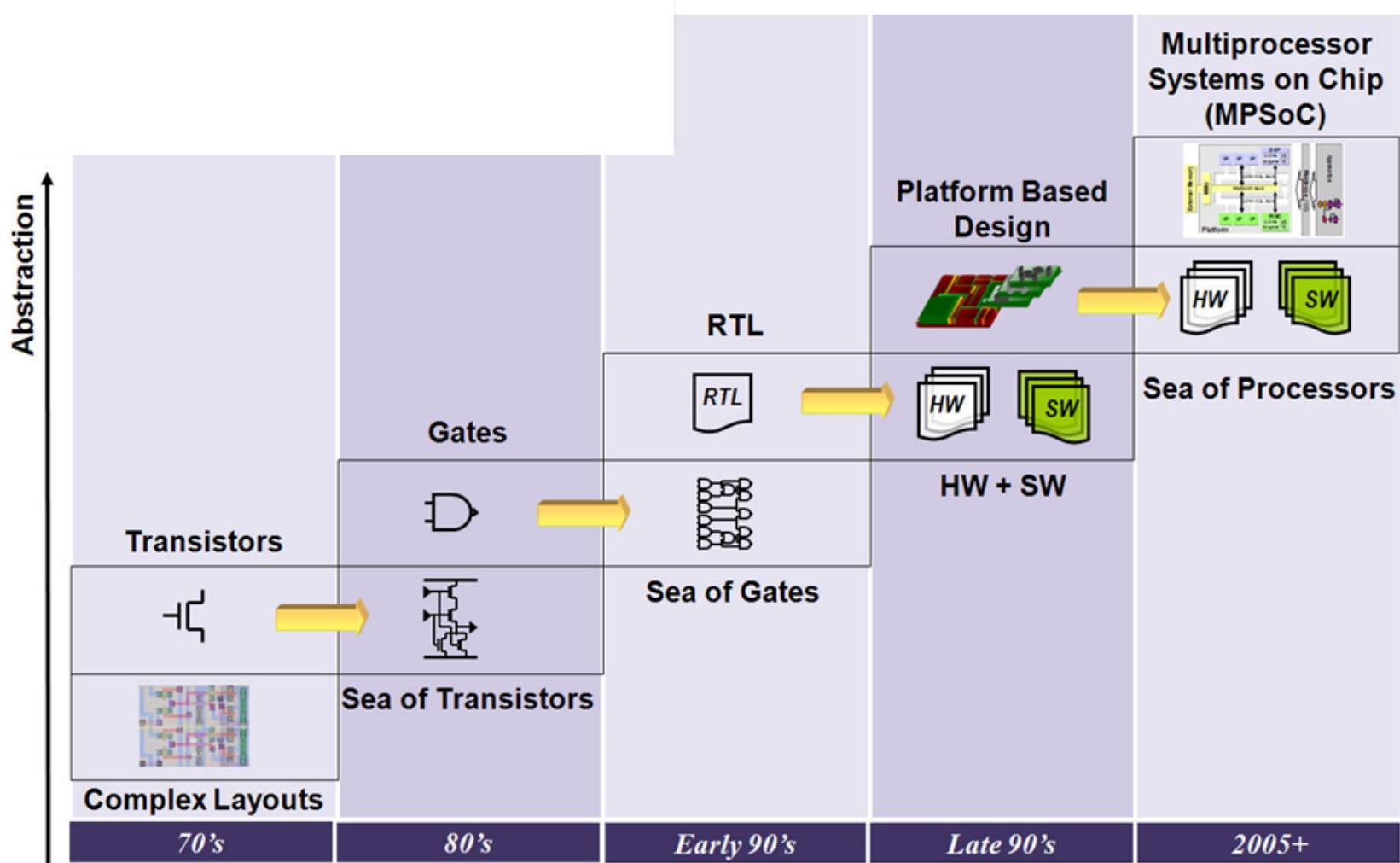
Gajski Y-Chart



Cambio livello
di descrizione

Cambio livello
di astrazione

Livelli di astrazione nel progetto



Astrazione

- Ogni livello esporta verso quello superiore alcuni parametri significativi nascondendo l'implementazione
- Esistono problemi che superano la barriera tra i livelli di astrazione
 - Clock
 - Alimentazioni
 - Interferenze (rumore e diafonia)

Contenuti di questa lezione

- ✓ La legge di Moore e la sua "crisi"
- ✓ Aspetti economici
- Conclusioni

Conclusioni

- Crisi della legge di Moore ⇒ fine di un'era?
 - Fine del trend \$/transistor decrescente con scaling
 - Vantaggi sempre più marginali dallo scaling
 - Costi NRE crescenti (design, verifica)
- Nuove opportunità
 - Tecnologie innovative basate su CMOS
 - Tecnologie non CMOS(?)
 - Progettazione innovativa
 - Riduzione costi tramite aumento produttività del design e livelli di astrazione sempre più alti