I1

23 abril 2021

Inicio: 10.00 am

Entrega: hasta las 9.59 pm

| 0) | Responde esta pregunta de manera manuscrita. |
|----|--|
| | a) Nombre completo y número de alumno: |
| | b) Me comprometo a no preguntar ni responder dudas |

1) Representación complemento de 2 para números con signo.

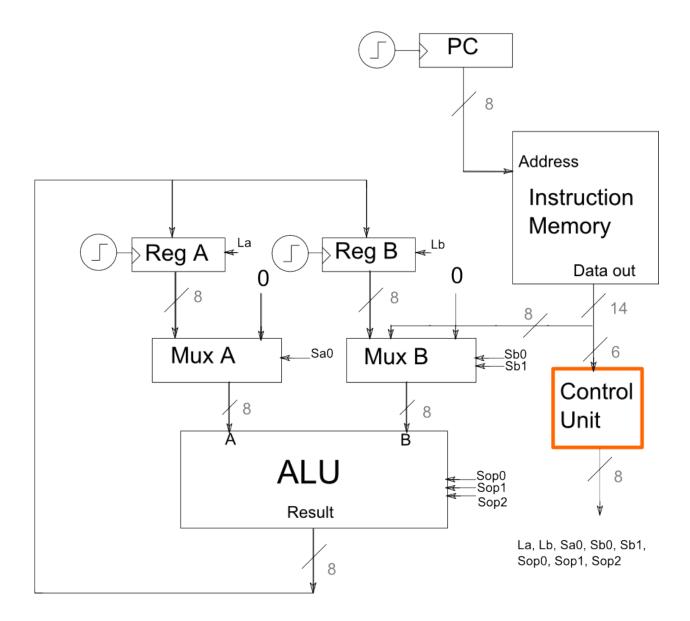
de esta prueba, ya sea directa o indirectamente, a nadie que no sea parte del equipo docente del curso. Firma: ___

- a) En clases dijimos que la representación *complemento de 2* fue elegida porque hace más simple al hardware. Explica de manera clara y precisa algunas de las ventajas en cuanto a hardware de *complemento de 2* frente a *signo y magnitud*; considera específicamente cada uno de los tres problemas que mencionamos en clases para esta última representación.
- b) Demuestra que en la representación complemento de 2, pasar de números de n bits a números de m bits, en que m > n, se puede hacer simplemente por la vía de agregar los m − n nuevos bits a la izquierda de los n bits originales, y ponerlos todos en cero, en el caso de números positivos, o todos en uno, en el caso de números negativos: esta conversión mantiene el valor del número original.

I1

23 abril 2021

- 2) Considera la siguiente versión del computador básico y su correspondiente set de instrucciones (página 3). Queremos agregar un tercer registro, C, al computador básico, y las correspondientes instrucciones ADD A,C y MOV C,B.
 - a) Dibuja y explica de manera clara y precisa los cambios necesarios en el circuito del computador básico: destaca claramente componentes, cables, buses de datos nuevos/modificados y cualquier otro cambio que hagas. La ALU no cambia en cuanto a que sigue teniendo dos inputs, A y B, y un output, Result, y que todos son de 8 bits.
 - b) Especifica las nuevas instrucciones en cuanto a opcodes, señales de control, y operación, similarmente a las otras instrucciones en el set y de manera coherente con tu dibujo en a).



I1

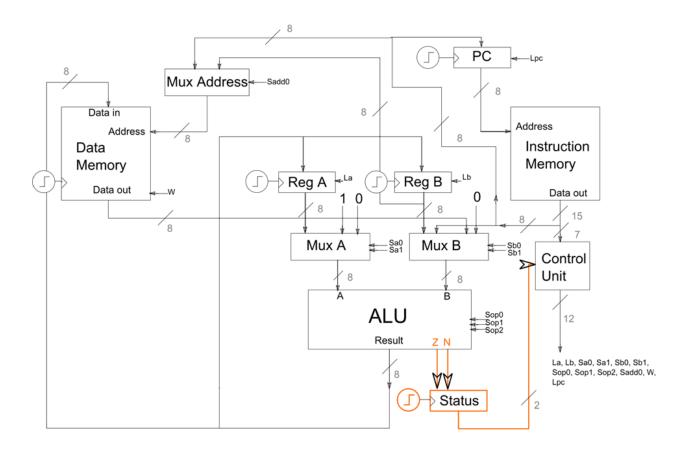
23 abril 2021

| Instrucción | Operandos | Opcode | La | $_{ m Lb}$ | Sa0 | Sb0 | Sb1 | Sop2 | Sop1 | Sop0 | Operación |
|-------------|-------------------|--------|----|------------|-----|-----|-----|------|------|------|-------------------|
| MOV | A,B | 000000 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | A=B |
| | $_{\mathrm{B,A}}$ | 000001 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | B=A |
| | $_{ m A,Lit}$ | 000010 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | A=Lit |
| | $_{ m B,Lit}$ | 000011 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | B=Lit |
| ADD | A,B | 000100 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | A=A+B |
| | $_{\mathrm{B,A}}$ | 000101 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | B=A+B |
| | $_{ m A,Lit}$ | 000110 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | A=A+Lit |
| SUB | $_{\mathrm{A,B}}$ | 000111 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | A=A-B |
| | $_{\mathrm{B,A}}$ | 001000 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | B=A-B |
| | A,Lit | 001001 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | A=A-Lit |
| AND | $_{\mathrm{A,B}}$ | 001010 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | A=A and B |
| | $_{\mathrm{B,A}}$ | 001011 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | B=A and B |
| | A,Lit | 001100 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | A=A and Lit |
| OR | $_{\mathrm{A,B}}$ | 001101 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | A=A or B |
| | $_{\mathrm{B,A}}$ | 001110 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | B=A or B |
| | A,Lit | 001111 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | A=A or Lit |
| NOT | $_{A,A}$ | 010000 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | A=notA |
| | $_{\mathrm{B,A}}$ | 010001 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | B=notA |
| | A,Lit | 010010 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | A=notLit |
| XOR | A,A | 010011 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | A=A xor B |
| | $_{\mathrm{B,A}}$ | 010100 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | B=A xor B |
| | A,Lit | 010101 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | A=A xor Lit |
| SHL | A,A | 010110 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | A=shift left A |
| | $_{\mathrm{B,A}}$ | 010111 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | B=shift left A |
| | A,Lit | 011000 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | A=shift left Lit |
| $_{ m SHR}$ | $_{A,A}$ | 011001 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | A=shift right A |
| | $_{\mathrm{B,A}}$ | 011010 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | B=shift right A |
| | A.Lit | 011011 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | A=shift right Lit |

I1

23 abril 2021

- 3) Considera la siguiente versión del computador básico. El registro Status tiene dos bits, Z y N, que se obtienen a partir del resultado de la operación de la ALU; este resultado tiene 8 bits, tal como se indica en la figura.
 - a) Dibuja el circuito digital que a partir de los 8 bits del resultado de la ALU genera los valores correctos para los bits Z y N (cuyos significados forman parte de lo que tú tienes que saber).
 - b) Queremos agregar un tercer bit, P, al registro Status, tal que P=1 si el resultado de la ALU es un número par o cero; de lo contrario, P=0. Modifica tu circuito de a) para que además genere correctamente el valor del bit P.
 - c) Queremos agregar un cuarto bit, T, a Status: T=1 si el resultado de la ALU es una potencia exacta de 2, positiva; de lo contrario, T=0. Modifica tu circuito de b) para que además genere correctamente el valor de T.
 - d) Finalmente, queremos agregar un quinto bit, E: E =1 si la cantidad de 0s del resultado es par; de lo contrario, E = 0. Modifica tu circuito de c) para que además genere correctamente el valor de E.



I1

23 abril 2021

4) En esta pregunta vas a usar tu número de alumno como input. Específicamente, considerando que tu número es (por ejemplo) xxx9742x, entonces el estado inicial de la memoria de datos va a ser el siguiente. Considera una memoria con $2^8 = 256$ celdas, con direcciones 000000002 a 111111112; entonces, las direcciones 000010102, 000010112 y 000011002 contienen inicialmente los valores tomados de tu número de alumno, como se indica.

| | DATA: | |
|-----------|-------|------------------------|
| dirección | label | $valor\ o \ contenido$ |
| 11111111 | | |
| | | |
| 00001101 | tmp | |
| 00001100 | t | 97 |
| 00001011 | s | 4 |
| 00001010 | r | 2 |
| 00001001 | | |
| | | ••• |
| 00000000 | | |

Ejecuta el siguiente programa en el mismo computador básico de la pregunta 3. Al terminar la ejecución de cada instrucción, indica el contenido de los registros A y B, y el contenido de cualquier celda de la memoria de datos que haya cambiado como consecuencia de la ejecución de la instrucción.

MOV A, (r) MOV B, (s) ADD **A**, B SHR В, А MOV A, (t) Loop: SHR A, A CMP A, 0 End JEQ MOV (B), A MOV (tmp), A MOV A, B SUB A, 1 CMP A, 0 JLT End MOV В, А MOV A, (tmp) JMP Loop

CODE:

End: