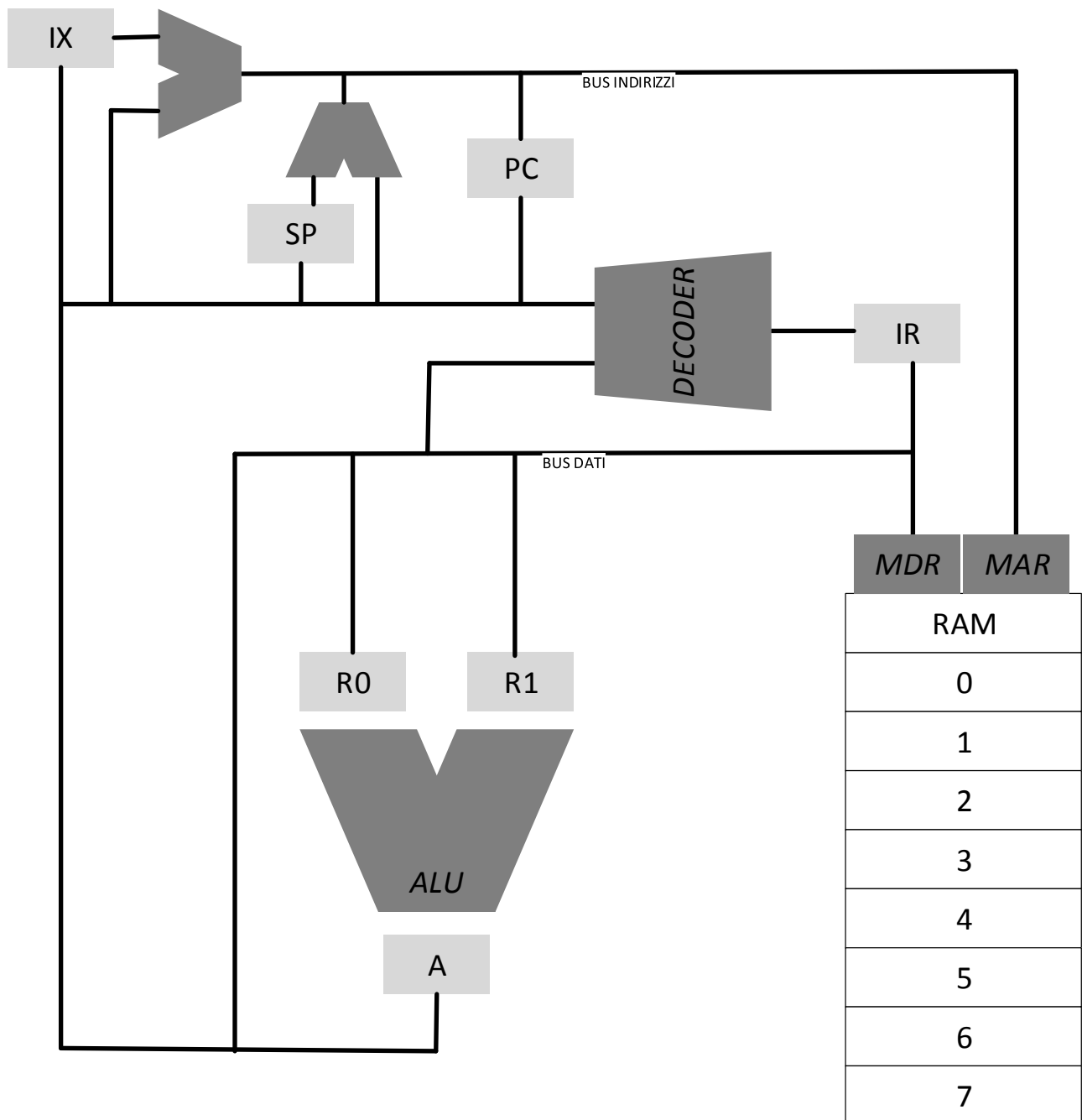


Architettura



R0, R1: registri operandi
 A: registro accumulatore
 IX: registro indice
 SP: *stack-pointer*
 PC: *program-counter*
 IR: registro istruzioni
 MDR: *memory-data-register**
 MAR: *memory-address-register**
 ALU: *arithmetic-logic-unit*

* presenti solo nella grafica: la memoria RAM è un array che può contenere istruzioni o numeri

Ciclo *fetch-execute*

$IR \leftarrow RAM[PC]$ *si evidenzia: 1) reg. PC + bus indirizzi + reg. MAR 2) RAM[PC] 3) reg. MDR + bus dati + reg. IR*
 $PC \leftarrow PC + 1$ *si evidenzia reg. PC*
 $execute(IR)$ *si evidenzia: 1) reg. IR + decoder 2, ...) vedi tabella istruzioni*

Set istruzioni

0	NOP		-
1	HLT		-
2	ADD	$A \leftarrow R0 + R1$	2) reg. R0 + reg. R1 3) ALU 4) reg. A
3	SUB	$A \leftarrow R0 - R1$	2) reg. R0 + reg. R1 3) ALU 4) reg. A
4	MUL	$A \leftarrow R0 * R1$	2) reg. R0 + reg. R1 3) ALU 4) reg. A
5	DIV	$A \leftarrow R0 / R1$	2) reg. R0 + reg. R1 3) ALU 4) reg. A
6	MOV R0	$R0 \leftarrow A$	2) reg. A + bus dati 3) bus dati + reg. R0
7	MOV R1	$R1 \leftarrow A$	2) reg. A + bus dati 3) bus dati + reg. R1
8	MOV IX	$IX \leftarrow A$	2) reg. A + bus dati 3) bus dati + reg. IX
9	SET R0 #n	$R0 \leftarrow n$	2) decoder + bus dati 3) bus dati + reg. R0
10	SET R1 #n	$R1 \leftarrow n$	2) decoder + bus dati 3) bus dati + reg. R1
11	SET IX #n	$IX \leftarrow n$	2) decoder + bus dati 3) bus dati + reg. IX
12	SET SP #n	$SP \leftarrow n$	2) decoder + bus dati 3) bus dati + reg. SP
13	LOD R0 ind	$R0 \leftarrow RAM[ind]$	2) decoder + bus indirizzi + reg. MAR 3) cella RAM[ind] 4) reg. MDR + bus dati + reg. R0
14	LOD R1 ind	$R1 \leftarrow RAM[ind]$	2) decoder + bus indirizzi + reg. MAR 3) cella RAM[ind] 4) reg. MDR + bus dati + reg. R1
15	LOD IX ind	$IX \leftarrow RAM[ind]$	2) decoder + bus indirizzi + reg. MAR 3) cella RAM[ind] 4) reg. MDR + bus dati + reg. IX
16	LOD SP ind	$SP \leftarrow RAM[ind]$	2) decoder + bus indirizzi + reg. MAR 3) cella RAM[ind] 4) reg. MDR + bus dati + reg. SP
17	LOD R0 @ind	$R0 \leftarrow RAM[IX + ind]$	2) decoder + bus indirizzi + reg. IX + adder 3) bus indirizzi + reg. MAR 4) cella RAM[IX+ind] 5) reg. MDR + bus dati + reg. R0
18	LOD R1 @ind	$R1 \leftarrow RAM[IX + ind]$	2) decoder + bus indirizzi + reg. IX + adder 3) bus indirizzi + reg. MAR 4) cella RAM[IX+ind] 5) reg. MDR + bus dati + reg. R1
19	LOD R0 \$ind	$R0 \leftarrow RAM[SP + ind]$	2) decoder + bus indirizzi + reg. SP + adder 3) bus indirizzi + reg. MAR 4) cella RAM[SP+ind] 5) reg. MDR + bus dati + reg. R0
20	LOD R1 \$ind	$R1 \leftarrow RAM[SP + ind]$	2) decoder + bus indirizzi + reg. SP + adder 3) bus indirizzi + reg. MAR 4) cella RAM[SP+ind] 5) reg. MDR + bus dati + reg. R1
21	STO ind	$RAM[ind] \leftarrow A$	2) decoder + bus indirizzi + MAR + reg. A + bus dati + reg. MDR 3) cella RAM[ind]
22	STO @ind	$RAM[IX + ind] \leftarrow A$	2) decoder + bus indirizzi + reg. IX + adder 3) bus indirizzi + MAR + reg. A + bus dati + reg. MDR 4) cella RAM[IX+ind]
23	STO \$ind	$RAM[SP + ind] \leftarrow A$	2) decoder + bus indirizzi + reg. SP + adder 3) bus indirizzi + MAR + reg. A + bus dati + reg. MDR 4) cella RAM[SP+ind]

24	JMP ind	$PC \leftarrow ind$	2) decoder + bus indirizzi + reg. PC
25	JMZ ind	if $A=0$ then $PC \leftarrow ind$	2) reg. A 3) [decoder + bus indirizzi + reg. PC]/[reg. PC]
26	JML ind	if $A<0$ then $PC \leftarrow ind$	2) reg. A 3) [decoder + bus indirizzi + reg. PC]/[reg. PC]
27	JMG ind	if $A>0$ then $PC \leftarrow ind$	2) reg. A 3) [decoder + bus indirizzi + reg. PC]/[reg. PC]
28	PSH	$RAM[SP] \leftarrow A$ $SP \leftarrow SP - 1$	2) reg. SP + bus indirizzi + MAR + reg. A + bus dati + reg. MDR 3) cella RAM[SP] 4) reg. SP
29	POP	$SP \leftarrow SP + 1$ $A \leftarrow RAM[SP]$	3) reg. SP 4) reg. SP + bus indirizzi + reg. MAR 5) cella RAM[SP] 6) reg. MDR + bus dati + reg. A
30	CAL ind	$RAM[SP] \leftarrow PC$ $SP \leftarrow SP - 1$ $PC \leftarrow ind$	2) reg. SP + bus indirizzi + MAR + reg. PC + bus dati + reg. MDR 3) cella RAM[SP] 4) reg. SP 5) decoder + bus indirizzi + reg. PC
31	RET	$SP \leftarrow SP + 1$ $PC \leftarrow RAM[SP]$	2) reg. SP 3) reg. SP + bus indirizzi + reg. MAR 4) cella RAM[SP] 5) reg. MDR + bus dati + reg. PC