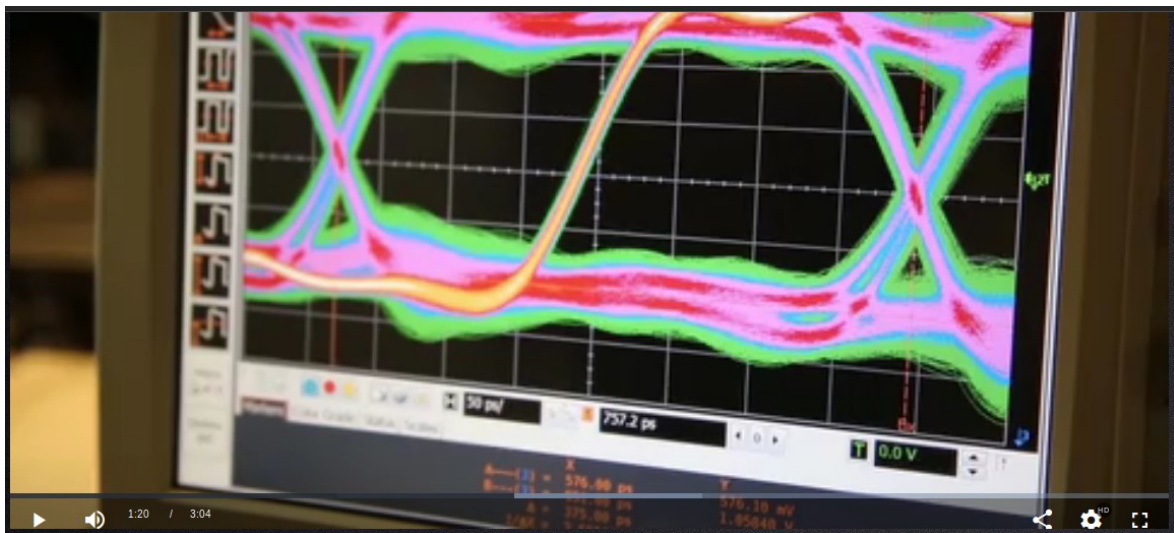


El ancho de banda de las memorias está dado por:

1. Data rate
2. Número de interfaces
3. Ancho de cada interface
4. Eficiencia en la transferencia interna de la información

En lo que respecta al Data rate se sabe que la limitación no solo es la velocidad de buffer en la memoria, sino que tiene que cumplirse todo el tiempo la alineación data-clock, es decir, hay que conocer el límite anterior al de la metaestabilidad de los flip-flops internos, es decir, cumplir con los tiempos mínimos de hold y setup provistos por el fabricante, tanto de la memoria como del driver y el bus AXI. Además se debe analizar la sincronización entre diferentes dominios de reloj si es que no se mantiene entre la Lógica Programable y el driver (pasando por el AXI). Para esto se pueden analizar los diagramas de ojo en la entrada del chip y así comprobar el cumplimiento a máxima velocidad.



<https://www.xilinx.com/video/soc/zynq-ultrascale-plus-ddr4-memory-interfaces.html>

Respecto al número y ancho de las interfaces dependerá de la capacidad del driver de la memoria y del ancho de banda de los buses AXI3. Ignoro el tema de AXI pero seguramente haya limitaciones en el ancho de banda de los mismos. La cantidad a utilizar para realizar las pruebas dependerá de esta característica, por lo que quizá no sea necesario utilizar los 4.

Por último, la eficiencia en la transferencia de información será pura responsabilidad del fabricante en suministrarla y así tener, con todos estos datos, un estimativo de lo que se pretende medir.

Por lo que estuve leyendo, el AXI3 puede manejarse tranquilamente con 400MHz de clock, con un ancho de palabra de 32 bit y con la posibilidad de utilizar los 4 masters en paralelo, lo que significa una tasa de transferencia de casi 50Gb/s, que se convierten en 100Gb/s usando los canales de read and write en simultaneo. Y las memorias que están en las Zynq Ultrascale son de 2400Mb/s, por lo que un solo bus AXI3 alcanzaría para utilizar el máximo ancho de banda de la memoria.

En lo que respecta al ensayo, y partiendo de la estimación inicial, propondría un sistema de máximo Data rate con visión de asegurar la ausencia de posibles metaestabilidades en los registros tanto del driver como de la memoria y tanto en escritura como en lectura, pudiendo testear no solo en posicionamientos contiguos sino con posicionamientos aleatorios con diferentes distancias de Hamming entre los datos suministrados.