## **Actividad 8.1**

- 1) Hay varias categorías en las que pueden separarse los SEE (Single Event Effects):
  - Single Event Upset (SEU)
    - o Bit inversion
  - Single Event Transient (SET)
    - Transient in combinational logic
  - Single Event Latchup (SEL)
    - Latchup many times destructive!
  - Single Event Gate Rupture (SEGR)
    - Rupture of gate oxide in a MOS, destructive!
  - Single Event Functional Interrrupt (SEFI)
  - Multiple Bit Upset (MBU)

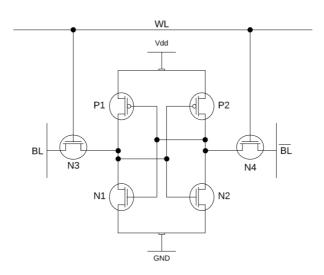
La ocurrencia y performance de cada uno de ellos depende fuertemente de la energía que pueda depositar la partícula cargada dentro del chip, es decir, dependen fuertemente del LET (Linear Energy Transfer) de la partícula, es decir, que cuanto mayor sea el LET, mayor será la carga depositada en el nodo donde el evento ocurrió.

La razón por la cual tienen mayor lugar en aplicaciones espaciales es porque el flujo de protones y neutrones es muy considerable. Los protones son los encargados de los daños directos ya que poseen carga suficiente para generar cualqueira de los SEE nombrados anteriormente. Por otro lado, los neutrones, si bien no poseen carga, tienen la posibilidad de interactuar con el nucleo de los materiales, e indirectamente generar la liberación de partículas nocivas de los mismo (por ejemplo partículas alpha).

Hoy en día, se comienzan a ver estos efectos no necesariamente a nivel espacial, ya que si bien las probabilidades de ocurrencia son mucho menores en superficie, la disminución en la escala de fabricación de los chips han llevado a decrementos considerables en sus capacidades parásitas, y así, en sus protecciones inherentes a descargas indeseadas.

2) Los SEU (Simple Event Upset) son generados generalmente con el impacto de una partícula cargada en un punto específico del chip. Por ejemplo a continuación muestro cómo se genera dicho efecto en una SRAM 6-T (dicho trabajo lo realicé hace pocas semanas para otro curso).

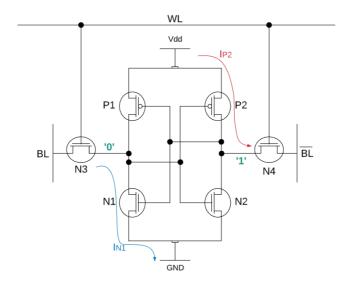
## 6-T SRAM:



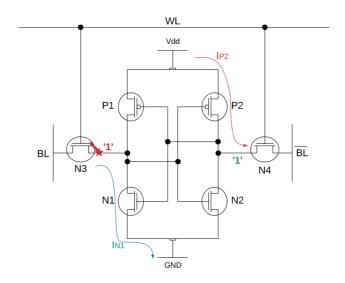
donde:

WL = Word Line BL = Bit Line

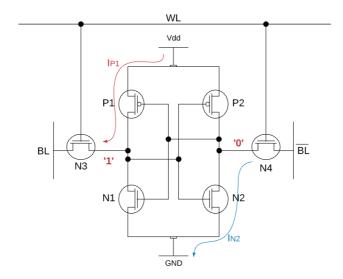
## Podemos presentar un caso particular:



Ahora, si una partícula cargada impacta en un nodo de la celda generando un cambio de voltaje, instantáneamente obtendremos:



Lo que suceda después depende de la energía de la partícula. Si es lo suficientemente alta para ganar la carrera con la corriente de N1 durante un pequeño instante, N2 comenzará a conducir y P2 a apagarse, y entonces, se alcanzará la siguiente situación:



Si las capacitancias de la celda son menores (lo que sucede hoy en día con el low-scaling en la fabricación de chips), la tolerancia a este tipo de eventos serán menores también.

Mostrado esto, está de más decir que el fitting o clustering de memorias para que no compartan sectores del chip es más que una buena práctica para evitar este tipo de efectos, ya que se reduce la posibilidad de que un mismo causante afecte a más de un sistema funcional de la FPGA.