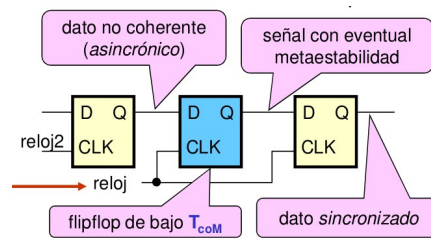


Actividad 1.2

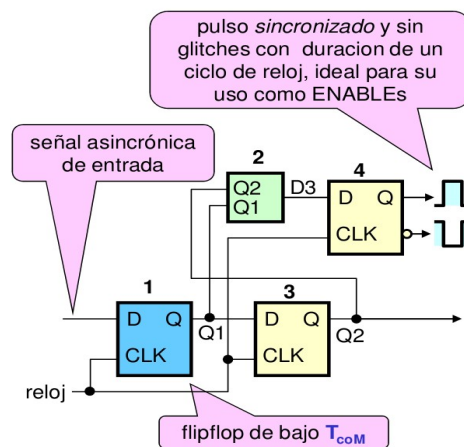
1) Un sistema clásico de dos interfaces con CLK independientes es la configuración de transferencia de datos a velocidad de CLK de una interfaz a otra.

En el caso que los relojes independiente compartan frecuencia y fase no habría inconvenientes, pero como esto no es posible que suceda se pueden dar problemas importantes en la sincronización de los datos, problemas que pueden ir desde metaestabilidades a la hora de leer un dato que justo está cambiando de estados con el CLK de la interfaz emisora, o potenciales pérdida de datos si la combinación de Jitter y fase de ambos CLKs logran correrse un ciclo de reloj completo.

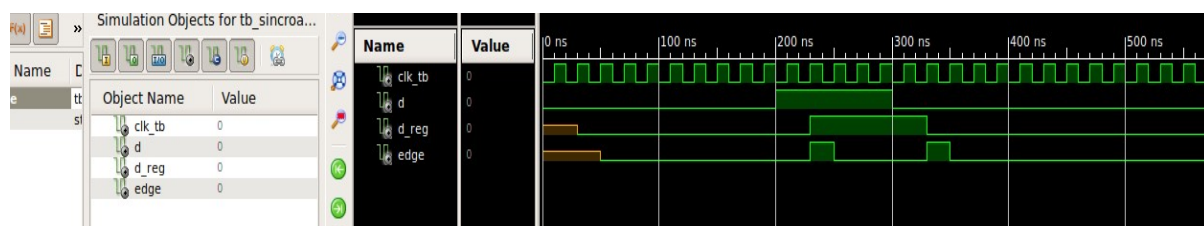
2) Se puede tratar como una señal asincrónica no coherente e ingresarla al sistema por el método de la doble registración, asegurando que se cumple $t_{clk} > t_{coM} + t_{su}$ como se mostró en la clase



3) Implementación del circuito propuesto de sincronización y detección de flancos



Implementación	Simulación
<pre> library IEEE; use IEEE.STD_LOGIC_1164.ALL; entity En_SincroAndEdge is Port (CLK : in STD_LOGIC; D : in STD_LOGIC; D_Reg : out STD_LOGIC; Edge : out STD_LOGIC); end En_SincroAndEdge; architecture Arq_SincroAndEdge of En_SincroAndEdge is signal Q1, Q2, D3 : STD_LOGIC; begin D_Reg <= Q2; D3 <= Q1 XOR Q2; process(CLK) begin if rising_edge(CLK) then Q1 <= D; Q2 <= Q1; Edge <= D3; end if; end process; end Arq_SincroAndEdge; </pre>	<pre> LIBRARY ieee; USE ieee.std_logic_1164.ALL; ENTITY TB_SincroAndEdge IS END TB_SincroAndEdge; ARCHITECTURE behavior OF TB_SincroAndEdge IS COMPONENT En_SincroAndEdge PORT(CLK : IN std_logic; D : IN std_logic; D_Reg : OUT std_logic; Edge : OUT std_logic); END COMPONENT; --Inputs signal CLK_TB : std_logic := '0'; signal D : std_logic := '0'; --Outputs signal D_Reg : std_logic; signal Edge : std_logic; BEGIN uut: En_SincroAndEdge PORT MAP (CLK => CLK_TB, D => D, D_Reg => D_Reg, Edge => Edge); CLK_TB <= not CLK_TB after 10ns; D <= '0', '1' after 200ns, '0' after 300ns; END; </pre>



4) Xilinx

$$MTBF = \frac{e^{K2 \cdot t}}{F1 \cdot F2 \cdot K1}$$

Device	F _L (MHz)	F _H (MHz)	Half-period Difference (ns)	K2 (1/ ns)
XC4005E-3 IOB	111.5	131.6	0.685	16.1
XC4005E-3 CLB	109.0	124.4	0.568	19.4
XC4005-6 IOB	73.0	90.0	1.294	8.5
XC4005-6 CLB	71.2	88.8	1.392	7.9
XC5206-5 CLB	70.8	79.8	0.80	13.7
XC3142A-09 IOB	152.2	206.6	0.87	12.7
XC3142A-09 CLB	107.4	211.3	2.29	4.8
XC3042-70 IOB	46.6	61.5	2.60	4.2
XC3042-70 CLB	41.9	64.8	4.22	2.6

donde K1 erepresenta la probabilidad de que suceda una metaestabilidad en una cierta ventana de tiempo (experimental y estimado en 0.1 ns en la experiencia de la referencia).

Altera

	Device	τ (ns)	T_o (s)	t_r (ns)
$MTBF(t_r) = \frac{\exp(t_r / \tau)}{T_o f a}$ MTBF = 1000 yrs. F = 25 MHz a = 100 KHz $t_r = ?$	74LS74	1.50	$4.0 \cdot 10^{-1}$	77.71
	74S74	1.70	$1.0 \cdot 10^{-6}$	66.14
	74S174	1.20	$5.0 \cdot 10^{-6}$	48.62
	74S374	0.91	$4.0 \cdot 10^{-4}$	40.86
	74F74	0.40	$2.0 \cdot 10^{-4}$	17.68
	PALC16R8-25	0.52	$9.5 \cdot 10^{-12}$	14.22*
	PALC22V10B-20	0.26	$5.6 \cdot 10^{-11}$	7.57*
	PALCE22V10-7	0.19	$1.3 \cdot 10^{-13}$	4.38*
	7300-series CPLD	0.29	$1.0 \cdot 10^{-15}$	5.27*
	9500-series CPLD	0.17	$9.6 \cdot 10^{-18}$	2.30*

5) Partiendo de la ecuación de la metaestabilidad, se puede proceder experimentalmente a estimar el valor de la misma sabiendo el T_{met} del sistema

$$MTBF = e^{C2 * T_{met}} / (C1 \times f_d \times f_c)$$

donde

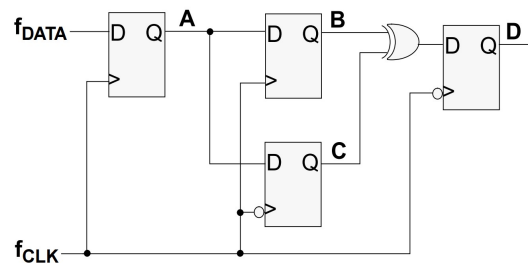
$C1$ y $C2$ = constantes características del sistema y son independientes a las frecuencias tanto de clock como de datos (según la teoría de la metaestabilidad)

T_{met} = tiempo adicional que debe esperarse al T_{co} para asegurarse que el muestreo de la salida del Flip-Flop es realmente lo que debe haber (tiempo de posible metaestabilidad)

f_d = frecuencia de datos

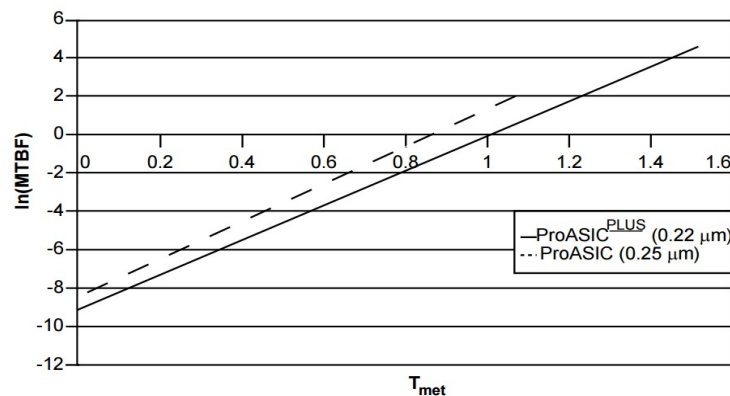
f_c = frecuencia de clock

El siguiente esquema es un clásico setup de medición de metaestabilidad



Donde el FFD entrega a la salida pulsos cuando la salida del FFA presenta metaestabilidades en el semiperíodo del clock (diferencia detectada cuando las salidas de FFB y FFC son diferentes).

Los diferentes puntos del experimento se van logrando variando el Duty-Cycle del clock de entrada, pudiendo testear la frecuencia de aparición de las metaestabilidades, ya que cuanto menor sea el Duty más rápida será la comparación entre FFB y FFC. Así, se logran resultados como el siguiente, pudiendo caracterizar el comportamiento metaestable del sistema en ensayo.



Referencias

- Xilinx Metaestabilidad - <http://userweb.eng.gla.ac.uk/scott.roy/DCD3/technotes.pdf>
- Altera Metaestabilidad - http://www.ee.ic.ac.uk/pcheung/teaching/ee3_DSD/9-metastability.pdf
- Microsemi Metaestabilidad - https://www.microsemi.com/document-portal/doc_view/129929-hb-metastability-characterization-report-for-microsemi-flash-fpgas