

## **GUÍA MÓDULO 1: Problemas básicos de interfase. La metaestabilidad**

El objetivo de este módulo es comprender a qué se llama metaestabilidad y porqué es de fundamental importancia en el diseño de sistemas digitales. Básicamente, al circunscribir un rango analógico continuo a la definición de sólo dos posibles valores lógicos, aparece una incertidumbre en las zonas límite, y la toma de decisiones sobre señales con valores en esa zona límite pueden llevar a situaciones inestables.

Este problema no es evitable, pero sus efectos pueden ser minimizados y tenidos en cuenta al analizar un diseño mediante técnicas de sincronización de señales asincrónicas.

Se describen formas de comprobar el fenómeno y métodos de sincronización e incorporación de señales asíncronas en diseños sincrónicos, y se dan ejemplos de diseños mal hechos y cómo corregirlos



### **Actividad 1.1 (Entrega Obligatoria)**

Busque información y describa cómo funcionan los siguientes dispositivos:

1. Diferencias de comportamiento entre un séxtuple inversor 74HC04 versus un 74HCU04.
2. Compare al 74HC04 con el séxtuple inversor Trigger Schmitt 74HC14.



Utilice el recurso [Actividad 1.1](#) para enviar



### **Actividad 1.2 (Entrega Obligatoria)**

1. Imagine y describa los potenciales problemas en las interfases entre dos sistemas que operan con distintas señales de reloj.
2. Evalúe cómo conviene manejar la señal de reset externo.
3. Desarrolle en VHDL componentes que realicen la sincronización y la detección de flancos.
4. Busque y reporte referencias al comportamiento metaestable de diferentes FPGAs de distintos fabricantes.
5. Analizar y explicar cómo se puede evaluar el MTBF al conocer Tmet.



Utilice el recurso [Actividad 1.2](#) para enviar

### **Consideraciones finales**

Al finalizar este módulo debe quedar el concepto del “dominio” de una señal de reloj, de cómo todas aquellas señales que se usan para procesar contenidos (el QUÉ) deben estar referenciadas temporalmente a los eventos activos (flancos de reloj) de ese dominio (el CUÁNDO), y los conflictos de relación entre un dominio de reloj y el mundo asincrónico o el dominio de otro reloj.

Bibliografía sugerida:

- [http://www.microsemi.com/document-portal/doc\\_view/129929-hb-metastability-characterization-report-for-microsemi-flash-fpgas](http://www.microsemi.com/document-portal/doc_view/129929-hb-metastability-characterization-report-for-microsemi-flash-fpgas)
- [http://www.xilinx.com/support/documentation/application\\_notes/xapp094.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp094.pdf)
- <http://www.altera.com/literature/wp/wp-01082-quartus-ii-metastability.pdf>