



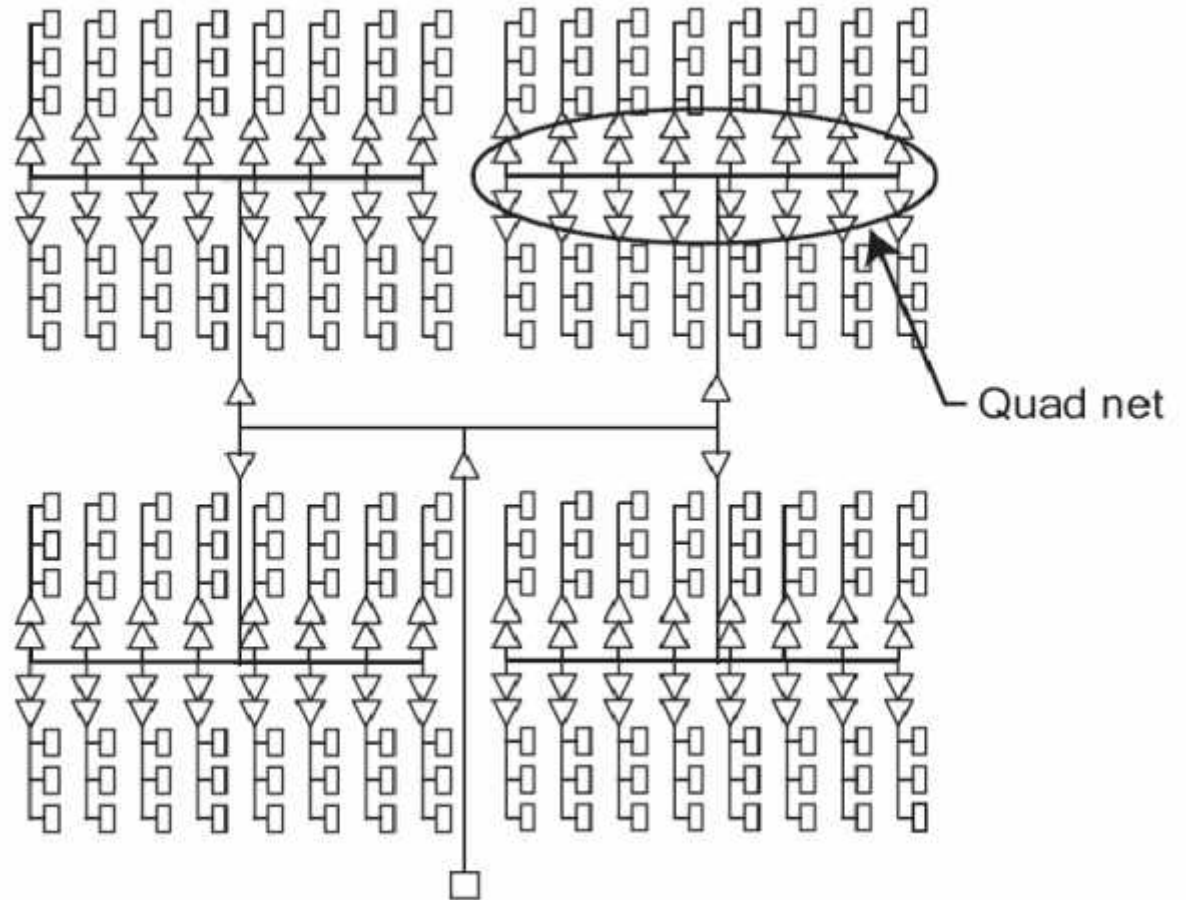
Módulo 5: Restricciones temporales en el mundo real

Contenidos del módulo 5

- Circuitos de distribución de reloj intra-chip
- Circuitos de distribución de reloj extra-chip.
- Parámetros de importancia intra-chip: T_{setup} , T_{hold} , T_{co} , T_{coM} , T_{skew} , T_{slack} .
- Parámetros referidos a señales externas
- El punto de referencia en ciertos circuitos de PLL

Circuitos de distribución de reloj intra-chip

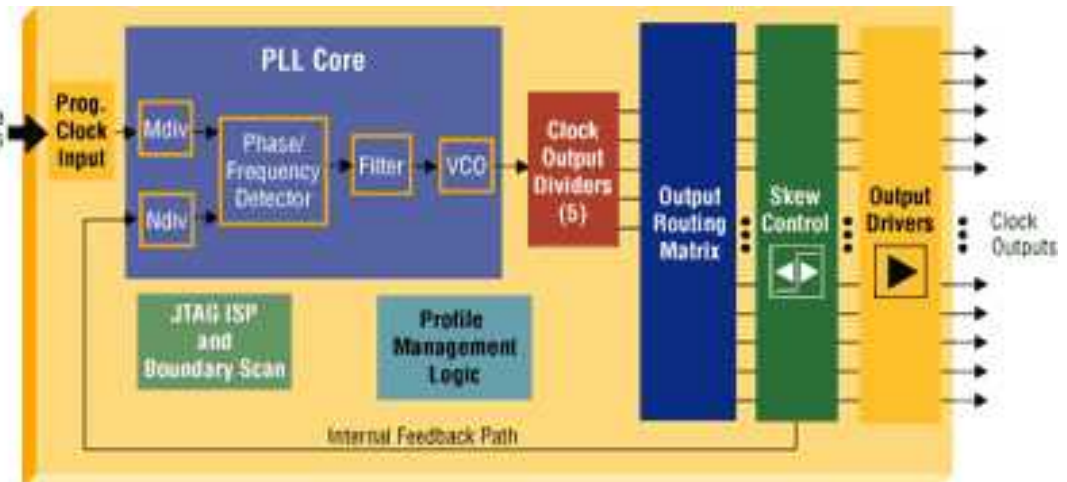
- Las redes (*nets*) globales son de gran importancia cuando se desea propagar señales por todo el chip con mínima dispersión temporal (*skew*)
- Son independientes de las redes usadas para datos, y aunque pueden ser usadas para lógica, su funcionalidad se orienta como fuente de señales de reloj o de control (CLEAR/PRESET) u OUTPUT-ENABLE.



• Ejemplo de la red de distribución de reloj en una FPGA pequeña: QL6325 de Quick Logic

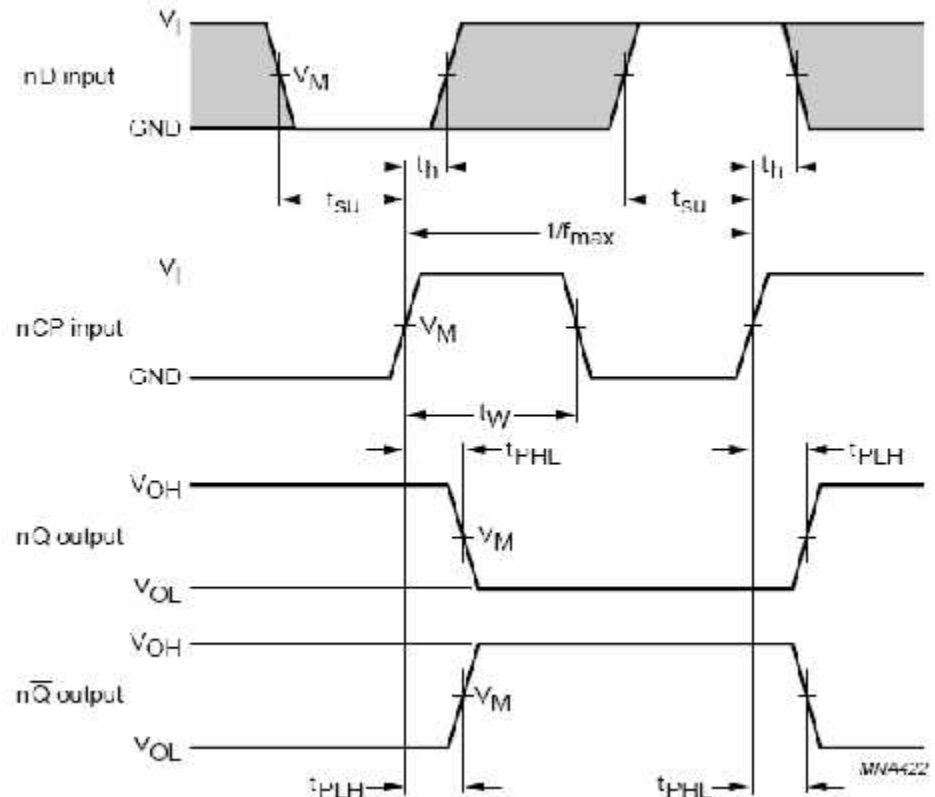
Circuitos de distribución de reloj extra-chip

- ❑ En sistemas sincrónicos de alta velocidad el problema de la generación y distribución de una o más señales de reloj puede ser sumamente importante, debido a los distintos retardos y la necesidad de mantener coherencia entre las fases de distintos relojes.
- ❑ Además de ser necesario emplear topologías de distribución de reloj que ecualicen los caminos de propagación puede convenir el uso de dispositivos especiales
- ❑ Un caso especial a considerar son los ispClock de Lattice Semiconductors
- ❑ A partir de un PLL y 5 divisores se generan 5 distintas frecuencias, que son ruteadas a hasta 20 canales de salida, y cada uno de estos puede ser demorado un tiempo distinto para acomodar los tiempos de arribo de cada señal a su destino. Cada señal de reloj puede salir del chip mediante distintas normas de I/O de alta velocidad.



Tiempos referidos a cada Flipflop respecto al reloj

- T_{su} : tiempo que los datos deben estar en un valor estable (0 o 1) antes de la ocurrencia del flanco activo de reloj
- T_h : tiempo que los datos deben estar en un valor estable (0 o 1) luego de la ocurrencia del flanco activo de reloj
- T_w : tiempo mínimo de duración de la señal de reloj en 1 o 0
- F_{max} : máxima frecuencia de flancos activos de reloj
- T_{PHL} : retardo T_{co} (clock-to-output para propagar un 0 a la salida
- T_{PLH} : retardo T_{co} (clock-to-output para propagar un 1 a la salida



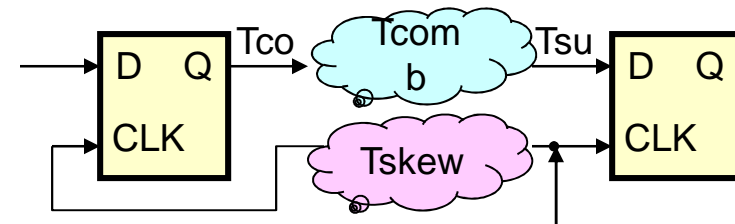
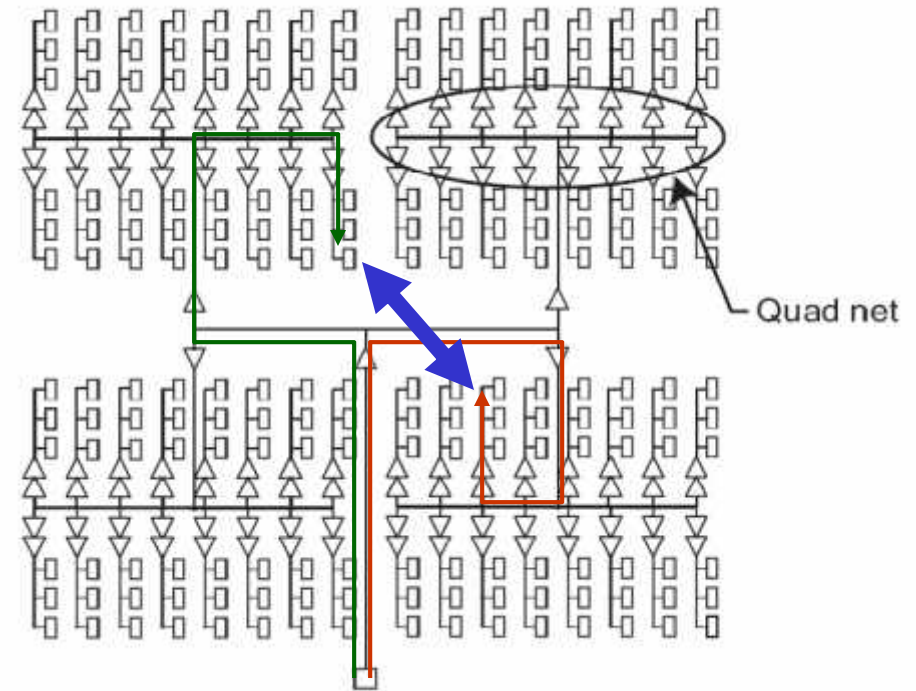
74HC74; 74HCT74, Dual D-type flip-flop with set reset; positive-edge trigger. NXP 10/7/2003

El tiempo Tskew

- El tiempo de **skew** se refiere a la diferencia en el tiempo de arribo a destino de señales simultáneas.
- En el caso del reloj, la señal atraviesa múltiples etapas de buffereado
- Y la dispersión en los retardos agregados por esos buffers provoca que el reloj llegue en distintos momentos
- Para evitar generar metaestabilidades, los valores de F_{max} y Tsu_{max} quedan:

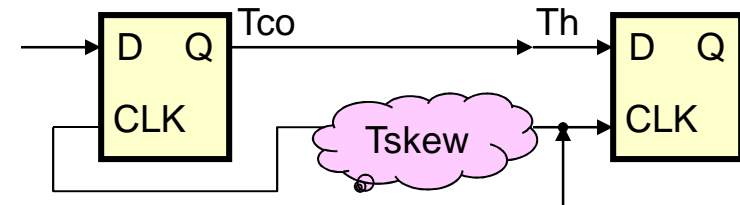
$$F_{max} < 1 / (Tco_{max} + Tcomb_{max} + Tsu_{max} + Tskew_{max})$$

$$Tsu_{max} < (1/F_{max}) - (Tco_{max} + Tcomb_{max} + Tskew_{max})$$



El tiempo Thold

- El tiempo Thold, junto a Tsetup, debe ser respetado si se desea evitar generar metaestabilidades
 - A diferencia de Tskew, el caso peor sucede cuando Tcomb es mínimo
 - Si Tco es demasiado rápido y se suma el efecto de Tskew (donde el reloj llegue antes al segundo flipflop), se puede producir la violación temporal
 - Debe cumplirse entonces:
- $$Tco_{min} > Thold_{max} + Tskew_{max}$$
- Es usual que por retardos internos de cada flipflop se especifiquen Thold negativos



Dual D type flip flop with set and reset; positive-edge trigger				74HC74; 74HCT74			
Family 74HCT GND = 0 V; $t_1 = t_2 = 8$ ns; $C_L = 50$ pF							
SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V_{CC} (V)				
$T_{amb} = -40$ to $+85$ °C							
t_{prop}	propagation delay nQF to nQ, nQ	see Fig. 7	4.0	—	18	44	ns
	propagation delay nQF to nQ, nQ	see Fig. 8	4.5	—	23	50	ns
	propagation delay nQF to nQ, nQ	see Fig. 8	4.5	—	24	50	ns
t_{HL}	output transition time	see Fig. 7	4.5	—	7	10	ns
t_W	clock pulse width HIGH or LOW	see Fig. 9	4.0	23	9	—	ns
	set or reset pulse width LOW	see Fig. 8	4.5	20	9	—	ns
t_{res}	removal time set or reset	see Fig. 8	4.5	0	1	—	ns
t_{su}	setup time nQ to nQF	see Fig. 7	4.0	15	5	—	ns
t_h	hold time nQF to nQ	see Fig. 7	4.5	-45	-3	—	ns
f_{max}	maximum clock pulse frequency	see Fig. 7	4.5	23	—	—	MHz

El tiempo Tslack

- El tiempo de **Tslack** se refiere al margen temporal disponible una vez que un dispositivo ha sido ruteado y el análisis temporal ha sido hecho
- Un diseño que funcione a una frecuencia F_{max} es más susceptible a cambios que afecten los caminos de menor Tslack
- Un buen diseño busca maximizar los menores Tslack:

$$Tslack_{min} = (1/F_{max}) - (Tco_{max} + Tcomb_{max} + Tsu_{max} + Tskew_{max})$$

Setup Timing Analysis of reloj_20MHz

Setup Slack Path Summary

Index	Slack	Delay	Clock	Dest. Clock	Data Start Pin	Data End Pin
1	10.157	37.918	reloj_20MHz	reloj_20MHz	cpu_core_block/reg_clkcpu/CLK	other_regs_BLOCK/adbblock_ChSelReg/EN
...						

Ejemplo del reporte del Timing Analyzer de un software de Place&Route:
10,157ns + 37,918ns = 48,075ns ... el 1,925ns faltante considera el Tsu de EN