

### ***GUÍA MÓDULO 5: Restricciones temporales en el mundo real***

En este módulo se busca reforzar y enriquecer ideas presentadas en el módulo 1. Habiendo visto las ventajas de soluciones sincrónicas, donde todo un sistema opera en un único dominio de reloj, el análisis fino permite observar que ese “reloj común” en realidad arriba a cada componente con ligeras diferencias temporales, lo cual puede llegar a ser causa de errores.

Para el caso de diseños digitales de alta velocidad pasa a ser de importancia presentar qué son los circuitos de distribución de reloj intra-chip y extra-chip (en un PCB, por ejemplo).

Y completando lo visto en el módulo 1 se analiza cómo interpretar en una hoja de datos los tiempos referidos a cada Flipflop respecto al reloj: Tskew, Thold, Tslack.



#### **Actividad 5.1 (Entrega Obligatoria)**

1. Realice una breve descripción de la topología de las redes de distribución de reloj en una FPGA mediana (Cyclone III EP3C5E144, por ejemplo).



Utilice el recurso [Actividad 5.1](#) para enviar



#### **Actividad 5.2 (Entrega Obligatoria)**

1. Busque y detalle especificaciones de TCO, TCOM y Tmet en distintos componentes.
2. Busque y detalle especificaciones de Tskew en las redes de reloj de distintos componentes.
3. Busque información sobre “Clock Distribution Techniques” y elabore un informe sobre los criterios de diseño de una red de distribución de reloj.



Utilice el recurso [Actividad 5.2](#) para enviar

#### **Consideraciones finales**

Cuando una FPGA se usa a frecuencias mucho más bajas que la máxima posible, ciertos problemas potenciales suelen ser abstractos. Pero al querer obtener la máxima performance, el conocimiento del tema de la distribución de reloj puede permitir obtener una solución funcional y económicamente válida sin tener que usar la solución de fuerza bruta, que es emplear un chip más rápido y por ende más costoso.

Bibliografía sugerida:

- [http://web.stanford.edu/class/archive/ee/ee371/ee371.1066/lectures/Old/Older/lect\\_08\\_ck\\_examples\\_1up.pdf](http://web.stanford.edu/class/archive/ee/ee371/ee371.1066/lectures/Old/Older/lect_08_ck_examples_1up.pdf)
- [http://web.engr.oregonstate.edu/~traylor/ece474/lecture\\_verilog/beamer/tsu\\_and\\_th.pdf](http://web.engr.oregonstate.edu/~traylor/ece474/lecture_verilog/beamer/tsu_and_th.pdf)
- <http://www.altera.com/support/software/timequest/clock/tq-clock.html>
- [http://cs.anu.edu.au/courses/ENGN3213/Documents/FPGA\\_TIMING/Xilinx\\_Timing\\_AppNote.pdf](http://cs.anu.edu.au/courses/ENGN3213/Documents/FPGA_TIMING/Xilinx_Timing_AppNote.pdf)