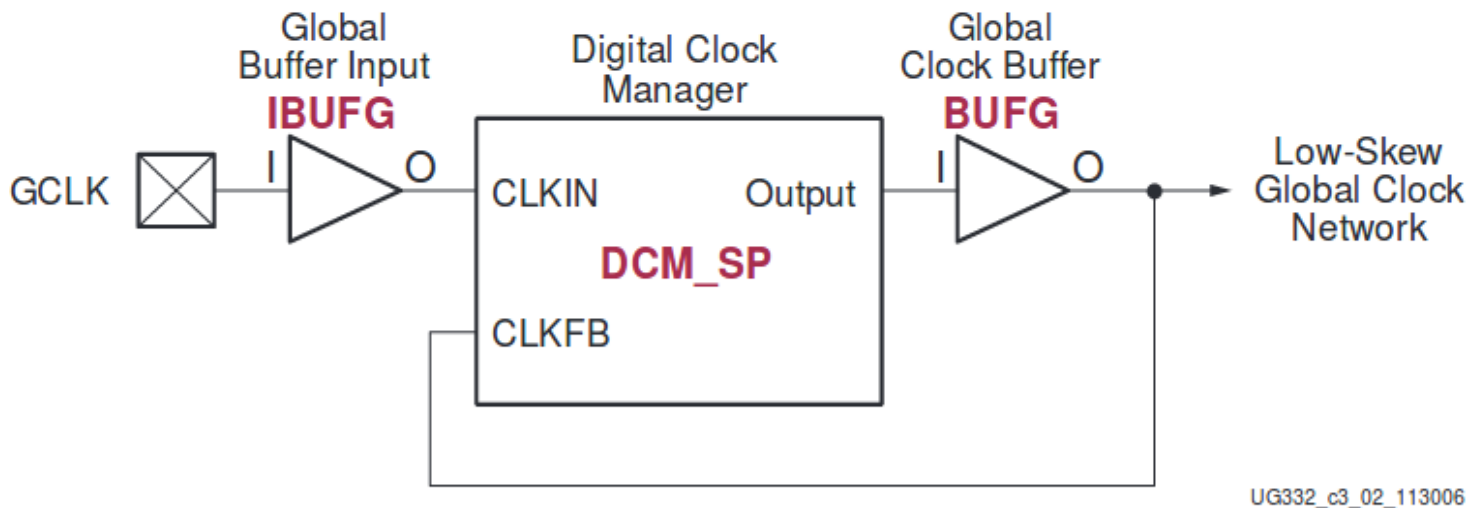


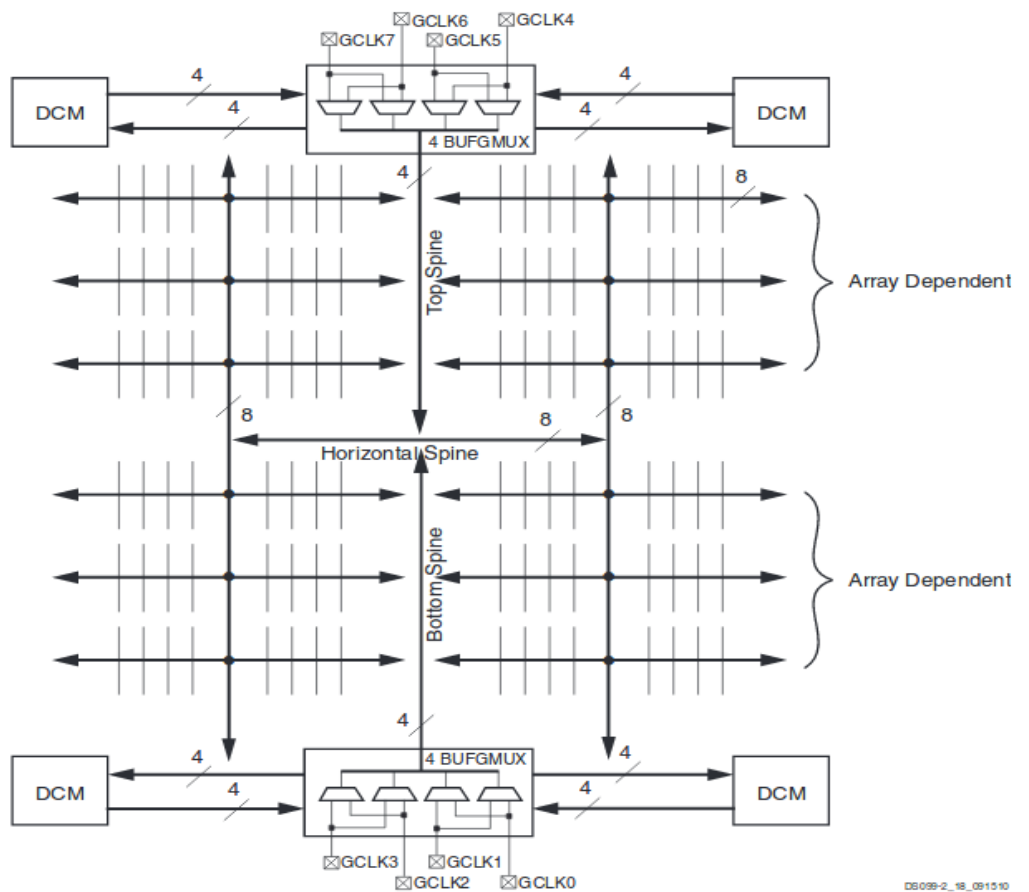
Actividad 5.1

1) Como dispositivo de análisis se tomó la Familia de Spartan-3 de Xilinx. Estas FPGAs cuentan con 8 entradas exclusivas de CLK (GCLK[0..7]) para ser inmersas en la Red de Clock de bajo Skew. Para esto las señales son ingresadas de la siguiente manera

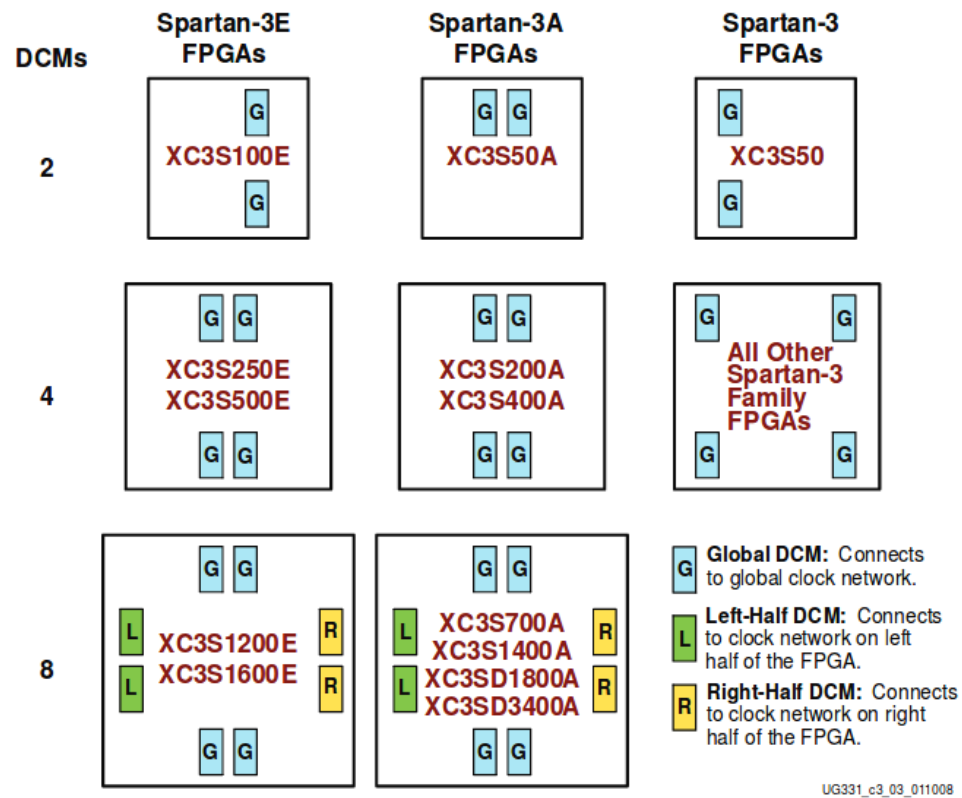


Donde cada una, controlada por un MUX de entrada libre de glitches, se conecta a un DCM para, entre otras cosas, eliminar el skew respecto a la red de CLK, manteniendo una diferencia de fase nula entre su entrada y su salida. Los MUX de entrada (BUFGMUX) permiten tanto la selección de los CLKs tanto en single-ended como en LVDS, también pudiendo lograr desconexión total de los pines de la FPGA en caso de no ser utilizadas dichas entradas.

Una vez buffereado el CLK de entrada se lo conecta a la red que se muestra a continuación



Se observa el equilibrio mantenido a lo largo de la FPGA para lograr mínimo Skew de CLK de un lado de la FPGA respecto a la otra punta. Este esquema varía levemente dentro de la misma familia, agregando grupos de DCM en relación al tamaño de la misma, para poder contrarrestar los efectos dimensionales. En la siguiente imagen se esquematizan estas diferentes topologías.



Referencias:

Spartan-3 FPGA Family - https://www.xilinx.com/support/documentation/data_sheets/ds099.pdf

Extended Spartan-3 FPGA Families - https://www.xilinx.com/support/documentation/user_guides/ug331.pdf