

GUÍA MÓDULO 3: División de frecuencias

Bajo el término “División de frecuencias” se agrupa un objetivo mucho más ambicioso: cómo diseñar un bloque con una entrada y una salida donde exista una dada relación fija entre la tasa de entrada de eventos y la tasa de salida de eventos. Si las tasas de entrada y salida son de frecuencia constante se habla de una relación de frecuencias, y si la frecuencia de salida es menor que la entrada se puede hablar de división de frecuencias, pero esos son sólo casos particulares.



Actividad 3.1 (Entrega Obligatoria)

1. ¿Cómo elegir los “ciclos a robar” en un “rate multiplier” si no es de módulo 10 o 16? Elaborar una descripción de las metas a satisfacer y el criterio que satisfaga esas metas.
2. Implementar un rate multiplier parametrizable ($N = 5$ to 32) en VHDL.
3. Evaluar la hoja de datos del MC12026A de ON Semiconductors. Proponer un circuito de uso real (<http://www.onsemi.com/pub/Collateral/MC12026A-D.PDF>)
4. Evaluar el comportamiento del MC4044 en modo detector de frecuencia y fase (salidas U1 y D1) como máquina de estados. Simular y validar ese comportamiento. ¿Cuál es la limitación de implementar una copia textual del MC4044 en VHDL dentro de una FPGA?
5. Buscar cómo evaluar el espectro del ruido de fase de un divisor fraccionario (relación racional). ¿Cuáles son las situaciones de caso peor?



Utilice el recurso [Actividad 3.1](#) para enviar



Actividad 3.2 (Entrega Obligatoria)

Implementar el ejercicio planteado en las transparencias finales de la presentación del módulo, de un circuito que recibe dos señales del mundo externo (un reloj de 2,048MHz y datos a 2,048Mbps sincronizados con ese reloj). Usando un reloj interno con una frecuencia aproximada a 72 MHz se deben diseñar en modo sincrónico los sincronizadores y recuperadores de reloj que permita generar las señales de Datos y Reloj de entrada sincronizados con el reloj interno, a fin de evitar posteriores metaestabilidades, y dos relojes/enables de salidas: uno de 17,92MHz (en realidad $35/4$ veces la frecuencia del reloj de entrada), y uno de 2,240MHz (relación $35/32$ veces la frecuencia del reloj de entrada)



Utilice el recurso [Actividad 3.2](#) para enviar

Consideraciones finales

Se ha puesto énfasis en este tema, porque la generación precisa de frecuencias es parte fundamental de TODAS las técnicas modernas de comunicación de datos. La precisión de las frecuencias permite definir la interacción entre canales adyacentes, y el ruido de fase es crítico en la interferencia intersímbolos (ISI).

Bibliografía sugerida:

- <http://www.ti.com/lscds/ti/logic/rate-multiplier-frequency-divider-timer-products.page>
- http://en.wikipedia.org/wiki/Dual-modulus_prescaler
- <http://www.ti.com/lit/an/swra029/swra029.pdf>
- <http://www.adv-radio-sci.net/5/313/2007/ars-5-313-2007.pdf>