

【手撕代码】超硬核，华为手撕代码题汇总(强烈推荐)!

OpenIC 2022-06-17 06:30 Posted on 上海

The following article is from IC媛 Author IC媛



IC媛

老学姐分享数字IC求职经验



IC媛

老学姐分享数字IC求职经验

63篇原创内容

Official Account



华为的面试中，大部分面试者都会遇到手撕代码或者现场做题，小编把去年秋招华为面试过程遇到的手撕代码进行汇总，供大家参考。建议大家举一反三，把对应知识点吃透！

1、序列生成器

【手撕代码】序列生成器（周期生成1010110111）（含verilog源码）

2、序列检测

【手撕代码】序列检测（1011001），每拍并行输入2bit，检测到输出一个高电平脉冲

3、同步fifo 异步fifo

- (1) 出题方式：写关键部分代码
- (2) 以fifo为基础进行扩展

给一个同步FIFO，接口：clk、rstn、data_in、data_out、full、empty，写一个检查它的scoreboard，具体体现检查逻辑。（偏向于验证）

建议：自己把同步fifo和异步fifo的代码都理解一遍且自己能独立写出来，以备不时之需。

推荐文章（点击下面链接即可）：

如何设计一个同步FIFO（一）

如何设计一个同步FIFO（二）

如何设计一个同步FIFO（三）

4、分频（奇数分频偶数分频、占空比多少、分频电路）

比如写占空比为50%的5分频，这里的占空比和分频数是变化的，要保证不管怎么变都写得出来。有的面试官还会要求画对应分频电路，大家也要准备一下。

推荐文章（点击下面链接即可）：

面试题分析 -- 时钟分频电路

分频器的设计-奇偶分频

占空比为50%的奇数分频器

采用基本逻辑门与寄存器实现占空比%50的3分频

5、仲裁器

推荐文章（点击下面链接即可）：

仲裁器设计（一） -- Fixed Priority Arbiter

仲裁器设计（二） -- Round Robin Arbiter

仲裁器设计（三） -- Weighted Round Robin

6、脉冲提前检测

有个周期为1毫秒的脉冲（其中高电平为100ns），该脉冲和clk_sys（系统时钟）是同一个时钟域的同步信号。要求：根据用户配置，以该脉冲为参考，产生一个提前若干clk_sys时钟周期的脉冲输出（高电平，长度为一个时钟周期）。

input clk_sys,//主时钟100MHz，上升沿有效

input reset_sys,//异步复位，高电平有效

input[1:0]cycle_cfg,//配置的提前时钟周期数目：2'b00不提前；2 'b01提前1个周期；2' b10提前2个周期；2'b11提前3个周期
input pulse_1ms,//同步脉冲信号
output pulse_chg//提前输出的脉冲

这道题解法挺多，后面小编会整理几种写法供大家参考。

7、找16个 $a[i]*b[i]$ 数中的最大值

用最大速度的设计方法找到对应相乘的最大值，即 $a[0]*b[0]$ ， $a[1]*b[1]$ ，...， $a[16]*b[16]$ 的最大值，并写出Verilog代码

8、不连续检测111

这个题目记不清了，大家可以去网上再找找

9、检测11后插入0

检测序列11，检测到了后面插入一个0，输入有vld，输出也有vld，输入也是2bit，输出2bit。还有一个条件就是输入vld不连续，至少会持续一个周期的低电平；
如输入011011
输出01100110

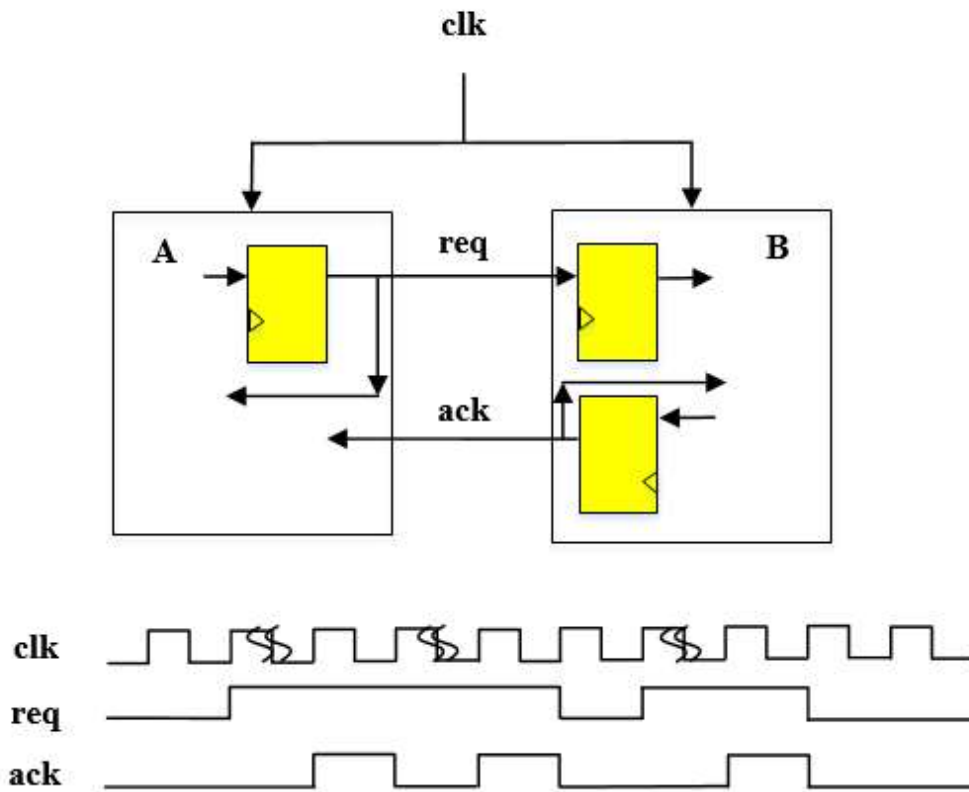
10、位宽转换32非对齐输入，64输出

详细题目：

- (1)输入数据位宽32bit，非连续，带有字节有效信号的非对齐数据和数据有效信号，输入数据包长度为1-256字节的任意长度，
- (2)经过处理，按照输出64bit位宽输出的对齐数据，带有字节有效和数据有效输出；
- (3)同步电路；
- (4)在15分钟内完成；

11、握手

A和B两个模块，之间采用req和ack的握手机制进行通信，req一次，ack一次，req发出之后，直到ack有效才能拉低，ack只能持续一个cycle，req可以连续发出。时序如下所示，req信号和ack信号都是寄存器输出，B模块中的req必须寄存器输入，不能做组合逻辑。请根据下图正确写出B模块的rtl代码。



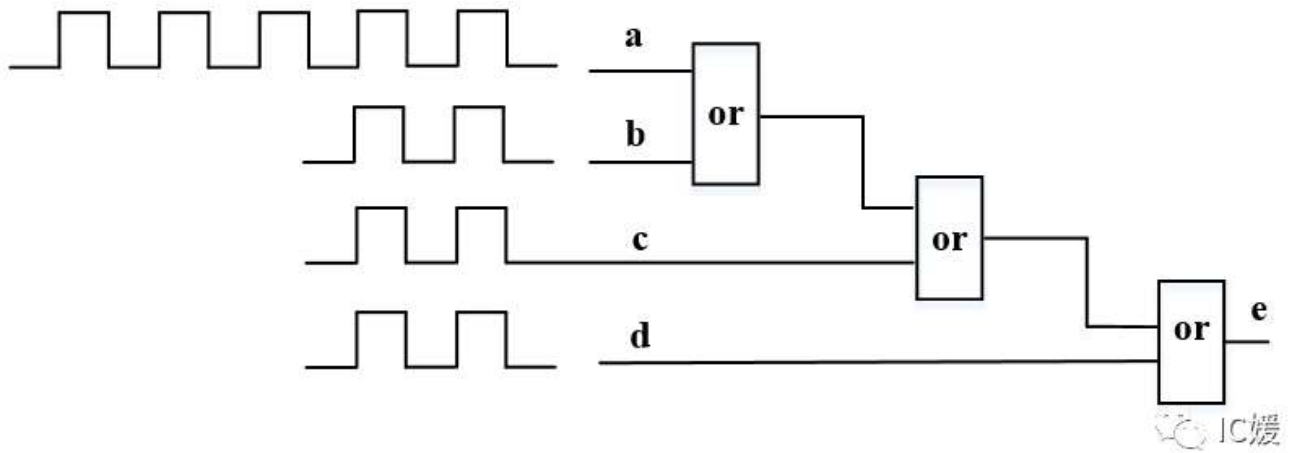
12、串并转换、并转串（结合跨时钟域）

13、24bit转128bit

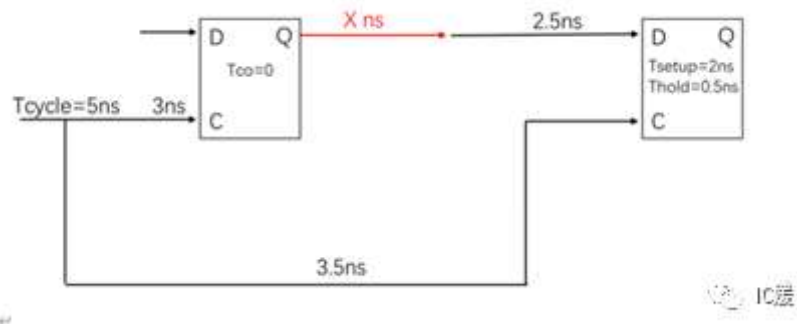
14、低功耗相关

(1)影响CMOS电路功耗的因素包含那些？请列举出来。

(2)下面的电路从功耗的角度，应该怎么优化？



15、静态时序计算的题（算未知数x的范围）



16、LFSR相关

17、加法器和选择器画出最优的电路图（面积最小）

对下述代码，使用“加法器”和“选择器”画出最优的电路图（电路面积最小）

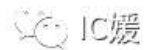
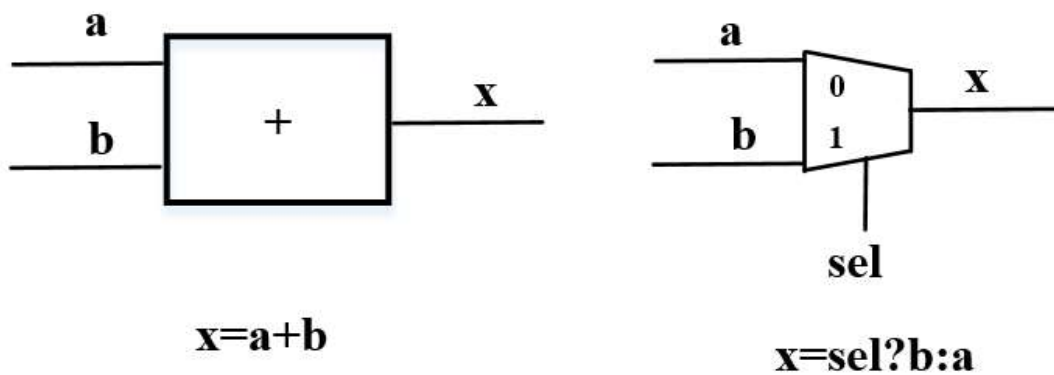
```
case(sel[2:0])
```

```
3' b000:sum=a+b;
```

```
3' b001:sum=b+c;
```

```
default:sum=c+d;
```

```
endcase
```



18、乘法器两级流水

使用verilog实现 $a*b+c*d+e*f+g*h$ ，上述每个信号都是10bit有符号数，要求至少2级流水实现，输出及中间信号位宽定义准备。

19、多比特跨时钟域握手

20、低功耗可恢复计数器

21、巴克码检测器

设计一个巴克码检测器，输入时1位序列，需要先移至移位寄存器中，再将移位寄存器中的值与标准巴克码同或，通过判断同或值是否大于阈值来确定巴克码。给定巴克码序列为11'b111_0001_0010。

22、计数输出脉冲

clk1时钟域（50MHz）有一个3bit的二进制计数器CounterA，从0计数到7，再从7计数到0，计数步长为1；clk2时钟域（300MHz）采样到计数器为counterA出现了一次7的时候，产生一个单周期（clk2周期）的脉冲start。请设计一个合理的方案。

23、寻找32bit数开头0的个数

24、乒乓操作

25、时钟切换电路

26、10个周期的数相加，输出

27、多bit跨时钟域时，如果是慢到快的跨时钟域（CDC），且多bit数据信号伴随有vaild信号，是按照时序逻辑切换其值并且vaild是脉冲类信号。现在我们依据vaild信号

来采样数据信号，这样做可能会出现什么问题，该怎么解决？（源时钟和目的时钟的有效采样边沿都是上升沿/下降沿），要求把答案写下来，并且描述思路。

推荐文章（点击下面链接即可）：

2021年秋招面经---华为海思（第一批拿到意向）



IC媛

老学姐分享数字IC求职经验

63篇原创内容

Official Account

往期推荐

新建了QQ3群（QQ1群和QQ2群满了）

【手撕代码汇总】想去面试？高频的手撕代码题都会了吗？（2022/5/8）

【职场说】10问采访工作15年的资深ICer（必看）（一）

IC领域，offer收割机的简历！（含word简历模板）

2021年秋招面经---平头哥（薪资炸裂，直接签了）

2021年秋招面经---华为海思（第一批拿到意向）

数字IC设计基础知识清单（必问!）

Reads 352

Share

Favorite

Like

Wow

Comment