



芯片使用注意事项:

芯片有多组电源, 其中 VDDD/VDDIO/VDD 属于数字电源, VDDA/VDDPIX 属于模拟电源, 应该分割为不同的电源域。模拟电源走线部分需要特别注意, 附近尽量避开数字电源和数字信号, 以免受到干扰。

Sensor 输出兼容 3.3V / 1.8V VDDIO, 需要单独配置寄存器, 详细配置见 [Table5](#)。

Sensor 的 VDD15 可以选择片外供电/片内 LDO 供电两种模式, 需要单独配置寄存器 0x6e, 配置为 1 选择内置 LDO, 配置为 0 选择片外供电。

电源线和地线要尽量宽些, 一般情况电源线 20mil 以上, 如果走很长的电源线, 就需要达到 30mil-40mil。模拟电源走线或铺铜周围尽量有 GND 进行隔离。如果是多层板, 内层有独立的电源层, 建议对各个电源网络进行小范围的铺铜, 然后在电源层空余的区域铺上地。模拟电源铺铜和数字电源铺铜间距尽量大于 20mil, 最好是在二者之间有 GND 隔开。

地线一般采用统一铺铜方式, 在 TOP 层和 BOTTOM 层空余的地方都铺上地的铜, 有助于减少串扰。

MIPI 信号要走差分线, 差分阻抗 100R。长度尽量等长, P 和 N 误差应该小于 10mil, 数据线间长度差小于 20mil。

图像传感器是温度敏感器件, 因此需要注意整机的散热控制, LDO 或 DC-DC、DSP 芯片应该放置在离 sensor 较远的地方, 以防电源芯片过热干扰图像信号。图像传感器的温度应严格控制在 70 摄氏度以下。



BG0836 1/2.7inch 1080P CMOS

图像传感器应用手册

简介

BG0836 是一款高性能的 1/2.7 inch CMOS 图像传感器。有效像素为 1928H x 1088V。

特点

- 支持 1-Lane MIPI 接口
- 单帧和多帧的触发曝光操作
- 自动黑电平校正
- 最高 30fps。

应用

- 高端监控
- 行车记录仪

关键参数

参数	典型值
光学尺寸	1/2.7inch
有效像素阵列	1928H x 1088V
像素大小	3.00um(H) x 3.00um(V)
有效感光面积	5784um x 3264um
最高帧率	30fps@full frame
光滤阵列	Bayer RGB
CRA	0°
曝光方式	Electronic Rolling
灵敏度@550nm	3.8V/(lux.sec)
暗电流@60°C	10mV/s
信噪比(max)	36dB
动态范围	65dB

Table 1 关键参数



BG0836 1/2.7inch 1080P CMOS 图像传感器应用手册

输出接口		12-bit DVP
		1-Lane MIPI
供电	Digital	1.42V~1.65V
	IO	1.7V~3.45V
	Analog	3.15V~3.45V
	Pixel	3.15V~3.45V

功耗	TBD@30fps
工作温度范围	-30 ~70 °C
封装形式	CSP

In the absence of confirmation by device specification sheets, BRIGATES takes no responsibility for any defects that may occur in equipment using any BRIGATES device shown in catalogs, data book, etc. Contact BRIGATES in order to obtain the latest device specification before using any BRIGATES device.



Table of Content

简介	2
特点	2
应用	2
关键参数.....	2
印刷电路板设计指导.....	7
封装图.....	7
管脚定义.....	8
应用电路图.....	11
供电设计.....	13
PCB 注意事项	15
Checklist	15
寄存器控制总线.....	15
I2C 总线.....	15
影子寄存器更新.....	17
光学设计.....	18
成像方向.....	18
镜像功能.....	18
调节幅面与帧率.....	19
CFA 排布	19
时钟的计算.....	19
时钟的定义.....	19
PLL 控制	20
系统主时钟控制.....	21
调整幅面.....	21
调整帧率.....	22
调节曝光与增益.....	23
调节曝光.....	23
调节增益.....	24
调节增益策略.....	24
黑电平校正.....	24
MIPI	26
其他	27
IO 驱动能力调节:	27
Pixel Clock 相位调节	28
FQA	29
版本变更记录.....	30



List of Figures

Figure 1 封装图	7
Figure 2 Pin 脚分布图	8
Figure 3 MIPI 接口推荐连接图	12
Figure 4 DVP 接口推荐电路图	13
Figure 5 推荐 Power Tree (1.8V IO)	13
Figure 6 sensor 上电时序图	15
Figure 7 I2C 写操作	16
Figure 8 I2C 读操作	16
Figure 9 光学成像示意	18
Figure 10 镜像功能示意	18
Figure 11 光滤的排布示意	19
Figure 12 PLL 框图	20
Figure 13 输出波形与帧率计算	22
Figure 14 BLC 收敛示意	25
Figure 15 raw10/raw12 数据输出顺序	27
Figure 16 Mipi Frame Timing	27



List of Tables

Table 1 关键参数.....	2
Table 2 管脚描述.....	8
Table 3 电源需求（MIPI 模式）	14
Table 4 电源需求（DVP 模式）	14
Table 5 IO 电平配置.....	14
Table 6 BG0836 PID.....	16
Table 7 影子寄存器更新控制	17
Table 8 镜像控制寄存器	18
Table 9 时钟定义.....	19
Table 10 PLL 控制寄存器.....	20
Table 11 PLL VCO 频率设置对应表.....	20
Table 12 系统主时钟控制.....	21
Table 13 控制输出幅面寄存器	21
Table 14 帧率控制寄存器.....	22
Table 15 曝光控制寄存器	23
Table 16 模拟增益控制寄存器	24
Table 17 数字增益控制寄存器	24
Table 18 BLC 控制寄存器	25
Table 19 mipi 控制寄存器.....	26
Table 20 调节驱动能力寄存器	27
Table 21 调节 Pclk 的相位.....	28



印刷电路板设计指导

本章节用来介绍印刷电路板的设计规则。

封装图

Figure 1 为 BG0836 的 CSP 封装图。其中定义了具体的机械尺寸以及光学中心。以芯片中心做参照，光学中心为 **(-64.210um, 75.495um)**，具体请参照 Top View 图。

Layout for BG0806 using UT Technology Rev.1-01

	Symbol	Nominal	Min	Max	Nominal	Min	Max
		Millimeters			Inches		
Package Body Dimension X	A	6.707	6.682	6.732	0.26406	0.26307	0.26504
Package Body Dimension Y	B	4.316	4.291	4.341	0.16992	0.16894	0.17091
Package Height	C	0.790	0.730	0.850	0.03110	0.02874	0.03346
Ball Height	C1	0.130	0.100	0.160	0.00512	0.00394	0.00630
Package Body Thickness	C2	0.660	0.625	0.695	0.02598	0.02461	0.02736
Thickness from top glass surface to wafer	C3	0.445	0.425	0.465	0.01752	0.01673	0.01831
Ball Diameter	D	0.250	0.220	0.280	0.00984	0.00866	0.01102
Total Ball Count	N	59 (3NC)					
Pins Pitch X axis	J1	0.620					
Pins Pitch Y axis	J2	0.630					
Edge to Pin Center Distance along X	S1	0.5635	0.5335	0.5935	0.02219	0.02100	0.02337
Edge to Pin Center Distance along Y	S2	0.583	0.553	0.613	0.02295	0.02177	0.02413

Si thickness 180um

Table1
Mechanical Drawing

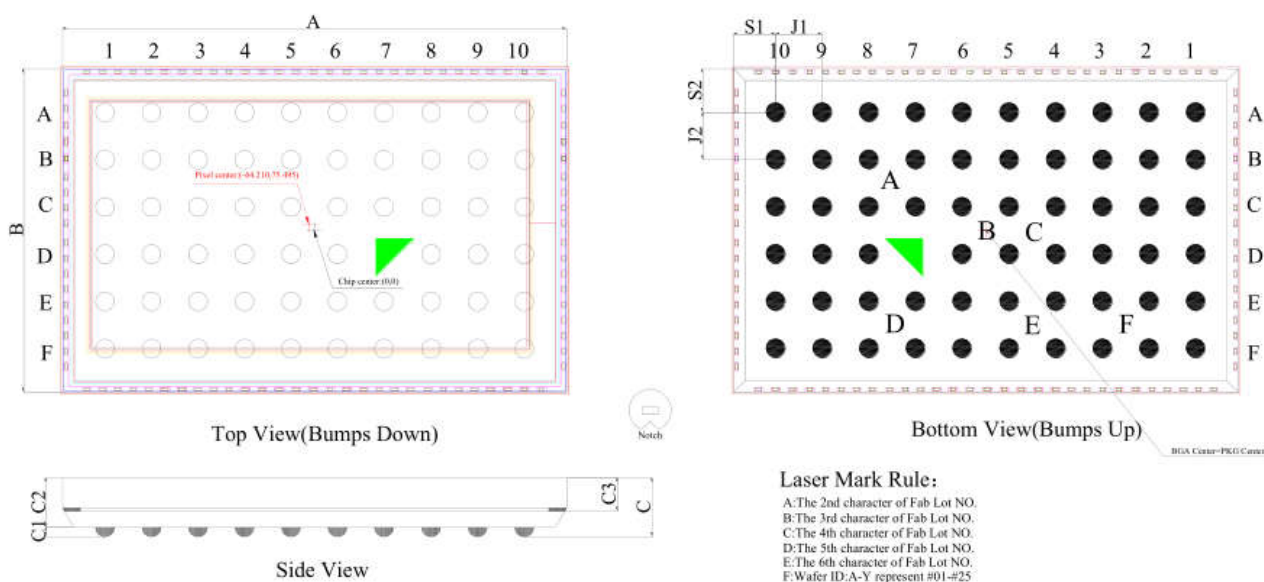


Figure 1 封装图



管脚定义

下图为 Top View 下的 Pin 脚分布图。可以与 Figure 1 进行参照。Table 2 为 Pin 脚的具体说明。

	1	2	3	4	5	6	7	8	9	10
A	VDDA	VN	PCLK	VSS	D5	D9	VSS	VDA15	D0/DN0	D1/DP0
B	SDA	VSSD	VSSD	D3	D6	CLKIN	VSSA	HSYNC/CKN	VSYNCKP	VDDD
C	TRIG	SCL	D2	D4	D7	D8	VDDIO	VSSA	VDD15	D11
D	VSS	VDD15	VP	VDD15	RSTB	VDD15		D10	VDDA	VSSA
E	VSSA	VDDPIX	PD	VDD15	NC	NC	VDD15	VSS	VDDPIX	VSSA
F	VDDA	VSSA	VDDD	NC	VSS	VSS	VDD15	VDDD	VSSA	VDDA

Figure 2 Pin 脚分布图

Table 2 管脚描述

(P=Power, G=Ground, D=Digital, A=Analog)

NO	PIN NO	NAME	I/O	TYP E	DESCRIPTION
1	A1	VDDA	-	P	Analog 3.3V power supply
2	A2	VN	-	A	Reference voltage
3	A3	PCLK	O	D	Pixel sync clock
4	A4	VSS	-	G	Digital ground
5	A5	D5	O	D	Data <5>
6	A6	D9	O	D	Data <9>
7	A7	VSS	-	G	Digital ground
8	A8	VDA15	-	P	Analog 1.5V power supply



9	A9	D0/DN0	O	D	Data <0>/mipi dn0
10	A10	D1/DP0	O	D	Data <1>/mipi dp0
11	B1	SDA	I/O	D	IIC data
12	B2	VSSD	-	G	Digital ground
13	B3	VSSD	-	G	Digital ground
14	B4	D3	O	D	Data <3>
15	B5	D6	O	D	Data <6>
16	B6	CLKIN	I	D	Input clock
17	B7	VSSA	-	G	Analog ground
18	B8	HSYNC/CKN	O	D	Hsync/mipi clkn
19	B9	VSYNCK/CKP	O	D	Vsync/mipi clkp
20	B10	VDDD	-	P	Digital 3.3V power supply
21	C1	TRIG	I	D	Trigger pin, pull down actively
22	C2	SCL	I/O	D	IIC clock
23	C3	D2	O	D	Data <2>
24	C4	D4	O	D	Data <4>
25	C5	D7	O	D	Data <7>
26	C6	D8	O	D	Data <8>
27	C7	VDDIO	-	P	IO power supply
28	C8	VSSA	-	G	Analog ground
29	C9	VDD15	-	P	Digital 1.5V power supply



30	C10	D11	O	D	Data <11>
31	D1	VSS	-	G	Digital ground
32	D2	VDD15	-	P	Digital 1.5V power supply
33	D3	VP	-	A	Reference voltage
34	D4	VDD15	-	P	Digital 1.5V power supply
35	D5	RSTB	I	D	Chip rstb pin, Active low
36	D6	VDD15	-	P	Digital 1.5V power supply
37	D8	D10	O	D	Data <10>
38	D9	VDDA	-	P	Analog 3.3V power supply
39	D10	VSSA	-	G	Analog ground
40	E1	VSSA	-	G	Analog ground
41	E2	VDDPIX	-	P	Pixel power supply
42	E3	PD	I	D	Power down pin, pull down actively
43	E4	VDD15	-	P	Digital 1.5V power supply
44	E5	NC	-	-	No connect
45	E6	NC	-	-	No connect
46	E7	VDD15	-	P	Digital 1.5V power supply
47	E8	VSS	-	G	Digital ground
48	E9	VDDPIX	-	P	Pixel power supply
49	E10	VSSA	-	G	Analog ground
50	F1	VDDA	-	P	Analog 3.3V power supply



51	F2	VSSA	-	G	Analog ground
52	F3	VDDD	-	P	Digital 3.3V power supply
53	F4	NC	-	-	No connect
54	F5	VSS	-	G	Digital ground
55	F6	VSS	-	G	Digital ground
56	F7	VDD15	-	P	Digital 1.5V power supply
57	F8	VDDD	-	P	Digital 3.3V power supply
58	F9	VSSA	-	G	Analog ground
59	F10	VDDA	-	P	Analog 3.3V power supply

应用电路图

推荐应用电路图请见下图。

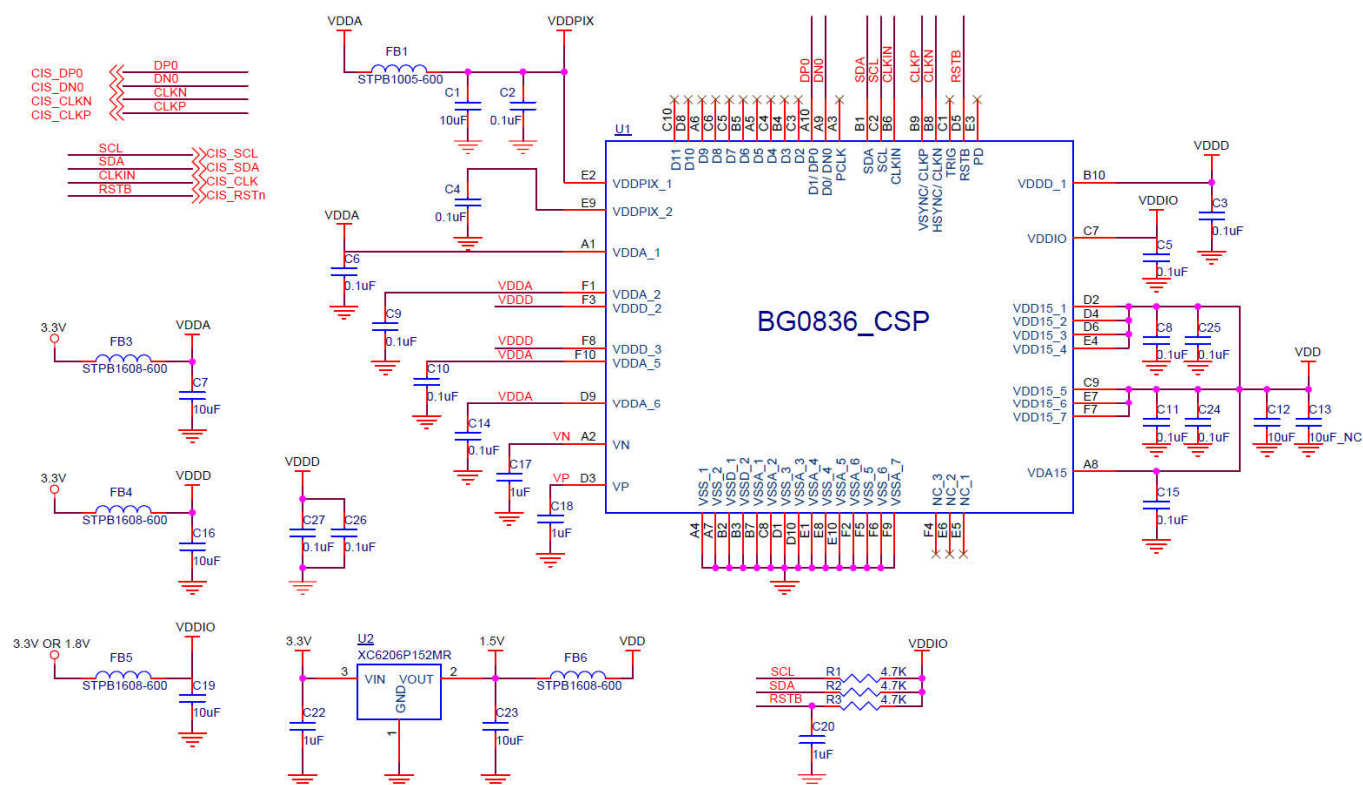


Figure 3 MIPI 接口推荐连接图



Table 3 电源需求 (MIPI 模式)

序号	电源	推荐电压	消耗电流(上限)	外接小电容需求
1	VDDD	3.3V	10mA	0.1uF x 1
2	VDDA	3.3V	30mA	0.1uF x4
3	VDDPIX	3.3V	10mA	0.1uF x2
4	VDDIO	1.8V~3.3V	5mA	0.1uF x1
5	VDA15	1.5V	20 mA	0.1uF x1
6	VDD	1.5V	50mA	0.1uF x4

Table 4 电源需求 (DVP 模式)

序号	电源	标准电压	消耗电流(上限)	外接小电容需求
1	VDDD	3.3V	10mA	0.1uF x 1
2	VDDA	3.3V	30mA	0.1uF x4
3	VDDPIX	3.3V	10mA	0.1uF x2
4	VDDIO	1.8V~3.3V	5mA	0.1uF x1
5	VDA15	1.5V	10 mA	0.1uF x1
6	VDD	1.5V	50mA	0.1uF x4

注:

0.1uF 的电容需要靠近 Pin 脚。每路电源需要至少一个 10uF 的电容, 10uF 电容放在 Sensor 周围即可。有条件的话可在 3.3V 或 VDDA 添加一个 100uF 的大电容。所有的 GND 都接在一起, 使用统一地。

VDDIO 使用 1.8V 可以获得较低的功耗, 也可使用 3.3V。需要注意的是: 1.8VIO 和 3.3VIO 的配置是有差异的, 配置如下:

Table 5 IO 电平配置

寄存器名	地址	位宽	功能
IO 电平配置	0x005c	3	Bit[2:0]: IO1.8V 需要配置为 0x00 IO3.3V 需要配置为 0x07

时钟, 复位和电压的关系如下图所示,

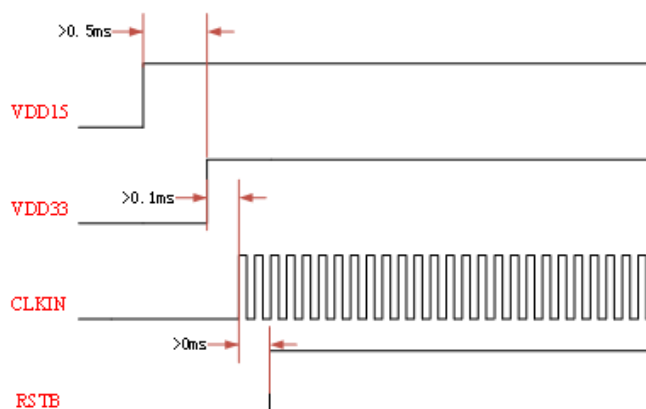


Figure 6 sensor 上电时序图

PCB 注意事项

芯片有多组电源，其中 VDDD/VDDIO/VDD 属于数字电源，VDDA/VDDPIX 属于模拟电源。模拟电源走线部分需要特别注意，附近不能有数字电源和数字信号，以免受到干扰。

电源线和地线要尽量宽些，一般情况电源线 20mil 以上，如果走很长的电源线，就需要达到 30mil-40mil。模拟电源走线或铺铜周围尽量有 GND 进行隔离。如果是多层板，内层有独立的电源层，建议对各个电源网络进行小范围的铺铜，然后在电源层空余的区域铺上地。模拟电源铺铜和数字电源铺铜间距尽量大于 20mil，最好是在二者之间有 GND 隔开。

地线一般采用统一铺铜方式，在 TOP 层和 BOTTOM 层空余的地方都铺上地的铜，有助于减少串扰。

LDO 或 DC-DC 应该放置在离 sensor 较远的地方，以防电源芯片过热干扰图像信号。

MIPI 时钟线（CP/CN）和信号线（D0P/D0N）要走差分线，差分阻抗 100R。长度尽量等长，P 和 N 误差应该小于 5mil。

Checklist

(TBD)

寄存器控制总线

I2C 总线

BG0836 通过 I2C 总线对外通信，对应的端口为 SDA 和 SCL。从机读地址为 0x65，从机写地址为 0x64。总线采用 16 位的地址，8 位数据的组织方式。

如 Figure 7 所示为：向地址 0x012c 中写入数据 0x56，DSP 为主机，BG0836 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；



- 主机向从机发送 8-bit 寄存器地址高位 0x01;
- 从机向主机发送“ACK”信号;
- 主机向从机发送 8-bit 寄存器地址低位 0x2C;
- 从机向主机发送“ACK”信号;
- 主机向从机发送 8-bit 数据;
- 从机向主机发送“ACK”信号;
- 主机向从机发送“STOP”信号;

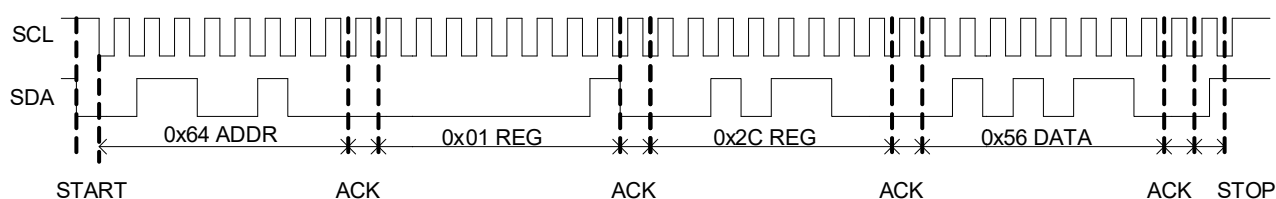


Figure 7 I2C 写操作

如 Figure 8 所示为：从 0x012c 寄存器中读出数据 0x56。DSP 为主机，BG0836 为从机，步骤为：

- 主机向从机发送“START”信号;
- 主机向从机发送写模式地址 0x64;
- 从机向主机发送“ACK”，用以表示正确接收到地址;
- 主机向从机发送 8-bit 寄存器地址高位 0x01;
- 从机向主机发送“ACK”信号;
- 主机向从机发送 8-bit 寄存器地址低位 0x2C;
- 从机向主机发送“ACK”信号;
- 主机向从机发送“START”信号;
- 主机向从机发送读模式地址 0x65;
- 从机向主机发送“ACK”信号;
- 从机向主机发送 8-bit 数据;
- 主机向从机发送“ACK”信号;
- 主机向从机发送“STOP”信号;

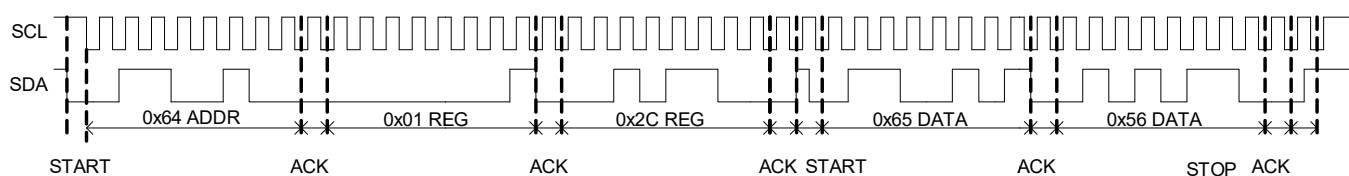


Figure 8 I2C 读操作

Table 6 BG0836 PID

寄存器名	地址	位宽	功能
------	----	----	----

PID_H	0x0000	8	BG0836 PID 寄存器高 8 位[15:8], 用以识别该芯片。读出内容为 08.
PID_L	0x0001	8	BG0836 PID 寄存器低 8 位[7:0], 用以识别该芯片。读出内容为 06.

影子寄存器更新

BG0836 内部部分特殊的寄存器采用了影子寄存器。也就是说这部分寄存器在经由 I2C 写入之后不会立即自动更新，而是需要特殊的操作后才会更新。需要“更新”操作的寄存器后面会特殊说明。

Table 7 影子寄存器更新控制

寄存器名	地址	位宽	功能
寄存器更新控制	0x001d	2	Bit[1:0]: 0x01: 立即生效影子寄存器，并立即中断当前帧，重新开始下一帧。 0x02: 写入后，影子寄存器将在下一个有效帧开始时生效。



光学设计

成像方向

BG0836 的（0，0）像素在 Figure 1 封装图的 A10 球的一侧。默认读出水平读出方向为 A10 向 A1 方向扫描，默认读出方向为 A10 向 F10 方向扫描。

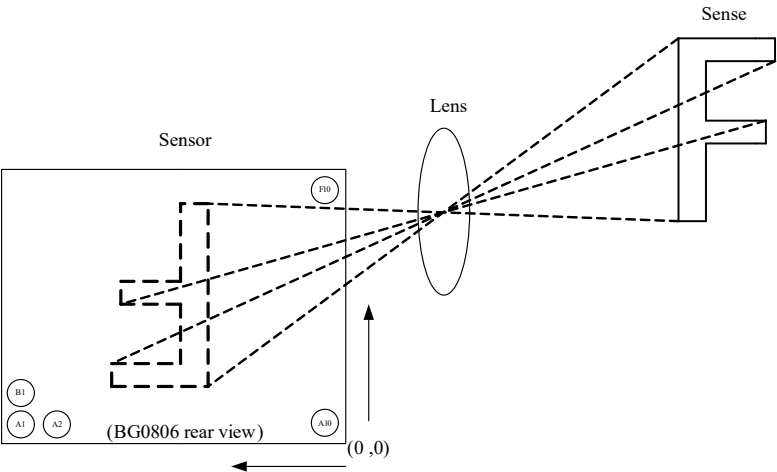


Figure 9 光学成像示意

镜像功能

BG0836 内部实现的图像的水平镜像和垂直镜像功能。具体的镜像对应如 Figure 10。需要特别注意的是，镜像后输出顺序与 color filter 顺序可能发生变化。因此镜像后可能需要调整对应的 Color Filter Pattern。具体的调整办法请见《调整帧率和幅面》一节。

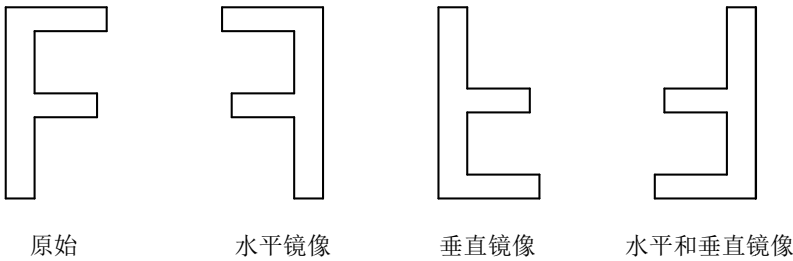


Figure 10 镜像功能示意

镜像功能对应的寄存器为 0x0020 的低两位：请注意不要随意变更该寄存器的其他数据位的数值。该寄存器有影子寄存器，需要向 0x001d 寄存器中写入 0x02 进行更新操作。

Table 8 镜像控制寄存器

寄存器名	地址	位宽	功能
读出控制	0x0020	8	Bit[7:2] Reserved Reserved
			Bit[1] 水平镜像控制
			Bit[0] 垂直镜像控制

调节幅面与帧率

CFA 排布

BG0836 的有效像素阵列大小为 1928Hx1088V，采用 Bayer RGB color filter。具体的排布情况请见 Figure 11。其中（0，0）像素的位置与《成像方向》所述的（0，0）像素一节对应。

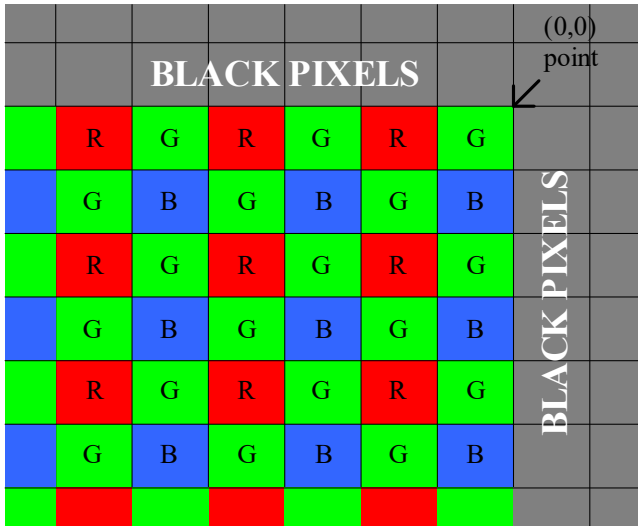


Figure 11 光滤的排布示意

时钟的计算

时钟的定义

Table 9 时钟定义

名称	符号	描述	计算方法
外部输入时钟	Clkin	芯片外部接入时钟	-
系统主时钟	Mclk	芯片内部运行主时钟	见《系统主时钟控制》章节
像素输出时钟	Pclk	芯片 DVP 输出像素时钟	见《PLL 控制》章节



PLL 控制

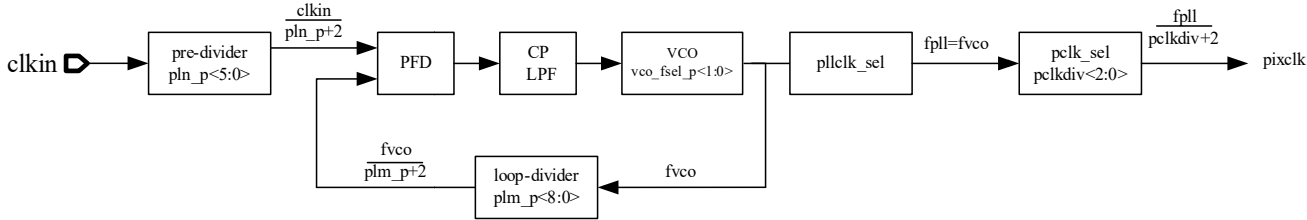


Figure 12 PLL 框图

输出 Pclk 与 clkin 的频率对应关系为:

$$f_{pclk} = \frac{(plm + 2) * f_{clkin}}{(pln + 2) * (pclkdiv + 2)}$$

PLL 对应的控制寄存器如 Table 10 所示:

Table 10 PLL 控制寄存器

寄存器名	地址	位宽	功能
PLM	0x00f3, 0x00f4	9	Plm
PLN	0x00f5	6	Pln
PCLK_CTRL	0x006d	7	Bit[6] Reserved Bit[5:4] vco_freq_sel Bit[2:0] Pclkdiv

当调节 vco 振荡频率时，需要设置 PLLCTRL_P 中的 vco_freq_sel。vco 频率的计算公式为

$$F_{vco} = F_{clkin} * (plm_p + 2)/(pln_p + 2)$$

根据下表来设置 vco_freq_sel。

Table 11 PLL VCO 频率设置对应表

vco_freq_sel<1:0>	vco 频率范围
00 B	200M ~ 380M
01 B	230M ~ 460M
10 B	360M ~ 600M

11 B	500M ~ 770M
------	-------------

系统主时钟控制

Mclk（系统主时钟）可选为 Clkin (外部输入时钟)，或 Pclk(像素输出时钟)的倍频。

Table 12 系统主时钟控制

寄存器名	地址	位宽	功能
MCLK_CTRL	0x0048	8	Bit[7:4] mclkc Bit[1] reserved Bit[0] mclk 选择: 1: 使 mclk 等于 clkin 0: 使 mclk 等于 pclk 的分频，即 $F_{mclk} = F_{pclk}/(mclkc+1)$ 。F 表示对 应时钟的频率。

调整幅面

决定 BG0836 输出图像大小的寄存器为 HSIZE（宽度）和 VSIZE（高度）。控制读出开始位置的寄存器为 HSTART（水平开始），VSTART（垂直开始），这些寄存器的地址见 Table 13。HSIZE 的默认值为 0x780，VSIZE 的默认值为 0x438，默认输出的图像大小为 1920x1080。**HSIZE, VSIZE, HSTART 和 VSTART 调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。**

Table 13 控制输出幅面寄存器

寄存器名	地址	位宽	功能
HSIZE_H	0x0006	3	水平尺寸[10:8]位
HSIZE_L	0x0007	8	水平尺寸[7:0]位
VSIZE_H	0x0008	3	垂直尺寸[10:8]位
VSIZE_L	0x0009	8	垂直尺寸[7:0]位



HSTART_H	0x0002	3	水平开始位置[10:8]位
HSTART_L	0x0003	8	水平开始位置[7:0]位
VSTART_H	0x0004	3	垂直开始位置[10:8]位
VSTART_L	0x0005	8	垂直开始位置[7:0]位

调整帧率

BG0836 输出同步信号的波形如下图所示：

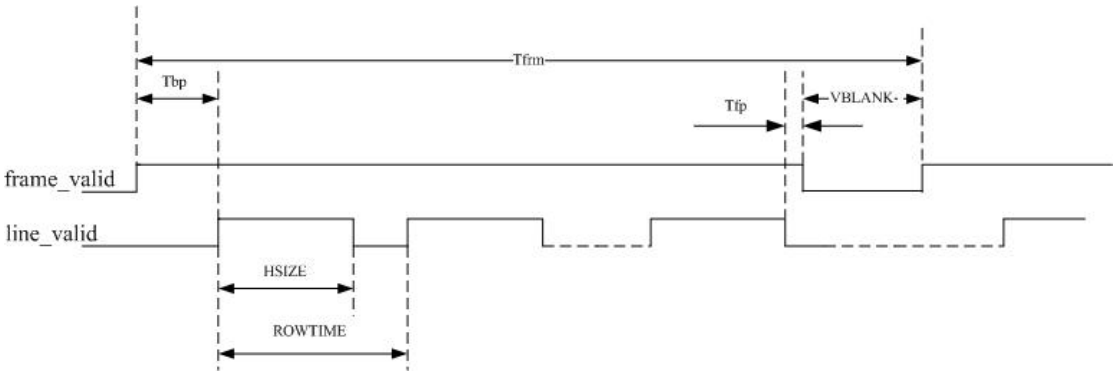


Figure 13 输出波形与帧率计算

在上图中，Tfrm为帧时间。Tbp称为后廊，指帧同步信号有效后到第一行图像数据的时间间隔。Tfp 称为前廊，指最后一行有效数据输出完毕后到帧同步信号无效的时间间隔。VBLANK 和 ROWTIME 为 BG0836 的寄存器名称。他们的关系为：

$$T_{frm} = T_{bp} + T_{fp} + (VSIZE + VBLANK) * ROWTIME * T_{mclk}$$
$$T_{bp} + T_{fp} = 8 * ROWTIME * T_{mclk}$$

合并起来，帧时间的计算公式如下：

$$T_{frm} = (8 + VSIZE + VBLANK) * ROWTIME * T_{mclk}$$

决定 BG0836 输出帧率的寄存器为 ROWTIME（行时间）和 VBLANK（垂直消隐），这些寄存器的地址见下表：

Table 14 帧率控制寄存器

寄存器名	地址	位宽	功能
ROWTIME_ H	0x000e	8	以主输入内部主时钟为单位的行时间控制寄存器[15:8]位。



ROWTIME_L	0x000f	8	以主输入内部主时钟为单位的行时间控制寄存器[7:0]位。
VLANK_H	0x0021	8	以行时间为单位的，垂直消隐控制寄存器[15:8]位。
VLANK_L	0x0022	8	以行时间为单位的，垂直消隐控制寄存器[7:0]位。

ROWTIME 的默认值为 0x12C4（10 进制为 4808），VLANK 的默认值为 0x0024，按照上面计算公式，得到帧时间为：

$$T_{frm} = (8 + 1080 + 36) * 4808 * T_{mclk}$$

ROWTIME 和 VLANK 寄存器调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。

调节曝光与增益

调节曝光

决定曝光时间的寄存器是 TEXP 和 TEXP_MCK 两个寄存器。其中 TEXP 以行时间为单位，TEXP_MCK 以输入主时钟周期为单位。曝光时间计算公式：

$$T_{exp} = (TEXP * ROWTIME + TEXP_MCK) * T_{mclk}$$

公式中出现的 ROWTIME 为寄存器名字，请参见“调整输出帧率”章。**Texp 必须小于 Tfrm，否则无法输出图像。**TEXP 和 TEXP_MCK 寄存器的地址见下表：

Table 15 曝光控制寄存器

寄存器名	地址	位宽	功能
TEXP_H	0x000c	8	以行为单位的曝光长度控制[15:8]位
TEXP_L	0x000d	8	以行为单位的曝光长度控制[7:0]位
TEXP_MCK_H	0x0026	8	以主输时钟为单位的曝光长度控制[15:8]位
TEXP_MCK_L	0x0027	8	以主输时钟为单位的曝光长度控制[7:0]位

TEXP 的默认值为 0x0032，TEXP_MCK 的默认值为 0x0000，所以如果使用 27MHz 时钟输入的话，曝光时间为：

$$T_{exp} = (50 * 4808 + 0) * T_{mclk}$$

TEXP 和 TEXP_MCK 调整后需要往 0x001d 写入 0x01 或者 0x02 才会生效。



调节增益

BG0836 中有两级增益，第一级为模拟增益，第二级为数字增益。

其中模拟增益的控制寄存器为：

Table 16 模拟增益控制寄存器

寄存器名	地址	位宽	功能
VREFL	0x00b1	8	模拟增益控制

由以上两个寄存器控制的模拟增益为：

$$\text{Gain}_{\text{analog}} = 128 / (\text{vrefl} + 1)$$

默认状态下 **vrefh** 为 0。无特殊情况下，请通过只 **vrefl** 来调节模拟增益。**vrefl** 实用是有最低限制的。确保 **vrefl** 大于等于 **0x0c**；

数字增益的控制寄存器为：

Table 17 数字增益控制寄存器

寄存器名	地址	位宽	功能
DIG_GAIN_H	0x00bc	4	数字增益控制[11:8]位
DIG_GAIN_L	0x00bd	8	数字增益控制[7:0]位

数字增益的控制寄存器为 **DIG_GAIN**，其中 **0x0200** 为 1 倍数字增益。也就是说 $\text{Gain}_{\text{digital}} = \text{Dig_Gain} / 512$ 。

综上，总增益为：

$$\text{Gain}_{\text{All}} = \text{Gain}_{\text{analog}} * \text{Gain}_{\text{digital}}$$

调节增益策略

如下图所示为增益的映射策略。假设系统输入总增益为 **gain**；

- 1 若 **gain** 小于等于最大模拟增益的限制，将 **gain** 全部映射为模拟增益，数字增益设置为 1 倍。
- 2 若 **gain** 大于最大模拟增益的限制，首先将小于限制的部分映射为最大模拟增益，剩下的部分映射为数字增益。
- 3 模拟增益达到最大前后（**vrefh** 等于 **0x0c** 和 **vrefh** 大于 **0x0c**），两者之间还有额外的寄存器需要联动以保证图像质量最佳（主要指大增益下的竖纹，具体设置跟帧率有关，请咨询 **fae**，或参照示例代码）
- 4 通过 I2C 写回到 **Sensor** 内部寄存器。

黑电平校正

BG0836 芯片内建了黑电平校正模块。其基本原理是利用黑电平参考像素对有效像素进



行黑电平校正，用以消除电路，环境温度带来的黑电平漂移。

Table 18 BLC 控制寄存器

寄存器名	地址	位宽	功能
BLC_CTRL	0x0120	7	Bit[6:1] Reserved Bit[0]: BLC enable, 高有效。
DBLC_OB_H	0x0130	4	期望得到的最终图像的 OB，无符号数，高[11:8]位。
DBLC_OB_L	0x0131	8	期望得到的最终图像的 OB，无符号数，低[7:0]位。
DBLC_LOWERHI_ADJ	0x0136	8	收敛范围下限调整，无符号数。
DBLC_UPPERLO_ADJ	0x0137	8	收敛范围上限-低, 无符号数。
DBLC_UPPERHI_ADJ	0x0138	8	收敛范围上限-高, 无符号数。

BLC_CTRL 为 BLCC 功能的控制开关；

BLCC 的目标值由 DBLC_OB 来调节，即 BLCC 操作完成后期望得到的黑电平。

BLC_LOWERHI_ADJ, BLC_UPPERLO_ADJ, DBLC_UPPERHI_ADJ 用来调节算法的稳定范围。最终的收敛示意如 Figure 14 所示。

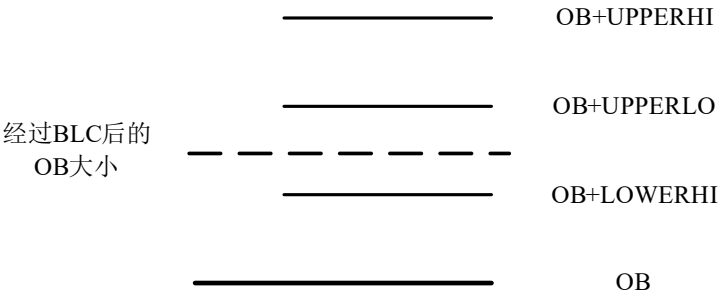


Figure 14 BLC 收敛示意



MIPI

BG0836 支持 1 lane 的 mipi 输出，可达到 800Mbps。

Table 19 mipi 控制寄存器

寄存器名	地址	位宽	功能
MIPI_CTRL0	16'h0390	7	Bit[6:3]: Reserved Bit[2]: Mipi clock continuous enable, 时钟 lane 是否持续输出控制，1 为持续。 Bit[1]: Mipi module enable, mipi 使能控制，1 为使能。 Bit[0]: Reserved
MIPI_CTRL1	16'h0391	8	Bit[7:1]: Reserved Bit[0]: Image data format control, 0 表示 raw10, 1 表示 raw12
MIPI_CTRL2	16'h0392	7	Bit[6:3]: Reserved Bit[2]: Reserved Bit[1]: Frame number enable in frame start(or end)' WC, 1 表示 frame number 使能（在 0-0xffff 之间循环），0 表示 frame number 一直为 0 Bit[0]: Reserved
MIPI_CTRL3	16'h0393	4	Bit[3:1]: Reserved Bit[0]: Data lane 0 HS enable, 必须设为 1。
MIPI_PCLK_PERIOD	16'h0398	8	Clock period used to calculate the mipi timing, 设置的值为 mipi clock lane 输出的时钟周期的 4 倍（如果有小数部



Pixel Clock 相位调节

Table 21 调节 Pclk 的相位

寄存器名	地址	位宽	功能
CLK_DLY_CTL	0x0088	3	Bit[2:0] pclk 的相位调节



FQA

序号	问题描述	解决办法
1		
2		
3		



版本变更记录

日期	版本	页码	描述
2017-08-08	1.0	--	初版
2017-12-26	1.1	1	1 变更暗电流从 TBD 到 10mV/s,信噪比从 39dB 到 36dB,,动态范围从 70dB 到 65dB。.
2018-07-09	1.2	1, 7, 8	1, 首页增加 VDDIO 电源选择配置说明。 2, 首页增加内置 VDD15 LDO/片外 VDD15 切换配置说明。 3, 修改了 pin 脚说明 F3,F8 修改为 VDDD pin 脚。