



1/5" UXGA CMOS Image Sensor GC2235

模组设计指南 V1.0

2013-01-31

GalaxyCore Inc.

目 录

1. 外围电路	3
1.1 DVP 接口	3
1.2 MIPI 接口.....	4
1.2.1 Single lane	4
1.2.2 Double lane.....	4
2. 设计说明	5
2.1 外围电路设计说明.....	5
3. GC2235 CSP 封装说明	6
3.1 GC2235 CSP 封装（单位：μm）	6
3.2 CSP 封装点阵表.....	6
3.3 CSP 封装管脚说明	6
3.4 PCB 焊盘设计说明	8
3.5 CSP 封装尺寸图（单位：μm）	8
3.6 CSP 封装说明	9

1. 外围电路

1.1 DVP 接口

注：如果平台接口能接 10bit 数据的，请将 10bit 数据全部接出。
如果平台接口是接 8bit 数据的，请引出 D<9>~D<2>。

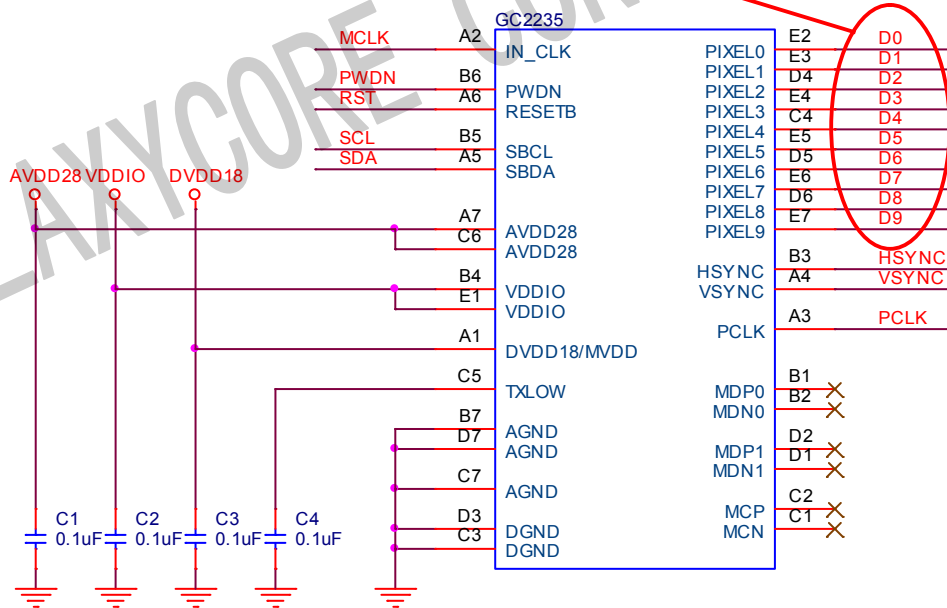


图 1-1 DVP 接口外围电路图

1.2 MIPI 接口

1.2.1 Single lane

注：DVDD18 必须为 1.8V，如果模组接口为 1.5V 或更低，请向方案公司确认该 IOVDD 是否为 1.8V，如果是 1.8V，可以将该 pin 脚跟 IOVDD 接到一起。

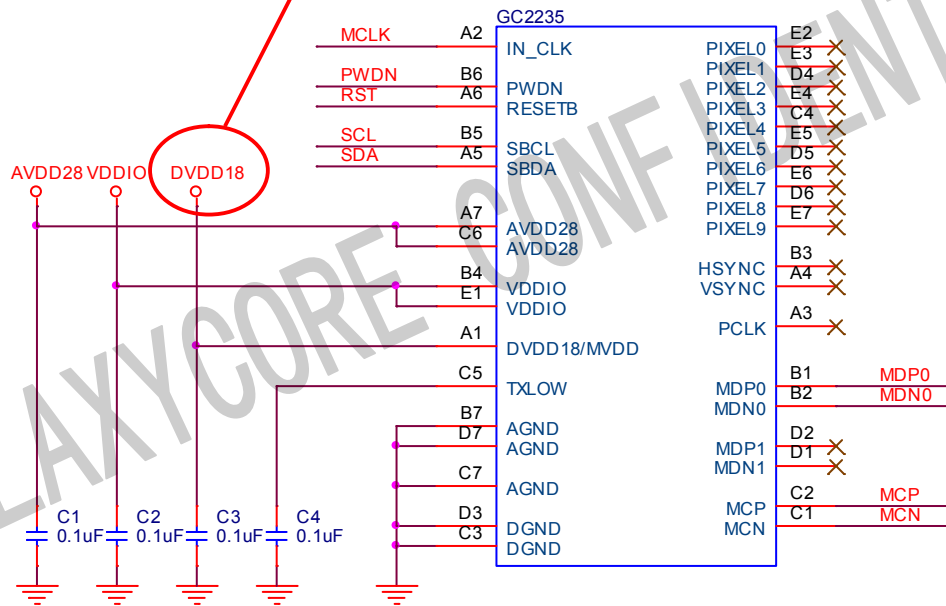


图 1-2 MIPI 接口(single lane)外围电路图

1.2.2 Double lane

注：DVDD18 必须为 1.8V，如果模组接口为 1.5V 或更低，请向方案公司确认该 IOVDD 是否为 1.8V，如果是 1.8V，可以将该 pin 脚跟 IOVDD 接到一起。

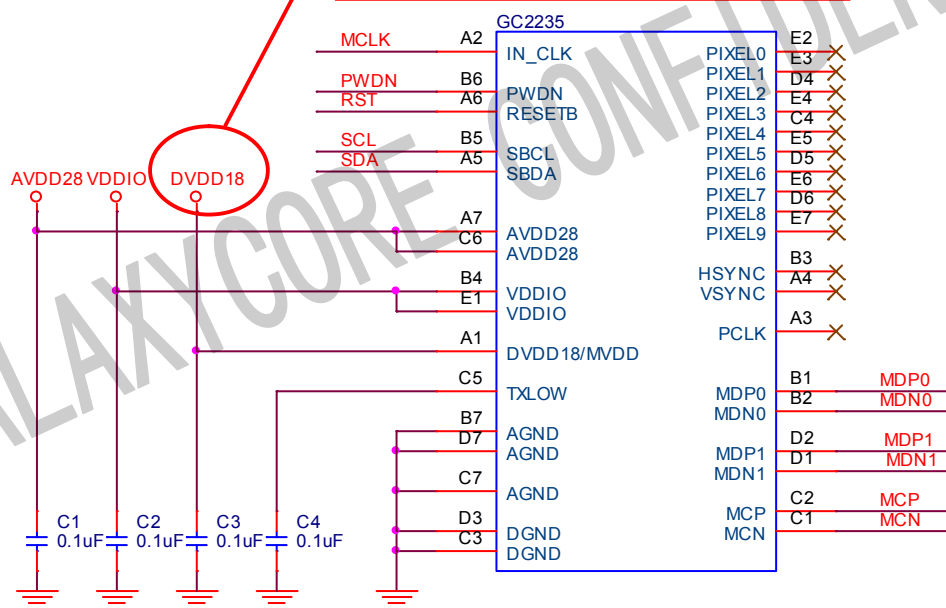


图 1-3 MIPI 接口(double lane)外围电路图

2. 设计说明

2.1 外围电路设计说明

- ◆ GC2235芯片有三路电源供电：AVDD28、DVDD18(MVDD)、IOVDD。
AVDD28为2.8V供电电源，2.7~3.0V；
DVDD18(MVDD)为数字电路供电电源，1.7~1.9V；
IOVDD为I/O电源，1.7~3.0V；
- ◆ 靠近电源处，加如图示C1、C2、C3、C4滤波电容，容值为0.1μF；
- ◆ 如果平台接口能接10bit数据的，请将10bit数据全部接出；如果平台接口是接8bit数据的，请引出D<9>~D<2>。
- ◆ DVDD18(MVDD)外接电压必须为1.7~1.9V，如模组接口DVDD供电为1.5V或1.2V时，需跟方案公司确认IOVDD是否为1.8V，如果是可以将DVDD18(MVDD)跟IOVDD接到一起，以保证电压满足芯片工作要求。
- ◆ 如果客户端MIPI接口支持两条lane，建议将芯片的两条lane都引出来；
- ◆ 电容摆放应尽量靠近电源Pin脚；
- ◆ 所有电容均不可省去，否则会影响图像质量；
- ◆ 所有的GND线，需要在内部接到一起之后，再做铺铜，否则会影响信号质量；
- ◆ 电源线、GND走线宽度至少加粗至0.2mm以上；
- ◆ 芯片有RESET pin，需要引出控制；
- ◆ FPC/PCB布线时尽量让SBDA/SBCL线远离高速的信号线（如PCLK/D0~D2）；
- ◆ SBCL/SBDA pin 外部需要4.7k~10kΩ的上拉电阻；
- ◆ MCP、MCN需要尽量平行走线，等长；尽量少打或不打过孔；且要远离高频信号线（如MCLK），最好是能用地线保护起来，且差分线对走线的背面也尽量是地线走线，并铺地铜作为参考层。差分线对的匹配阻抗要求为 $100\Omega\pm 10\%$ 。
- ◆ MDP、MDN需要尽量平行走线，等长；尽量少打或不打过孔；且要远离高频信号线（如MCLK），最好是能用地线保护起来，且走线的背面也尽量是地线走线，并铺地铜作为参考层。差分线对的匹配阻抗要求为 $100\Omega\pm 10\%$ 。

3. GC2235 CSP 封装说明

3.1 GC2235 CSP 封装（单位：μm）

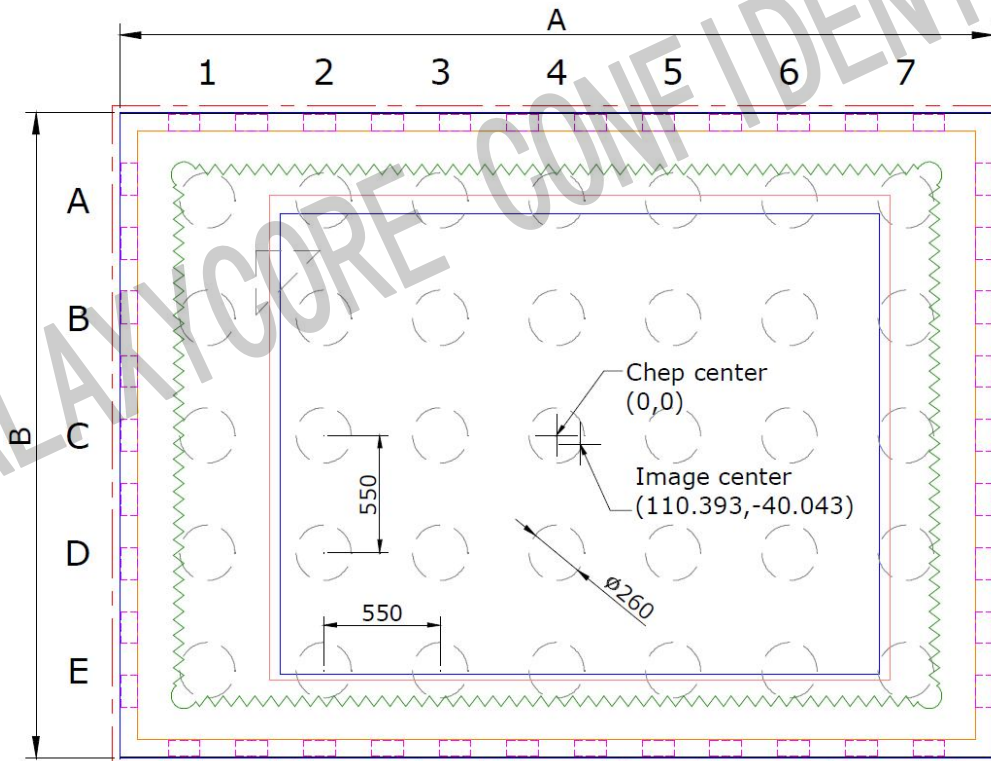


图 3-1 CSP 焊盘 Top View(Bumps Down)

3.2 CSP 封装点阵表

	1	2	3	4	5	6	7
A	DVDD18/MVDD	INCLK	PCLK	VSYN	SBDA	RESET	AVDD28
B	MDP<0>	MDN<0>	HSYN	IOVDD	SBCL	PWDN	AGND
C	MCN	MCP	DGND	D<4>	TXLOW	AVDD28	AGND
D	MDN<1>	MDP<1>	DGND	D<2>	D<6>	D<8>	AGND
E	IOVDD	D<0>	D<1>	D<3>	D<5>	D<7>	D<9>

3.3 CSP 封装管脚说明

Pin	Name	Pin Type	Function
A1	DVDD18/MVDD	Power	数字(MIPI)电路供电电源： 1.7~1.9V，通过0.1μF 或1μF 的电容接地
A2	INCLK	Input	系统时钟输入
A3	PCLK	Output	PIXEL 时钟输出
A4	VSYN	Output	VSYN 输出信号

A5	SBDA	I/O	串行通讯口数据线
A6	RESET	Input	芯片复位控制，将所有寄存器复位为初始值 0: 芯片复位 1: 正常工作
A7	AVDD28	Power	模拟电路电源：2.7~3.0V，通过0.1μF 或1μF 的电容接地
B1	MDP<0>	Output	MIPI data<0> (+)
B2	MDN<0>	Output	MIPI data<0> (-)
B3	HSYNC	Output	HSYNC 输出信号
B4	IOVDD	Power	I/O 供电电源：1.7~3.0V，通过 0.1μF 或 1μF 的电容接地
B5	SBCL	Input	串行通讯口时钟线
B6	PWDN	Input	芯片休眠模式控制： 0: 正常工作 1: 休眠模式
B7	AGND	Ground	模拟地
C1	MCN	Output	MIPI clock (-)
C2	MCP	Output	MIPI clock (+)
C3	DGND	Ground	数字地
C4	D<4>	Output	Raw RGB 图像数据输出端口 bit[4]
C5	TXLOW	Power	内部电源，通过 0.1μF 或 1μF 的电容接地
C6	AVDD28	Power	模拟电路电源：2.7~3.0V，通过0.1μF 或1μF 的电容接地
C7	AGND	Ground	模拟地
D1	MDN<1>	Output	MIPI data<1> (-)
D2	MDP<1>	Output	MIPI data<1> (+)
D3	DGND	Ground	数字地
D4	D<2>	Output	Raw RGB 图像数据输出端口 bit[2]
D5	D<6>	Output	Raw RGB 图像数据输出端口 bit[6]
D6	D<8>	Output	Raw RGB 图像数据输出端口 bit[8]
D7	AGND	Ground	模拟地
E1	IOVDD	Power	I/O 供电电源：1.7~3.0V，通过 0.1μF 或 1μF 的电容接地
E2	D<0>	Output	Raw RGB 图像数据输出端口 bit[0]
E3	D<1>	Output	Raw RGB 图像数据输出端口 bit[1]
E4	D<3>	Output	Raw RGB 图像数据输出端口 bit[3]
E5	D<5>	Output	Raw RGB 图像数据输出端口 bit[5]
E6	D<7>	Output	Raw RGB 图像数据输出端口 bit[7]
E7	D<9>	Output	Raw RGB 图像数据输出端口 bit[9]

3.4 PCB 焊盘设计说明

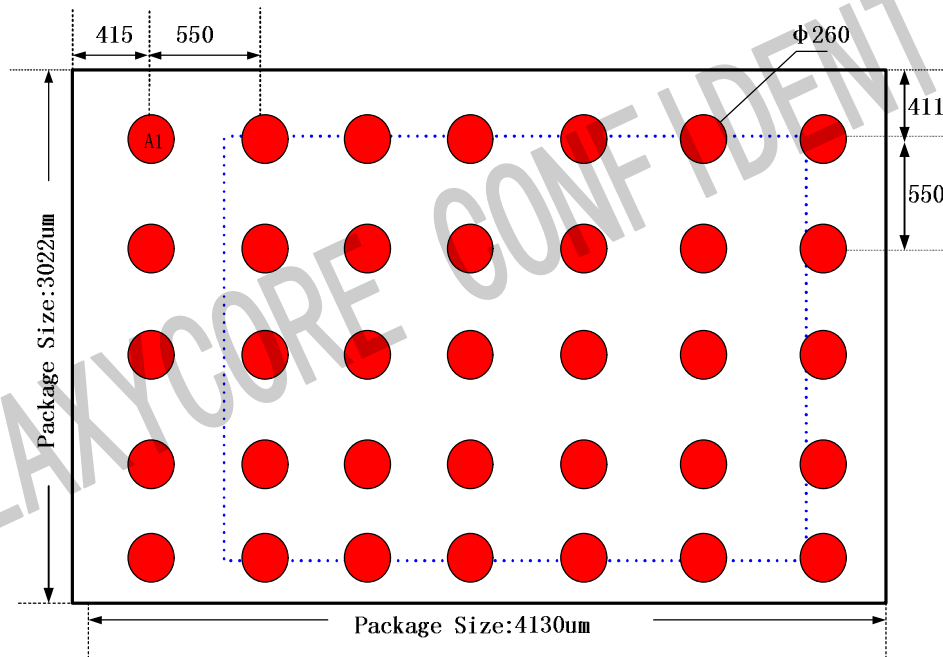


图 3-2 PCB 焊盘设计说明示意图(Top View)

注：Sensor 封装锡球大小为 260μm。

3.5 CSP 封装尺寸图（单位：μm）

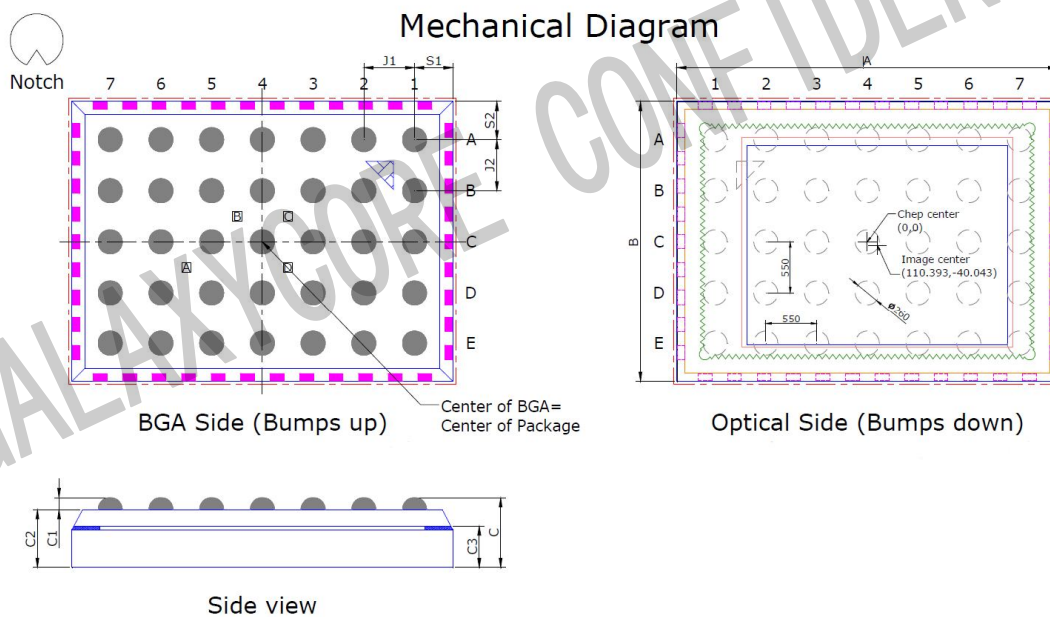


图 3-3 CSP 封装尺寸图

3.6 CSP 封装说明

Parameter	Symbol	Nominal	Min.	Max.
		μm		
Package Body Dimension X	A	4130	4105	4155
Package Body Dimension Y	B	3022	2997	3047
Package Height	C	760	700	820
Ball Height	C1	130	100	160
Package Body Thickness	C2	630	585	675
Thickness of Glass surface to wafer	C3	445	425	465
Ball Diameter	D	260	230	290
Total Pin Count	N	35		
Pins Count X axis	N1	7		
Pins Count Y axis	N2	5		
Pins Pitch X axis	J1	550		
Pins Pitch Y axis	J2	550		
Edge to Pin Center Distance along X	S1	415	385	445
Edge to Pin Center Distance along Y	S2	411	381	441