



SMARTSENS

SmartSens™

SC1345 设计应用指南

V1.1

2020.7.21

目录

目录	2
图片索引	3
表格索引	4
1. 系统描述	5
1.1. 芯片概述	5
1.2. 上电时序	5
1.3. 下电时序	6
2. 芯片引脚与封装信息	7
2.1. 芯片引脚信息	7
2.2. 芯片脚位图	8
2.3. 封装尺寸图	8
3. 典型应用电路	10
4. 版本变更记录	13

图片索引

图 1-1 上电时序图	5
图 1-2 下电时序图	6
图 2-1 SC1345 封装引脚图	8
图 2-2 SC1345 封装示意图	8
图 3-1 SC1345 典型应用电路	10
图 3-2 SC1345 电源供电和滤波电容连接方式	11
图 3-3 SC1345 推荐 Power Tree	11

表格索引

表 2-1 SC1345 引脚描述	7
表 2-2 封装尺寸表	9

SmartSens Confidential – NDA only

1. 系统描述

1.1. 芯片概述

SC1345 是监控相机领域先进的数字 CMOS 图像传感器，最高支持 1280H x 720V@60fps 的传输速率。SC1345 输出 raw 格式图像，有效像素窗口为 1288H x 728V，支持复杂的片上操作——例如窗口化、水平镜像、垂直倒置等。

SC1345 可以通过标准的 I2C 接口进行配置。

SC1345 可以通过 FSYNC 引脚实现外部控制曝光。

1.2. 上电时序

在上电过程中，具体上电时序要求如下：

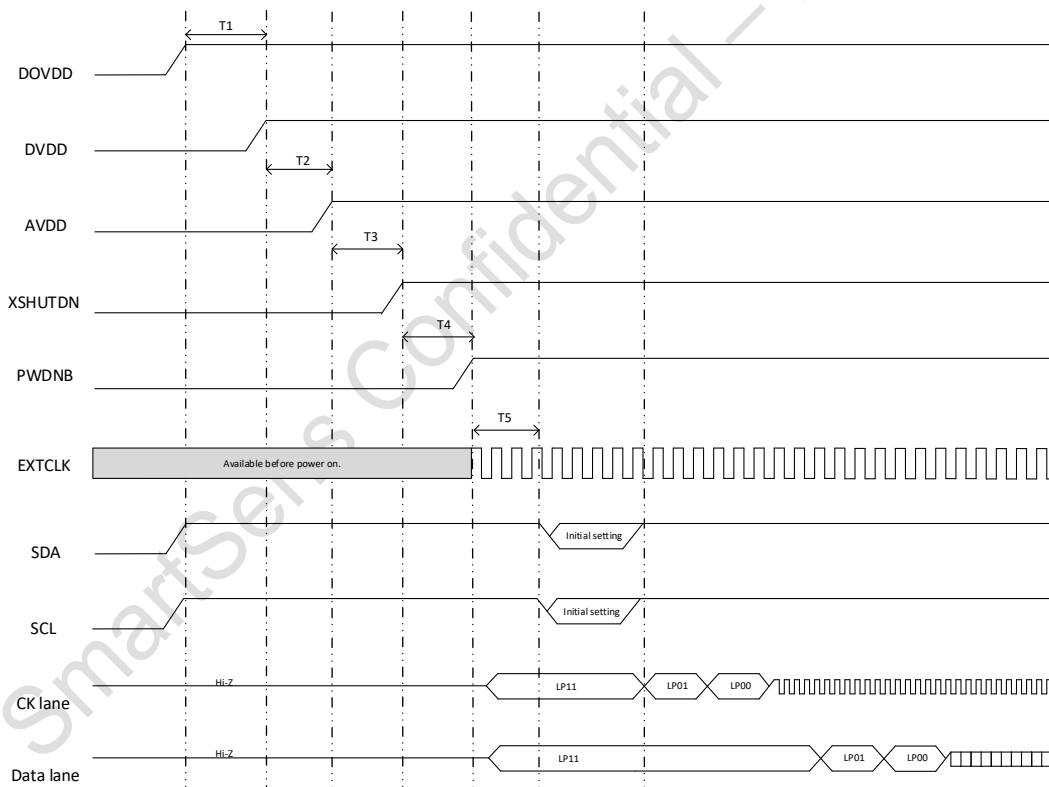


图 1-1 上电时序图

注：T1≥0ms, T2≥0ms, T3≥0ms, T4≥0ms, T5≥4ms。

1.3. 下电时序

在下电过程中，具体下电时序要求如下：

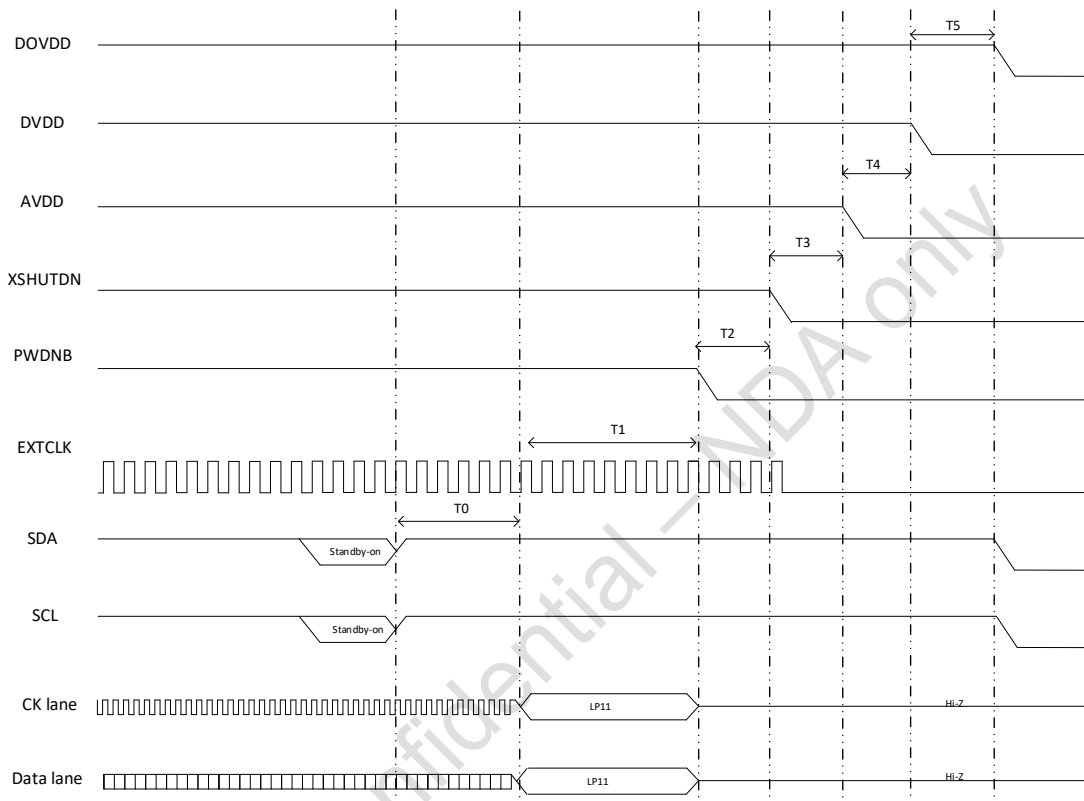


图 1-2 下电时序图

注：T0≥6EXTCLKs, T1≥0, T2≥0, T3≥0, T4≥0, T5≥0。

2. 芯片引脚与封装信息

2.1. 芯片引脚信息

表 2-1 列出了 SC1345 图像传感器的引脚信息及相关描述。

表 2-1 SC1345 引脚描述

序号	编号	信号名	引脚类型	描述
1	A1	LREF	输出	DVP 行同步
2	A2	EXTCLK	输入	时钟输入
3	A3	SCL	输入	I2C 时钟线
4	A4	D5	输出	DVP 输出 bit[5]
5	A5	PWDNB	输入	Power Down 信号输入（内置上拉电阻，低电位有效）
6	A6	AVDD	电源	2.8V 模拟电源
7	B1	DVDD	电源	1.8V 数字电源
8	B2	FSYNC	输出	DVP 帧同步
9	B3	SDA	输入/输出	I2C 数据线(open drain)
10	B4	D6	输出	DVP 输出 bit[6]
11	B5	XSHUTDN	输入	复位信号输入（内置上拉电阻，低电位有效）
12	B6	AGND	地线	模拟地
13	C1	PCLK	输出	DVP 时钟
14	C2	D3(MCN)	输出	DVP 输出 bit[3] / MIPI 时钟负极信号
15	C3	D4 (MCP)	输出	DVP 输出 bit[4] / MIPI 时钟正极信号
16	C4	D9 (MDP)	输出	DVP 输出 bit[9] / MIPI 数据正极信号
17	C5	DVDD	电源	1.8V 数字电源
18	C6	NC	-	-
19	D1	D0	输出	DVP 输出 bit[0]
20	D2	D1	输出	DVP 输出 bit[1]
21	D3	DOVDD	电源	1.8V IO 电源
22	D4	D8 (MDN)	输出	DVP 输出 bit[8] / MIPI 数据负极信号
23	D5	DOGND	地线	IO 地
24	D6	VREF1	输出	内部参考电压（外接电容至 AGND）
25	E1	DOGND	地线	IO 地
26	E2	D2	输出	DVP 输出 bit[2]
27	E3	DVDD	电源	1.8V 数字电源
28	E4	D7	输出	DVP 输出 bit[7]
29	E6	VREFN	输出	内部参考电压（外接电容至 AGND）

2.2. 芯片脚位图

图 2-1 为 SC1345 封装引脚图。

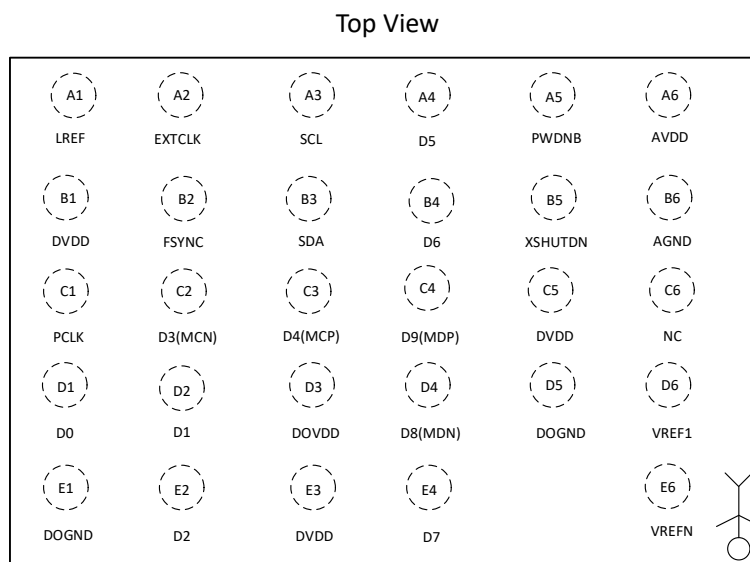


图 2-1 SC1345 封装引脚图

2.3. 封装尺寸图

SC1345 提供 29-pin CSP 的封装，封装尺寸图如图 2-2 所示。

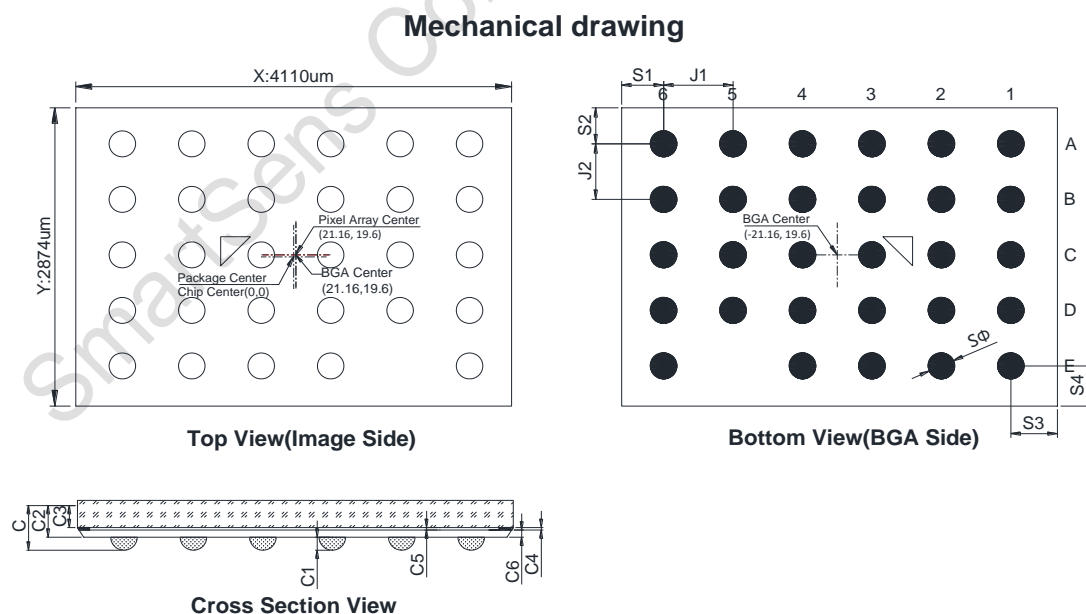


图 2-2 SC1345 封装示意图

注：芯片的 Chip Center 与 Array Center(optical center)/BGA center 不重合。以 Chip Center 为原点，Array Center 和 BGA Center 为(21.16, 19.6)，单位为 μm 。

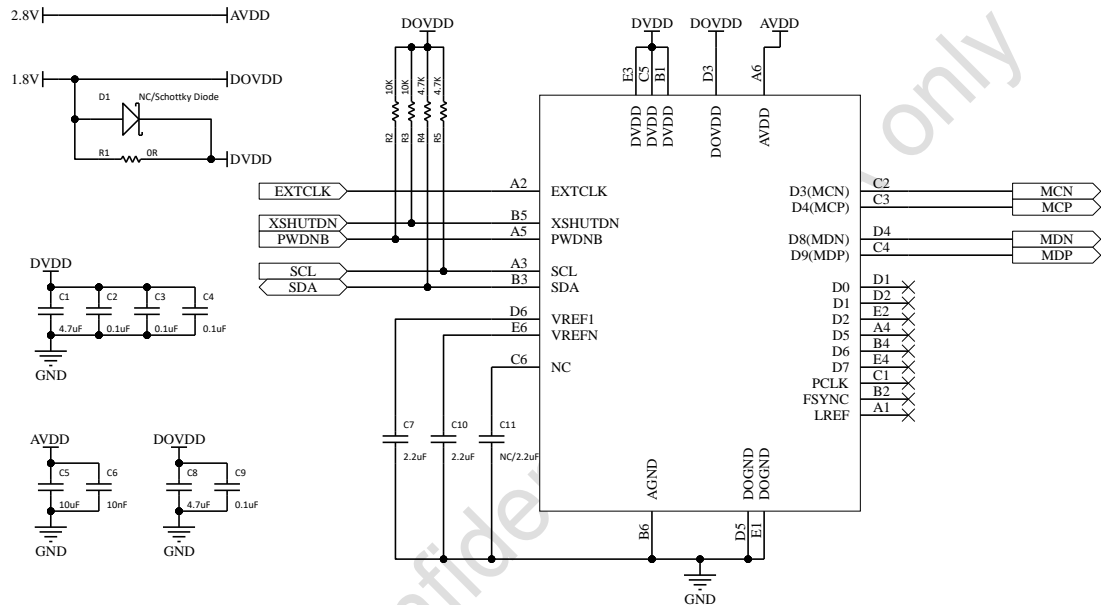
表 2-2 封装尺寸表

Parameter	Symbol	Nominal	Min	Max	Nominal	Min	Max
		Millimeters			Inches		
Package Body Dimension X	A	4.11	4.085	4.135	0.16181	0.16083	0.1628
Package Body Dimension Y	B	2.874	2.849	2.899	0.11315	0.11217	0.11413
Package Height	C	0.64	0.585	0.695	0.0252	0.02303	0.02736
Cavity wall height	C4	0.041	0.037	0.045	0.00161	0.00146	0.00177
Cavity wall + epoxy thickness (glass to the wafer bonding top point)	C5	0.0435	0.0385	0.0485	0.00171	0.00152	0.00191
Si Thickness	C6	0.13	0.12	0.14	0.00512	0.00472	0.00551
Glass Thickness	C3	0.3	0.29	0.31	0.01181	0.01142	0.0122
Package Body Thickness	C2	0.51	0.475	0.545	0.02008	0.0187	0.02146
Ball Height	C1	0.13	0.1	0.16	0.00512	0.00394	0.0063
Ball Diameter	SΦ	0.25	0.22	0.28	0.00984	0.00866	0.01102
Total Ball Count	N	29(1NC)	-	-	-	-	-
Ball Count X axis	N1	6	-	-	-	-	-
Ball Count Y axis	N2	5	-	-	-	-	-
Pins Pitch X axis1	J1	0.655	0.645	0.665	0.02579	0.02539	0.02618
Pins Pitch Y axis2	J2	0.535	0.525	0.545	0.02106	0.02067	0.02146
BGA ball center to package center offset in X-direction	X	0.02116	-0.0038	0.0462	0	-0.00015	0.00182
BGA ball center to package center offset in Y-direction	Y	0.0196	-0.0054	0.0446	0.00077	-0.00021	0.00176
Edge to Ball Center Distance along X1	S1	0.39634	0.3663	0.4263	0.0156	0.01442	0.01679
Edge to Ball Center Distance along Y1	S2	0.3474	0.3174	0.3774	0.01368	0.0125	0.01486
Edge to Ball Center Distance along X2	S3	0.43866	0.4087	0.4687	0.01727	0.01609	0.01845
Edge to Ball Center Distance along Y2	S4	0.3866	0.3566	0.4166	0.01522	0.01404	0.0164

3. 典型应用电路

图 3-1 为 SC1345 的典型应用电路, 图 3-2 为 SC1345 电源供电和滤波电容连接方式, 图 3-3 为 SC1345 推荐 Power Tree。

For MIPI



For DVP

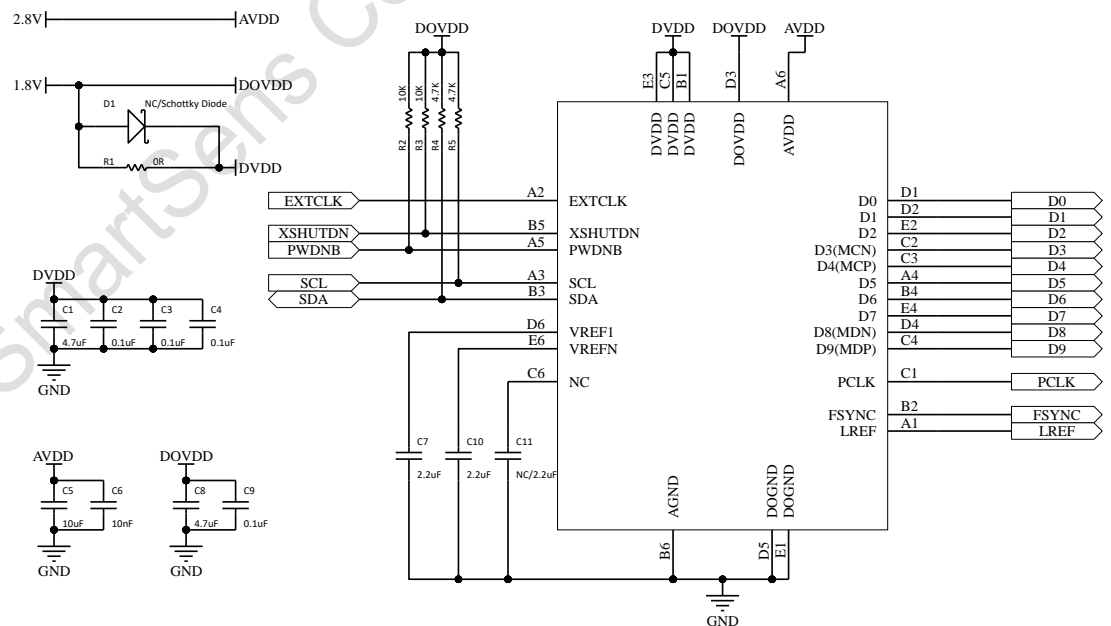


图 3-1 SC1345 典型应用电路

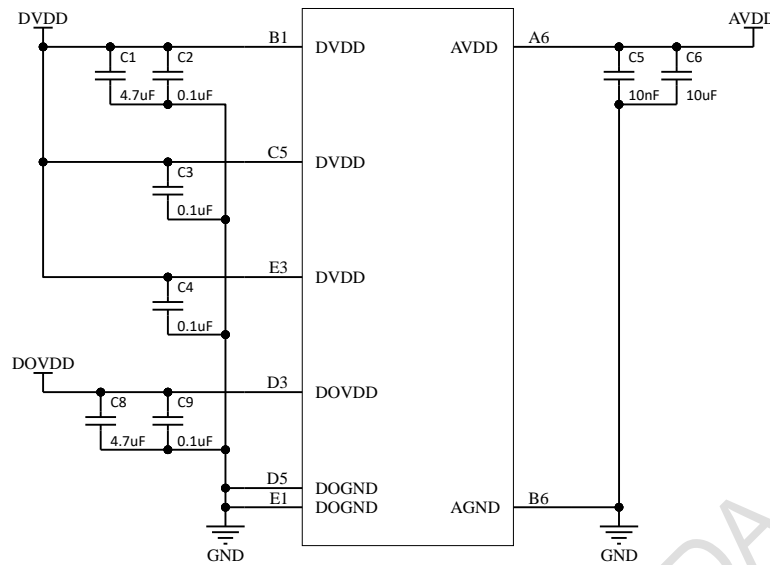


图 3-2 SC1345 电源供电和滤波电容连接方式

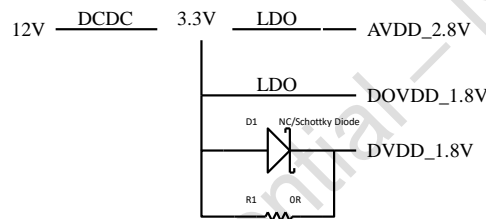


图 3-3 SC1345 推荐 Power Tree

注：

- 1) SC1345 芯片分三路电源供电：DOVDD 外接 1.8V，AVDD 外接 2.8V，DVDD 外接 1.8V。其中，AVDD 必须单独外接 2.8V 电源。滤波电容按照图 3-2 组合放置，靠近对应的引脚，电容大小可参考图 3-2；
- 2) VREF1、VREFN 外接 2.2uF 电容，电容靠近芯片引脚，并且远离 I/O 翻转信号，如 EXTCLK、PCLK、FSYNC、LREF、DATA 信号、MIPI 线对；
- 3) DOVDD 电压须与主控 I/O 电压保持一致；
- 4) 模拟地、I/O 地不需分割，建议直连至 GND；
- 5) EXTCLK 由主控芯片或有源晶振提供，信号频率范围 6-40MHz；
- 6) D1、C11 须预留位置，作用为兼容已有产品；
- 7) XSHUTDN、PWDNB 接 10K 电阻上拉到 DOVDD，或通过 GPIO 控制；
- 8) 镜头底座空间内尽量不要摆放任何电容电阻，减少芯片表面脏污来源；
- 9) MIPI 信号走线要求：
 - a) MIPI 的差分线阻抗控制标准是 100Ω，误差不能大于±10%；
 - b) 避免直角走线，以免产生反射，影响高速传输性能；
 - c) 参考层：MIPI 信号线下方一定要有参考层（推荐用地层），且一定要保证参考层的连续性（即在 MIPI 信号线下方的参考层不能被分割或有间隙，不能被其它走线截断），最好是有一整片的地层，如果做不到，至少要保证 MIPI 信号线下方的参考层比 MIPI 信号线每边要宽 4W 以上（W 即 MIPI 信号走线宽度）；
 - d) 等长：MIPI 线对之间的长度误差是要控制在 10mil 以内，线对与线对之间的长度误差控制在 100mil 以内；等长是为了保证两个差分信号能同时到达接收端。做等长时，要注意对称性，绕蛇形线时不能太密集，应为 4W，等长尽量在焊盘附近解决，以倒角形式来走线，不能随意改变线宽和线距；

- e) 对称性: MIPI 线对要始终保持等长和等距。对称是为了保证走线阻抗一致, 减少反射。对称性不好会使信号失真, 导致不稳定或无图;
 - f) 远离干扰: MIPI 线对之间要保持至少 2W 以上的间距, MIPI 信号线应远离其它高速信号 (并行数据线、时钟线等), 至少保持 3W 以上的距离且绝不能平行走线。对开关电源这一类的干扰源更应远离;
 - g) 过孔: MIPI 信号线尽量不要打过孔, 如有过孔, 则线对上的两根线都要有 (保持对称性), 信号线换层后参考层也要在靠近信号线的过孔处打孔换层。如其中 1Lane 数据或时钟线对有过孔, 则所有其它数据或时钟线对都需打过孔, 保证延迟一致;
- 10) DVP 信号走线要求:
- a) EXTCLK、PCLK、FSYNC、LREF 的走线之间采用地线屏蔽或远离;
 - b) SCL、SDA 的走线应该尽可能远离 EXTCLK、PCLK、D0、D1 (低位高频数据 pin) 或用地线屏蔽;
 - c) EXTCLK、PCLK、DATA 的走线尽可能远离 AVDD 信号。

4. 版本变更记录

版本	修改内容以及说明	Owner and date
1.0	初始版本	Vicky Song/2020.7.8
1.1	帧率由 30fps 改为 60fps	Vicky Song/2020.7.21

联系我们：

总部：

地址：上海市徐汇区宜山路 1009 号 11 楼

电话：021-64853570

传真：021-64853570-8009

邮箱：sales@smartsensotech.com

网址：<http://www.smartsensotech.com>

美国分公司：

地址：4340 Stevens Creek Blvd. Suite 280, San Jose, CA 95129,

电话：+1 (408) 981-6626

深圳分公司：

地址：深圳市龙岗区坂田街道五和大道南星河 WORLD B 座 2908

电话：0755-23739713

思特威技术支持邮箱：

support@smartsensotech.com