## 5.命令介绍

**基础命令：**

add 向设计中增加对象。

cd 切换模块，与Linux的cd切换文件夹一样。

design 保存，修复和重设当前设计。

help 显示帮助信息。

ls 没有模块被选中时显示所有模块，有选中的模块时显选中模块中的对象。

read: 加载HDL设计文件，以read\_\*的形式进行读入(\*代表某种文件类型)。可以读取的文件格式有：blif，ilang，json，liberty，verilog。

write: 以write\_\*命令来指定输出文件格式，可以输出的文件格式有：aig，blif，btor，edif，file，firtl，ilang，intersynth，json，simplec，smv，spice，table，verilog。

**打印命令：**

history 显示上一次使用过的所有命令，会打印shell历史缓冲区内的所有命令。

log 打印文本和日志文件（针对TCL脚本文件）。

ltp 打印最长拓扑路径。

stat 在选定的设计区域打印一些统计信息（对象数量）。

torder 按照拓扑学顺序打印选中的单元。

**映射命令：**

abc 使用ABC来进行工艺映射。

aigmap – 将逻辑映射到与非图电路。

maccmap 映射MACC单元。

**转换命令：**

assertpmux, expose – 将内部信号转换成端口模块。

async2sync 将异步触发器输入转换成同步电路。

blackbox 将模块转换成黑盒模块（移除内容并设置黑盒模块属性）。

chtype 更改设计中的单元类型。

extract 找到分支电路并用映射文件中的同构单元替换。

json 将设计用JSON的格式写。

**优化命令：**

check 检查设计中明显的问题(包括以下三种问题：组合死循环；一条线路有两个或两个以上相互冲突的驱动程序；没有驱动器相连的线路)。

flatten使用当前设计作为映射库来进行平坦化优化。

freduce 减少执行函数，即将两个等效的节点融合成一个。

fsm 提取和优化有限状态机。

hierarchy查看，扩展和清理设计层次（查看当前设计中的所有模块并按照需要为参数化模块重新运行语言前端）。

memory将寄存器翻译成基础单元。

opt 以opt\_\*方式执行一系列微小的优化和清理。

proc 以proc\_\*方式将进程翻译为门级网表。

share将多个可分享资源合并成一个，通过SAT求解器来判定不同资源时候可分享。

shregmap 映射移位寄存器。

techmap 进行通用工艺映射。

**通用综合脚本**

prep 是通用综合脚本，会运行传统的RTL综合。

synth 通用综合脚本，synth\_\*执行不同类型的综合。

sim 使用给定的顶级模块进行仿真。

sat 解决电路中的SAT问题，附加约束以参数形式传递。

script 在指定文件中执行yosys的命令。