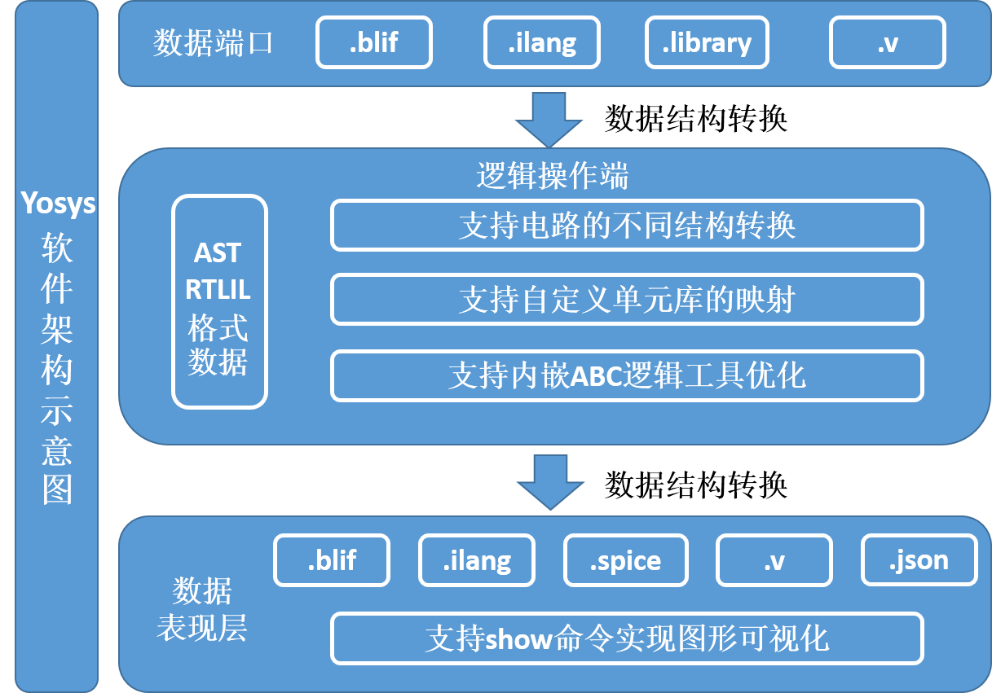
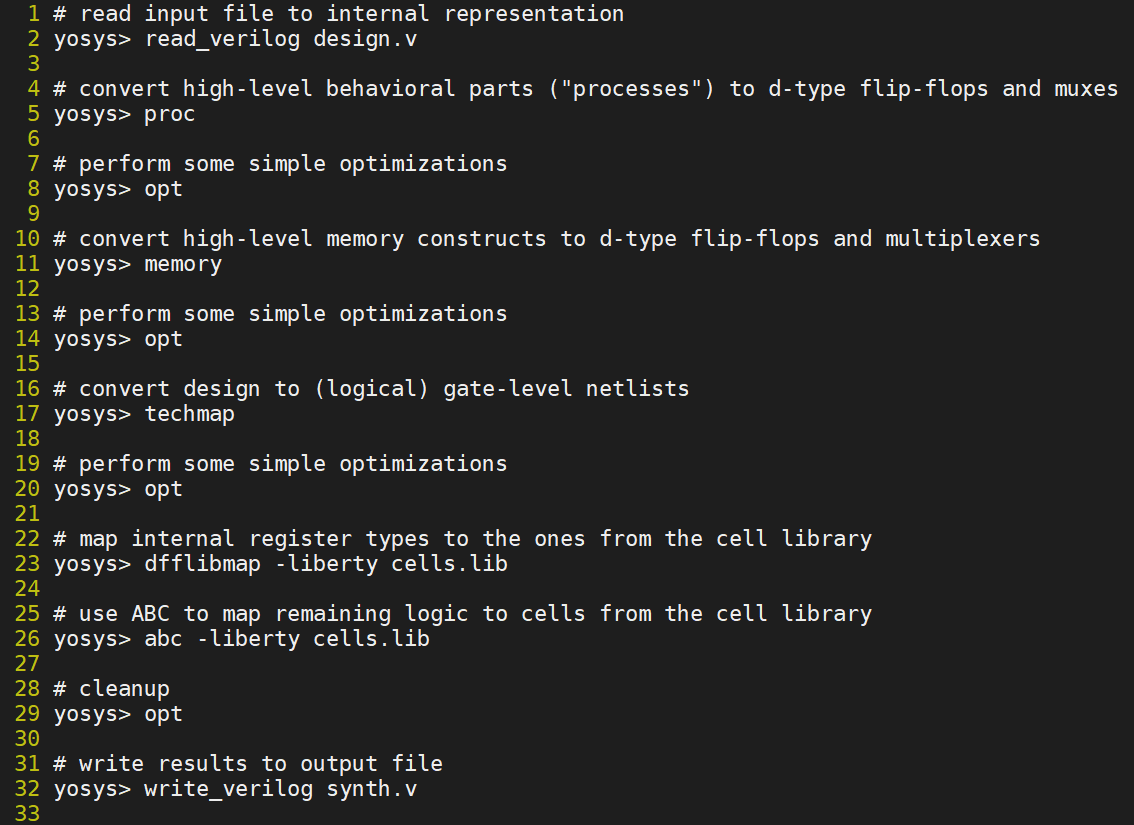
yosys软件架构分析



如上图所示yosys的软件结构与ABC类似，不同的是yosys有两种格式作为内部的数据结构，yosys工具对内部结构进行优化、综合等处理。一种是AST（abstract syntax trees），该数据结构专门用来存储Verilog或者VHDL的数据输入，接着yosys会将AST文件转换为另一种yosys主要的内部数据结构——RTLIL（Register-Transfer-Level-Intermediate-Language）数据。所有的yosys优化命令（pass）都可以处理该内部结构。

例如，以下例子就展示了如何将一个行为级的Verilog代码从.v文件优化并转换成门级网表.v文件，同时将利用cell.lib文件来映射内部的表达式。



* read\_verilog design.v命令意为读入Verilog代码文件，并且将代码转换成AST格式，接着自动转换成RTLIL内部格式。当然还支持读入不同类型的文件，例如.blif，iLang等格式
* pro命令是一系列命令的集合调用，其中包含了proc\_clean，proc\_rmdead等，具体的命令含义可以参考yosys的使用手册，一般pro命令是正式开始电路综合前的第一步
* opt命令也是一系列命令的调用，该命令会执行简单的优化操作，例如删除冗余的传输线和单元，合并重复的单元等等
* memory命令也是一个命令的集合，在RTL网表中，内存读写是单独的单元。这使得为内存合并端口数变得更容易。其中包含的命令有memory\_dff，memory\_collect等，它们会对memory进行合并、转换等操作
* techmap将设计转换为逻辑级的门级网表
* dfflibmap命令将内部寄存器单元类型映射到lib文件中描述的寄存器类型
* abc使用ABC逻辑综合工具将剩余逻辑单元映射到单元库cells.lib。同时还可以指定ABC脚本来使用更高级的ABC功能。还可以用WITE\_BILF编写设计，并将输出文件加载到Yosys外部的abc中
* write\_verilog synth.v 将电路输出为verilog文件的形式，同时还支持show命令将电路以图形化的格式输出