

Capítulo 6

PWM

El sistema de modulación por anchura de pulsos (PWM) consta de 4 generadores independientes de 8 bits ó 2 generadores independientes de 16 bits.

Cada generador se puede configurar:

- la fuente de señal de reloj de entre 4 disponibles.
- el periodo: número de ciclos.
- el ciclo de trabajo: número de ciclos de la señal activa.
- Alineación izquierda o centrada.

Los registros del periodo y ciclo de trabajo tienen doble almacenamiento, con lo cual los cambios de estos parámetros se aplican simultáneamente cuando el contador vuelve a 0.

6.1. Generación de los relojes y registros relacionados

Existen 4 señales de reloj generadas como se muestra en la figura 6.1. A partir de la señal de reloj del sistema ECLK se genera las señales **A** y **B** aplicándole un divisor, independiente para cada señal. El valor de esa división se fija en el siguiente registro de control:

PWCLK

PCKA2-PCKA0 el número codificado (n) determina el factor de división, según la fórmula 2^n , que se aplica al reloj ECLK para generar la fuente de reloj A.

PCKB2-PCKB0 el número codificado (n) determina el factor de división, según la fórmula 2^n , éste que se aplica al reloj ECLK para generar la fuente de reloj B.

A partir de la señal **A** se deriva la señal de reloj S0, dividiéndola mediante un contador de cuenta atrás y dividiendo esa salida por 2 nuevamente, permitiendo una división entre 2, 4, 6, ... 512. Los registros de control relacionados son:

PWSCNT0 contador de cuenta a tras de 8 bits con el que se genera la señal S0. Cuando alcanza el valor \$00, carga el valor del registro PWSCAL0.

PWSCAL0 Fija el valor de la cuenta inicial para el contador PWSCNT0. Cuando se escribe en este registro su valor se copia inmediatamente a PWSCNT0.

A partir de la señal **B** se genera, de forma totalmente análoga al caso anterior, la señal S1. Los registros relacionados son:

PWSCNT1 contador de cuenta a tras de 8 bits con el que se genera la señal S1. Cuando alcanza el valor \$00, carga el valor del registro PWSCAL1.

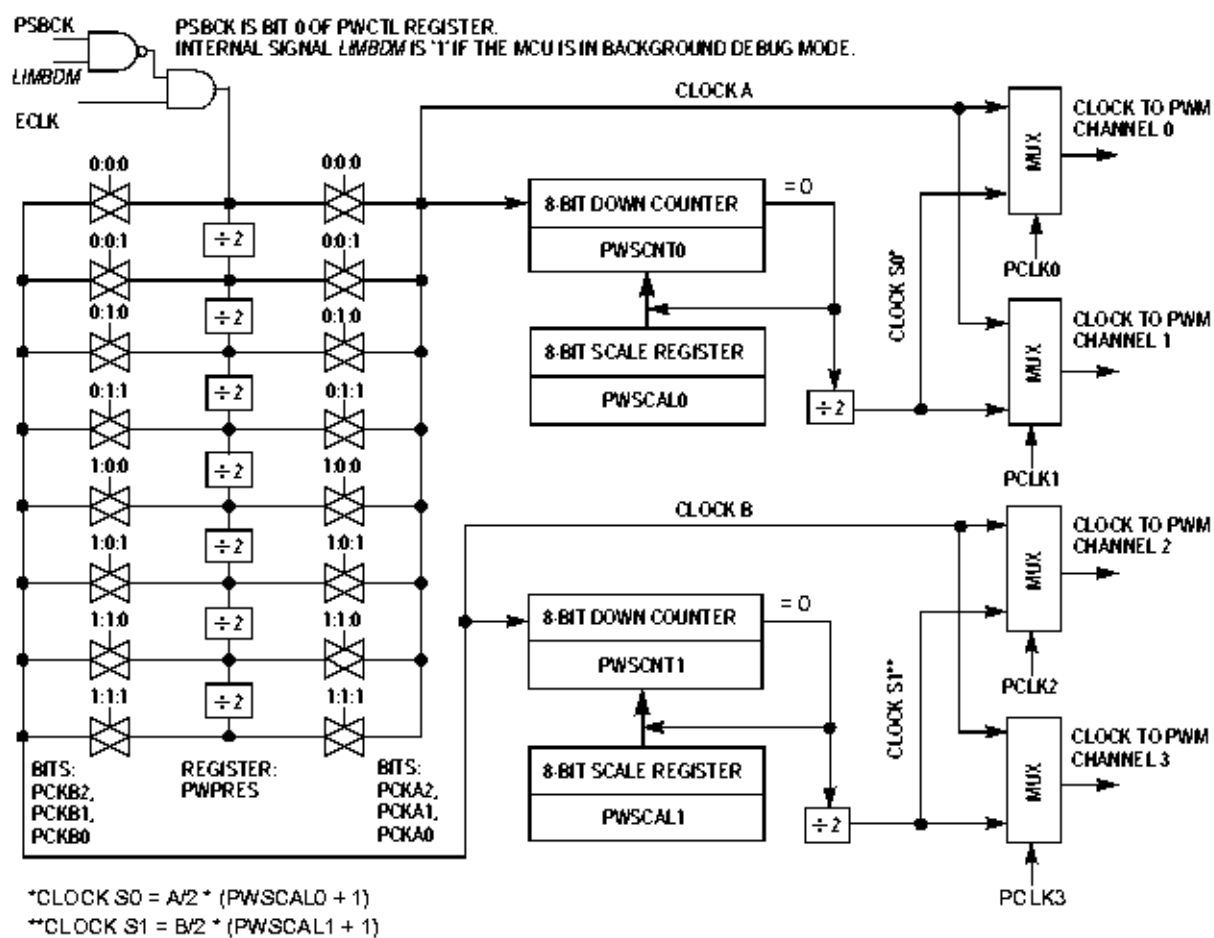


Figura 6.1: Generación de las señales de reloj

PWSCAL1 Fija el valor de la cuenta inicial para el contador PWCNT1. Cuando se escribe en este registro su valor se copia inmediatamente a PWCNT1.

Los canales 0 y 1 pueden elegir entre las señales de reloj **A** y S0. Los canales 2 y 3 pueden elegir entre las señales de reloj **B** y S1. Esa elección se hace en el siguiente registro de control:

PWPOL

PCLK0 Selecciona fuente de reloj para canal 0 entre: 0→Reloj A, 1→Reloj S0.

PCLK1 Selecciona fuente de reloj para canal 1 entre: 0→Reloj A, 1→Reloj S0.

PCLK2 Selecciona fuente de reloj para canal 2 entre: 0→Reloj B, 1→Reloj S1.

PCLK3 Selecciona fuente de reloj para canal 3 entre: 0→Reloj B, 1→Reloj S1.

6.2. Otros registros de control

PWCLK además de los bit ya vistos tenemos:

CON23 si activa, los canales 2 y 3 se concatenan (2:3) para formar un PWM de 16 bits. El pin asociado al canal 3 (PP3) se convierte en E/S general.

CON01 si activa, los canales 0 y 1 se concatenan (0:1) para formar un PWM de 16 bits. El pin asociado al canal 1 (PP1) se convierte en E/S general.

PWPOL además de los bit ya vistos tenemos:

PPOL0-PPOL3 Determina la polaridad del ciclo de trabajo de cada uno de los canales: 0→ciclo de trabajo en baja, 1→ciclo de trabajo en alta. El ciclo de trabajo se sitúa al principio del periodo.

PWEN Registro de habilitación de PWM. Posee un bit por cada canal (PWENn) para fijar si está activo o no dicho canal. La activación o desactivación de un canal se hace en sincronismo con su fuente de reloj.

PWCNTn registros contadores de los cuatro canales. La escritura en una de estas direcciones provoca el reseteo (puesta a \$00) del contador correspondiente y la carga de los nuevos valores de los registros de periodo y ciclo de trabajo.

PWPERn Registro de periodo asociado a cada canal. Su valor se tiene en cuenta al término del periodo actual.

PWDTYn Registro de ciclo de trabajo (*duty*) asociado a cada canal. Su valor se tiene en cuenta al término del periodo actual.

PWCTL Registro de control del módulo PWM. Los bits relacionados con el sistema PWM son:

PSWAI si activo, el subsistema se detiene cuando el MCU en estado WAIT

CENTR determina el tipo de alineamiento de la señal de salida para todos los canales: 0→alineamiento izquierdo, 1→alineamiento centrado.

6.3. Generación de la señal de salida

6.3.1. Alineamiento izquierdo

Si se ha seleccionado alineamiento izquierdo, para cada canal que esté habilitado, el comportamiento es el siguiente:

- El contador correspondiente PWCNTn se está incrementando según la señal de reloj seleccionada PWPOL:PCLKn.
- Mientras el valor del contador es menor o igual que PWDTYn la señal está a nivel indicado por la polaridad PWPOL:PPOLn. Cuando el contador es mayor de PWDTYn la polaridad es la contraria.
- Cuando el contador alcanza el valor en PWPERn éste vuelve a 0.

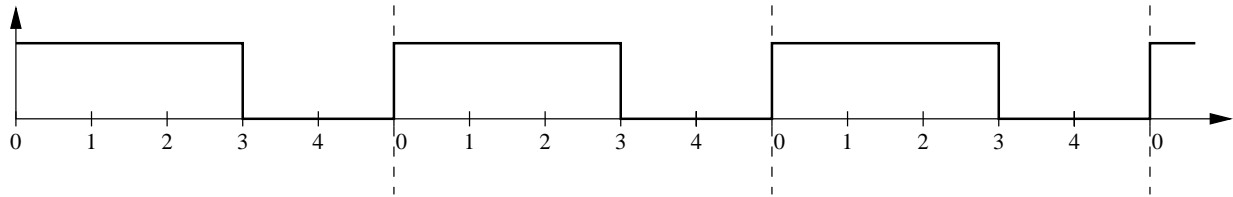
La temporización de la señal es:

- Tiempo a PWPOL:PPOLn $t_{POL} = \text{PWDTYn} + 1$
- Tiempo a valor contrario de PWPOL:PPOLn $t_{\overline{POL}} = \text{PWPERn} - \text{PWDTYn}$
- Tiempo total del periodo $T = \text{PWPERn} + 1$

Con ello el porcentaje del ciclo de trabajo es entonces:

$$\text{CicloTrabajo} = 100 \cdot \frac{\text{PWDTYn} + 1}{\text{PWPERn} + 1}$$

Por ejemplo si PWPER=4 y PWDTY=2 tendríamos:



6.3.2. Alineamiento centrado

En caso de que se seleccione la alineación centrada, el comportamiento es el mismo salvo que el contador funciona en modo incremento/decremento entre 0 y el valor de PWPERn. Es decir, si se está incrementando, al llegar a PWPERn comienza a decrementarse y al llegar a 0 comienza nuevamente a incrementarse. Durante ese proceso, mientras el valor del contador está por debajo de PWDTYn, la señal está a nivel indicado por la polaridad PWPOL:PPOLn y cuando esté por encima, el valor contrario.

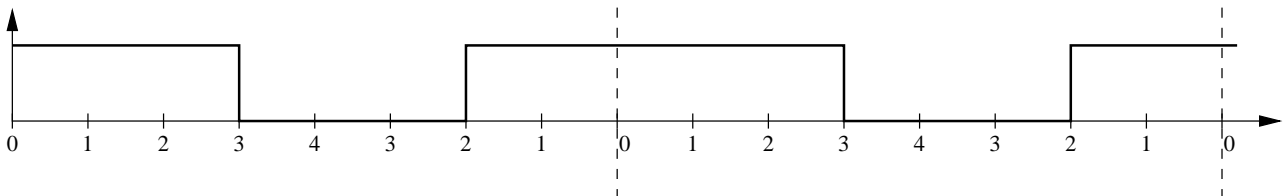
La temporización de la señal es:

- Tiempo a PWPOL:PPOLn $t_{POL} = 2 \cdot \text{PWDTYn} + 1$
- Tiempo a valor contrario de PWPOL:PPOLn $t_{\overline{POL}} = 2 \cdot (\text{PWPERn} - \text{PWDTYn}) - 1$
- Tiempo total del periodo $T = 2 \cdot \text{PWPERn}$

En este caso, el porcentaje del ciclo de trabajo es:

$$\text{CicloTrabajo} = 100 \cdot \frac{2 \cdot \text{PWDTYn} + 1}{2 \cdot \text{PWPERn}} \simeq 100 \cdot \frac{\text{PWDTYn}}{\text{PWPERn}}$$

Por ejemplo si PWPER=4 y PWDTY=2 tendríamos:



6.3.3. Casos límite

Existen una serie de estados especiales que permiten forzar la señal de salida al valor alto o bajo permanente modificando únicamente PWDTYn, sin tener modificar PWPERn ni que desactivar el PWM correspondiente. Estas configuraciones son las siguientes:

- Alineamiento izquierdo:

| PWDTY _x | PWPER _x | PPOL _x | Salida |
|-----------------------|--------------------|-------------------|--------|
| 0xFF | >0 | 1 | Baja |
| 0xFF | >0 | 0 | Alta |
| $\geq \text{PWPER}_x$ | – | 1 | Alta |
| $\geq \text{PWPER}_x$ | – | 0 | Baja |
| – | 0 | 1 | Alta |
| – | 0 | 0 | Baja |

- Alineamiento centrado:

| PWDTY _x | PWPER _x | PPOL _x | Salida |
|-----------------------|--------------------|-------------------|--------|
| 0x0 | >0 | 1 | Baja |
| 0x0 | >0 | 0 | Alta |
| $\geq \text{PWPER}_x$ | – | 1 | Alta |
| $\geq \text{PWPER}_x$ | – | 0 | Baja |
| – | 0 | 1 | Alta |
| – | 0 | 0 | Baja |