

66.70 Estructura del Computador

# **Circuitos con capacidad de memoria**

# ***Circuitos de la electrónica digital***

## **Combinacionales**

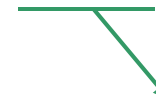


*Salida = Función de las Entradas  
exclusivamente*

## **Secuenciales**



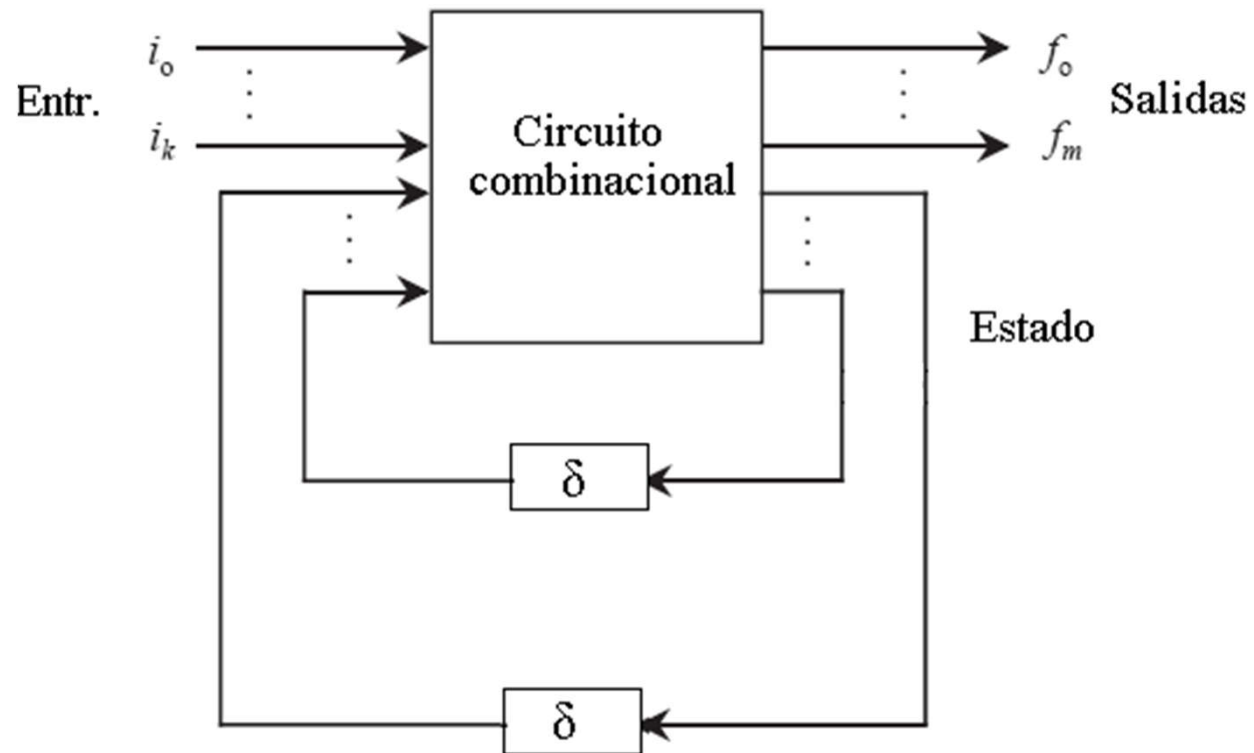
*Salida también función de la  
historia del sistema*



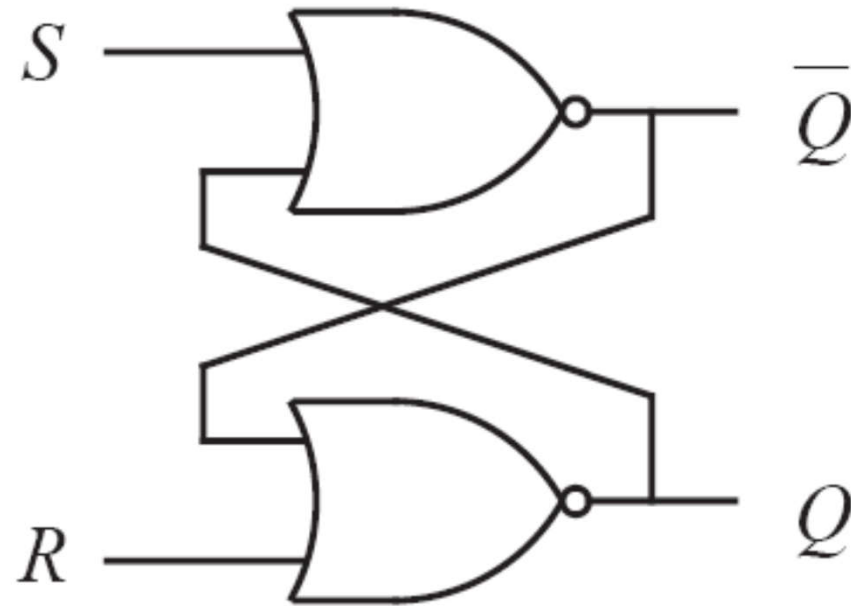
***“Memoria”***

**¿Cómo puedo crear circuitos  
que tengan capacidad de memorizar?**

# *Modelo de circuito secuencial*



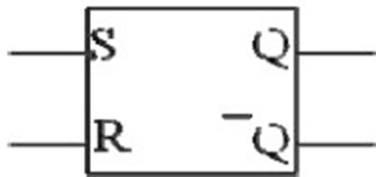
## *Circuito secuencial simple*



- Analizar evolución temporal
- Respuesta a todas las condiciones de entrada
- Entrada  $R=S=1$

# Flip-Flop RS asincrónico

Símbolo



Circuito

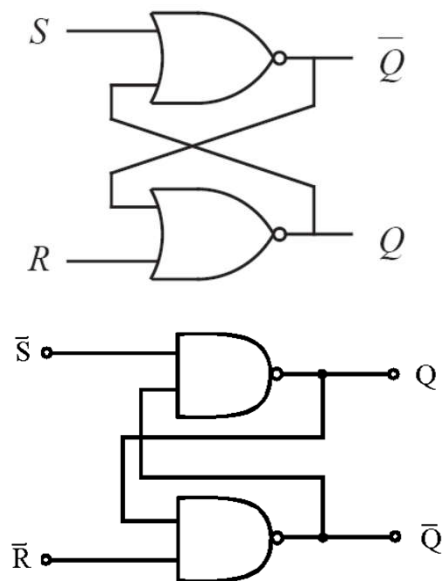


Tabla de estados

$Q_t$	$S_t$	$R_t$	$Q_{t+1}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	(Prohibido)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	(Prohibido)

S	R	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	—

Prohibido

**Ecuación característica:**

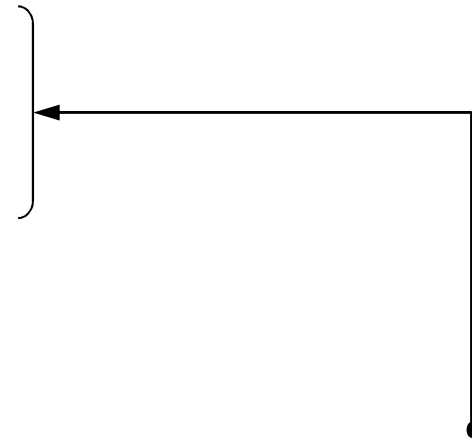
$$Q^{n+1} = S + R' \cdot Q^n$$

# *Expresiones formales de la lógica de un biestable*

- **Tabla de estados**
- **Tabla de estados reducida**
- **Ecuación característica**
- **Diagrama de estados**

# *Biestables*

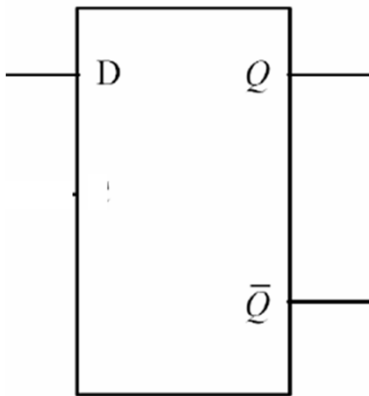
- “latch”
- “cerrojo”
- “flip-flop”
- “báscula”
- “flip-flop asincrónico”
- “flip-flop sincrónico”
- ...



*Varias nomenclaturas, sólo dos dispositivos básicos*

## Flip-Flop D asincrónico

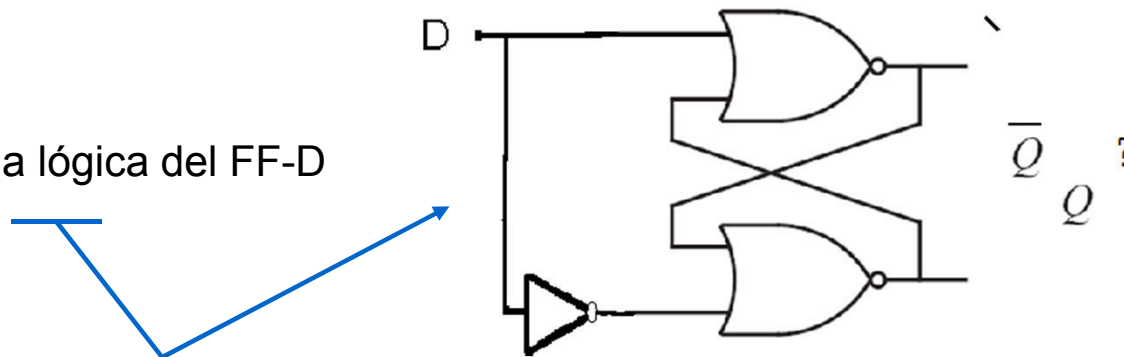
*Posibles aplicaciones prácticas?*



D	Q
0	0
1	1

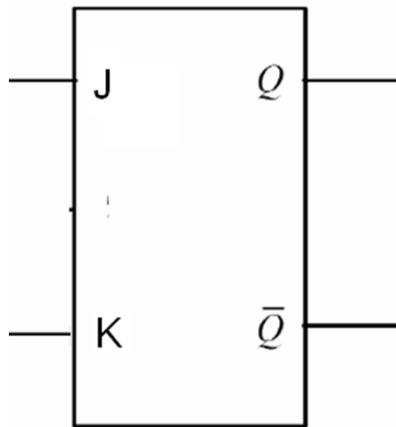
Tabla de estados reducida

✓ Una implementación de la lógica del FF-D





## Flip-Flop J-K asincrónico



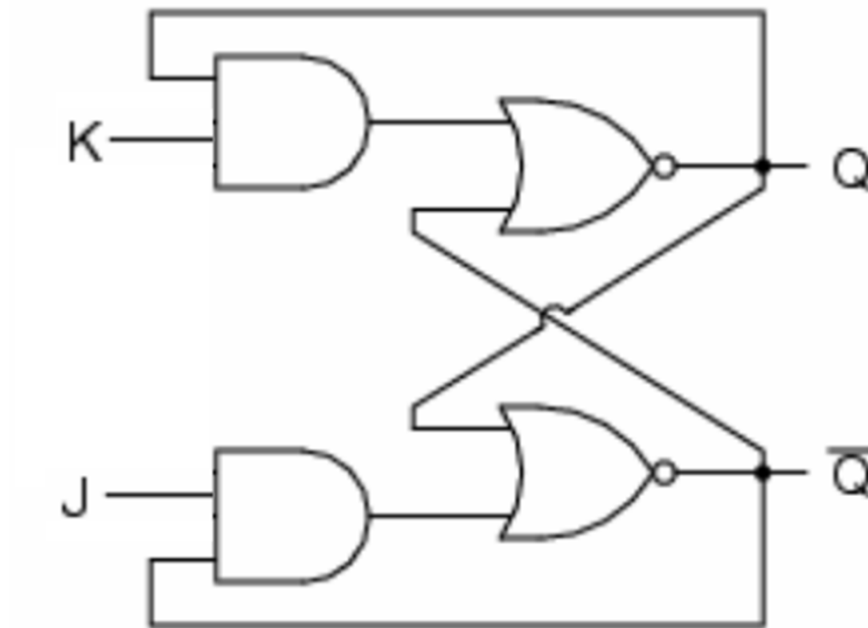
J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	$\bar{Q}$

- ✓ Define un comportamiento para el estado que está prohibido para el FF-RS (R=S=1)

Ec.característica

$$Q^{n+1} = J\bar{Q} + \bar{K}Q$$

## ***Flip-Flop J-K asincrónico***

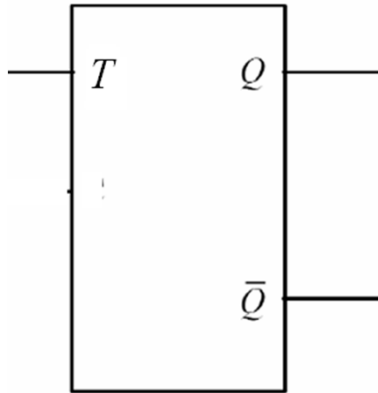


- Analizar en un diagrama de tiempos

Dinámica de la salida cuando  $J=K=1$

VS. LÓGICA BOOLEANA

## *Flip-Flop T asincrónico*



T	$Q^{n+1}$
0	Q
1	$\bar{Q}$

Tabla de estados  
reducida

✓ Comportamiento con  $T=1$  idéntico a FF-JK con  $J=K=1$

? Dinámica de la salida cuando  $T=1$

“T” = “Toggle”

# Circuitos **sincrónicos**

- Qué es un circuito digital sincrónico?
- Qué es un pulso de reloj?
- Velocidad del reloj vs. retardo de respuesta del circuito
- Porqué me interesaría tener circuitos sincrónicos?
- Qué gano y qué pierdo con un circuito sincrónico?

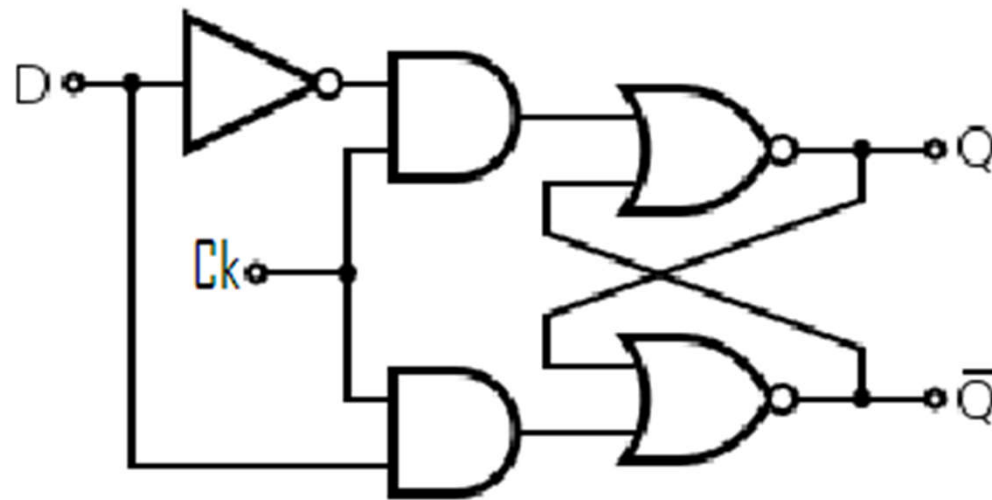
# FF sincrónicos vs FF asincrónicos

↓ Referencia de tiempo en el FF-D

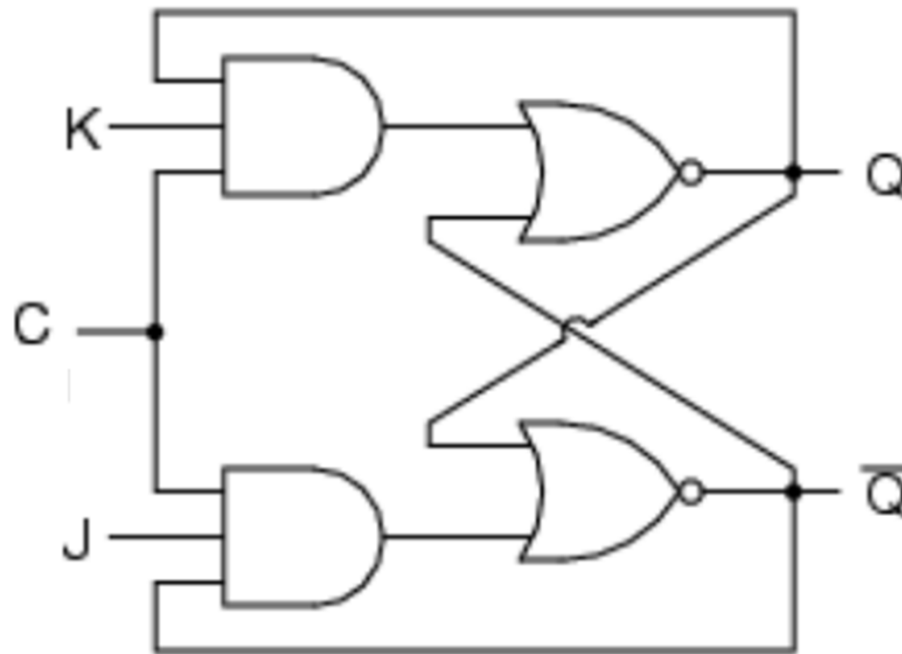
↓ Oscilaciones del FF-JK (con  $J=K=1$ )  
y del FF-T (con  $T=1$ )

*¿Qué quisiéramos obtener de los FF sincrónicos  
si esperamos que solucionen estos problemas?*

# Flip-Flop D sincrónico activado por nivel

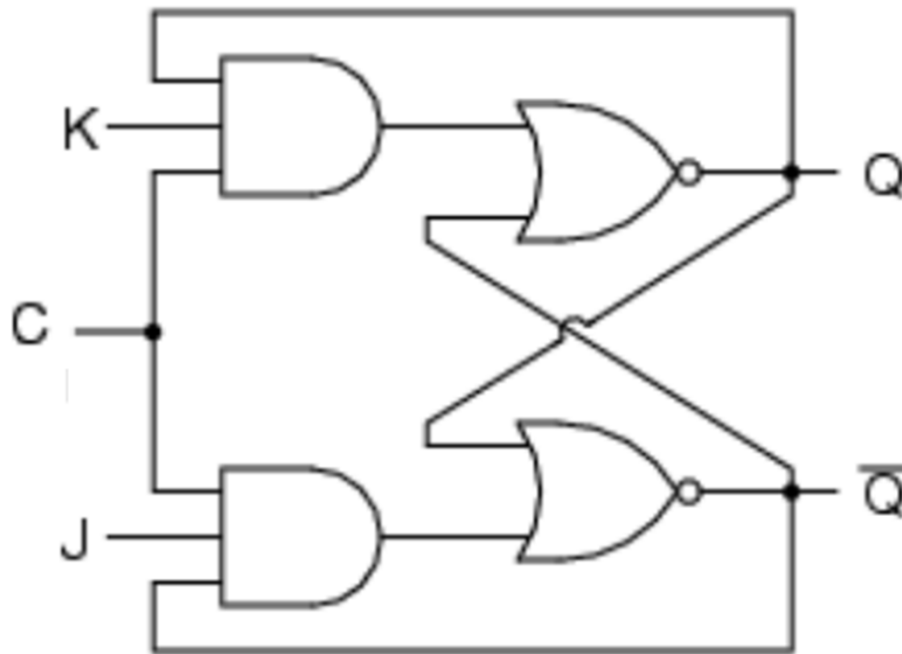


# Flip-Flop JK sincrónico activado por nivel



- Analizar en un diagrama de tiempos

# Flip-Flop JK sincrónico activado por nivel



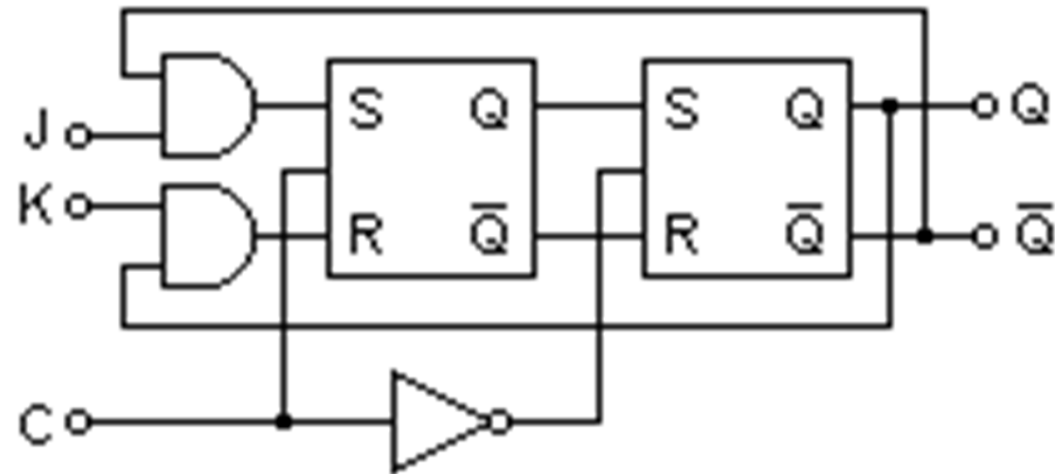
C	J	K	Q	$\bar{Q}$
1	0	0	latch	latch
1	0	1	0	1
1	1	0	1	0
1	1	1	toggle	toggle
0	0	0	latch	latch
0	0	1	latch	latch
0	1	0	latch	latch
0	1	1	latch	latch

“Latch” = mantiene el bit memorizado

“Toggle” = complementa el bit almacenado



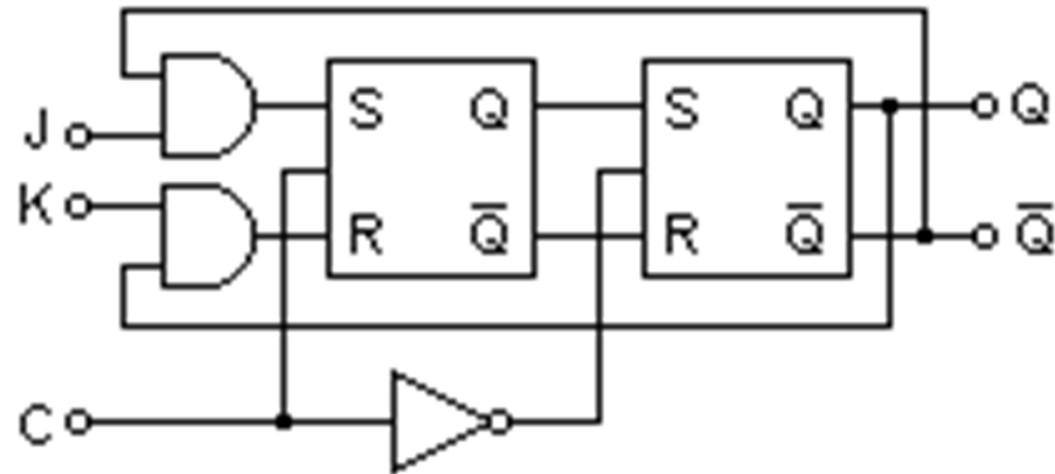
# Flip-Flop JK sincrónico del tipo maestro-esclavo



- Analizar en un diagrama de tiempos

# Flip-Flop JK sincrónico del tipo maestro-esclavo

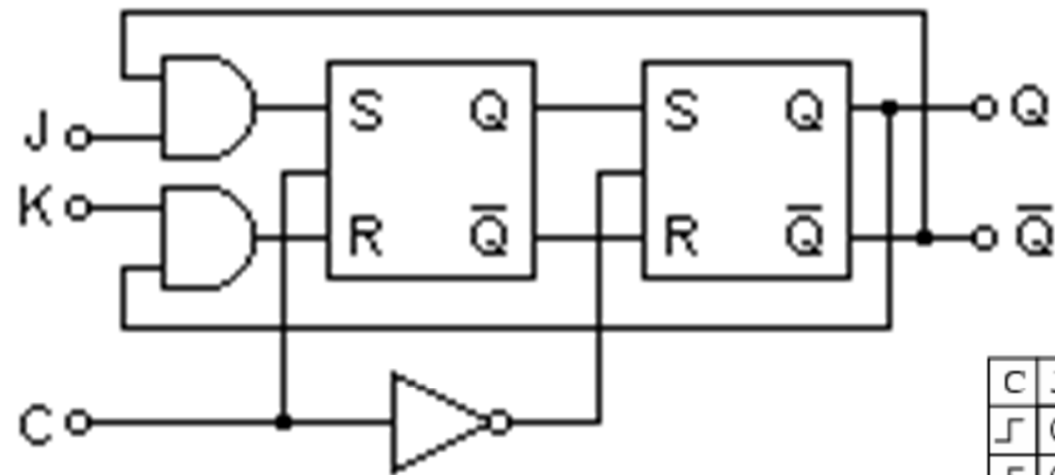
- Se lee la entrada en un flanco del reloj
- Se actualiza la salida en el flanco del siguiente reloj



- *Analizar en un diagrama de tiempos*
- *Modificar para que sea activo por flanco positivo/negativo*

# Flip-Flop JK sincrónico del tipo maestro-esclavo

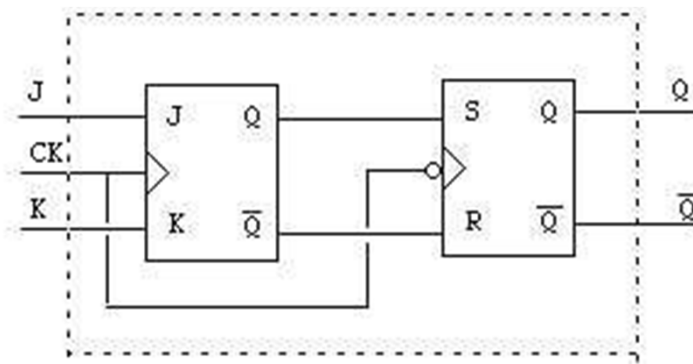
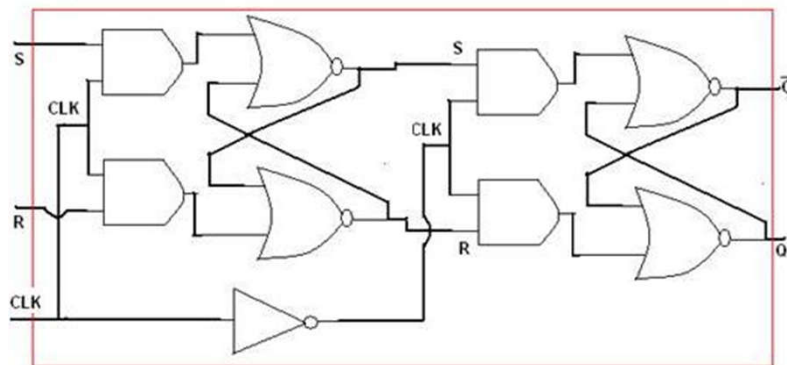
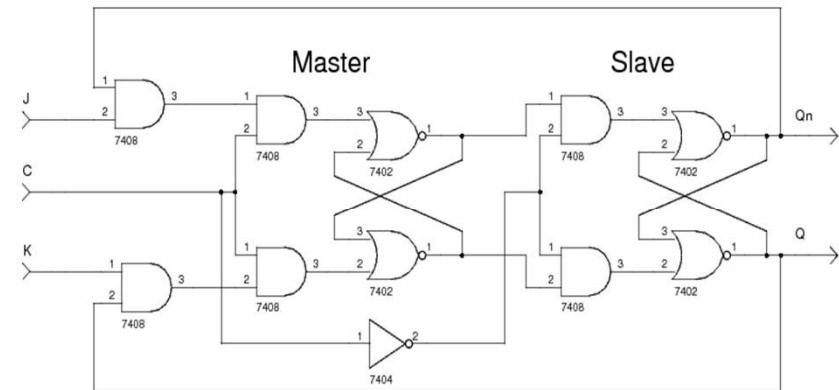
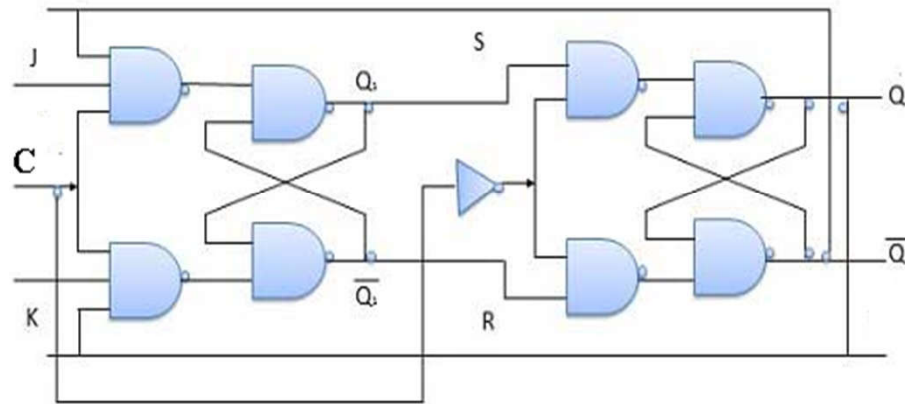
- Se lee la entrada en un flanco del reloj
- Se actualiza la salida en el flanco del siguiente reloj



C	J	K	Q	$\bar{Q}$
┐	0	0	latch	latch
┐	0	1	0	1
┐	1	0	1	0
┐	1	1	toggle	toggle
x	0	0	latch	latch
x	0	1	latch	latch
x	1	0	latch	latch
x	1	1	latch	latch

- *Analizar en un diagrama de tiempos*
- *Modificar para que sea activo por flanco positivo/negativo*

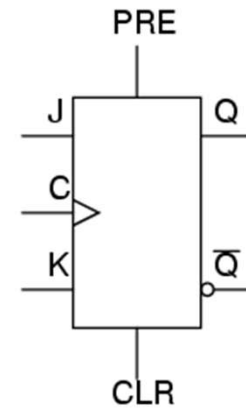
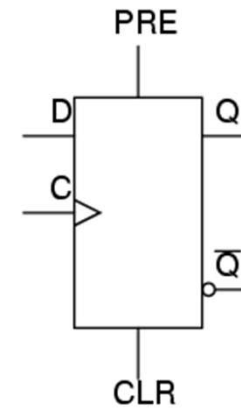
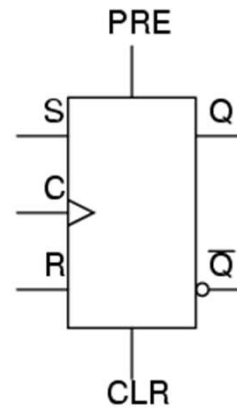
# Estructuras que responden a la de un FF maestro-esclavo



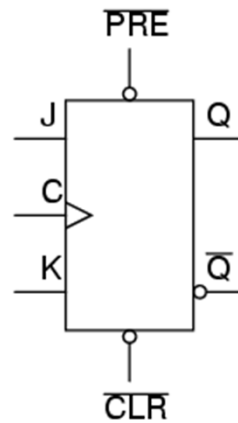
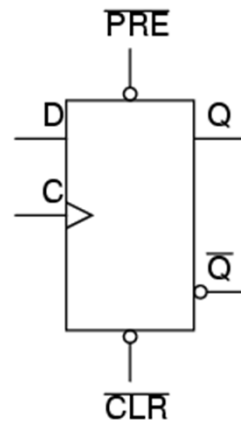
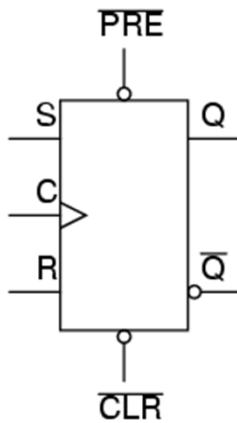
# Entradas asincrónicas

➤ **“Preset”**

➤ **“Clear”**



Activo a nivel alto

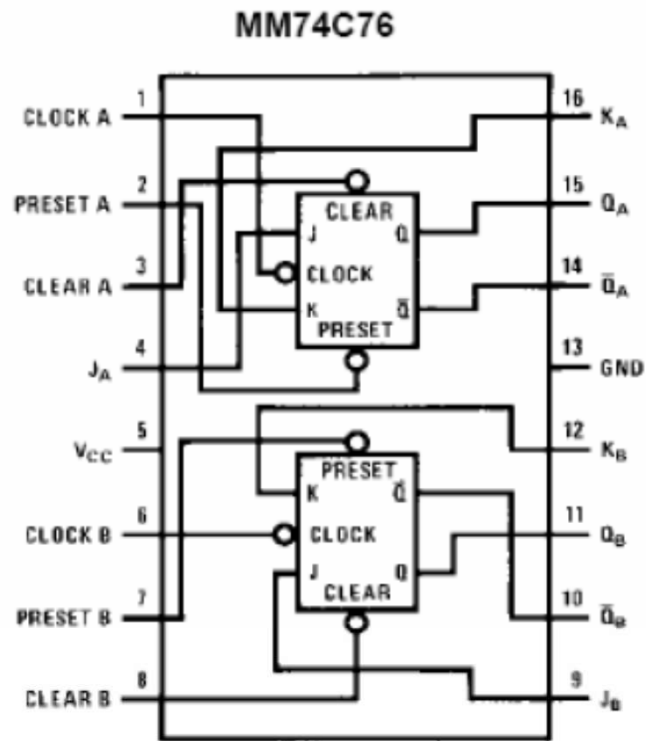


Activo a nivel bajo

# Habilitación de un chip

- ❖ *Entrada “Chip-Select”*
- ❖ *Salida “Tri-state”*
- ❖ *Estado de “alta impedancia”*
- ❖ *Como se vincula con la lógica del FF?*

# Circuitos integrados comerciales



$\overline{\text{Preset}}$	$\overline{\text{Clear}}$	CLK	J	K	$Q_t$
1	1		0	0	$Q_{t-1}$
1	1		0	1	0
1	1		1	0	1
1	1		1	1	$\overline{Q_{t-1}}$
1	0	X	X	X	0
0	1	X	X	X	1



