

Apellido y Nombre

email

Padre

Fecha: 12-dic-2019

Cuatr. cursada: 2019 2<sup>do</sup> cuatr.

Turno de TP: Vivenes - Burgos

- 1) (a) Explique en qué aspectos se afectaría la operación del microprocesador ARC si una falla de hardware hiciera que la salida del flipflop menos significativo del registro de microinstrucciones quedara conectada permanentemente a cero. Sea específico y justifique detalladamente su respuesta en todos los pasos del ciclo de fetch.  
 (b) Describa una estructura del tipo bus, indicar su propósito y sus aplicaciones específicas en el microprocesador y en el conjunto de una computadora.  
 (c) Explique qué entiende por nanoprogramación.
- 2) Un periférico mapeado en la dirección A500A120h entrega una palabra de 32 bits cuyos 18 bits menos significativos contiene la información de interés. Escribir programa que declara un arreglo de 20 elementos y lo completa con los primeros 20 valores leídos del periférico mencionado (sus primeros 18 bits extendiendo el signo). Implementarlo:  
 (a) declarando en el mismo módulo una rutina cuya función es leer el periférico mencionado, no recibe parámetros de entrada y devuelve por stack el valor de 18 bits extendido en signo a 32.  
 (b) declarando una macro que cumple una función similar a lo indicado en (a)
- 3) Compare el linkeado en tiempo de carga con el que ocurre cuando se utilizan librerías de linkeado dinámico. Detalle los inconvenientes que intenta solucionar cada uno de estos sistemas.
- 4) Explique detalladamente qué se entiende por fallo de cache. ¿Por qué razones es deseable que no ocurra? ¿Conoce pautas de programación en lenguajes de alto nivel para minimizar su ocurrencia?

	op	Format	op2	Inst.	op3 (op=10)	op3 (op=11)	cond	branch		$F_3$	$F_2$	$F_1$	$F_0$	Operation
00	SETHI/Branch		010	branch	010000 adAcc	000000 ld	0001	be		0	0	0	0	ANDCC (A, B)
01	CALL		100	sethi	010010 andcc	000100 st	0101	bcs		0	0	0	1	ORCC (A, B)
10	Arithmetic				010010 orrec		0110	bng		0	0	1	1	NORCC (A, B)
11	Memory				100110 srl		0111	bvs		0	0	1	1	ADCC (A, B)
					111000 jmpl		1000	ba		0	1	0	0	SRL (A, B)
										0	1	0	1	ADD (A, B)
										0	1	1	1	OR (A, B)
										1	0	0	0	ADD (A, B)
										1	0	0	1	LSHFT2 (A)
										1	0	1	0	LSHFT10 (A)
										1	0	1	1	SIMM13 (A)
										1	1	0	0	SIMT13 (A)
										1	1	0	1	INC (A)
										1	1	1	0	INCP (A)
										1	1	1	1	RSHFTS (A)

1) a) Explique en qué Aspero se afectaría la operación del microprocesador ARC si una falla de hardware hiciera que la salida del flipflop menos significativo del registro de micro instrucciones quedara conectado permanentemente a cero. Sea lo más específico y justifique detalladamente en todos los pasos de Fetch.

Resolución:

Los pasos de Fetch son:

- 1) Buscar una instrucción
- 2) Decodificación
- 3) Ejecución
- 4) Volvemos a 1)

1) Buscar una instrucción: En esta etapa no habrá ningún cambio, ya que la única línea de instrucción que se lleva a cabo es la 0 y esta no tiene ningún salto a otra. La instrucción (indicada por GMA) es la instrucción 0 de R [iR] & AND(R[PC], R[PC]).

Cabe resaltar que lo único que se modifica tanto el flipflop menos significativo, es que el Jump Address siempre va a ser igual.

2) Decodificación: A) Ya tener la instrucción en el Registro IR, se pasa a decodificación (utilizando los campos op1/op3/op2), ninguna línea de esta instrucción no indica obligatoriamente condicionalmente un salto; por lo tanto