

UNIVERSIDADE ESTADUAL DO NORTE FLUMINENSE DARCY RIBEIRO
BACHARELADO EM CIÊNCIA DA COMPUTAÇÃO

DIOGO, ENZO ALBERONI, ENZO SOUZA, FABIANO, GABRIEL ALMEIDA E
LUCAS PIMENTEL

ARQUITETURAS RECONFIGURÁVEIS

CAMPOS DOS GOYTACAZES - RJ
2021

INTRODUÇÃO

Hoje a indústria eletrônica se desenvolveu a ponto de estar envolvida em basicamente todas as áreas, tais como: TVs, geladeiras, robôs, aeronaves, automóveis, medicina e etc. Com o passar do tempo, os chips cada vez se tornaram mais rápidos, confiáveis e relativamente baratos. Um chip desenvolvido para um robô não pode ser utilizado em uma televisão por causa da sua baixa flexibilidade, esses chips são chamados de ASIC (Application Specific Integrated Circuits) que já vem pré-programados de fábrica. Áreas de ensino, pesquisa e desenvolvimento precisam de chips reprogramáveis, que possa mudar sua funcionalidade de acordo com o andamento do projeto.

O conceito de computação reconfigurável existe desde 1960, quando o artigo de referência de Gerald Estrin propôs o conceito de um computador feito de um processador padrão e um conjunto de hardware reconfigurável. Nessa proposta, o processador configuraria o hardware reconfigurável para executar uma determinada tarefa e, assim que esse terminasse o processamento, o reconfiguraria para outra tarefa. Após 23 anos do artigo de Estrin, foi criada a empresa Altera que um ano após sua criação, entregou para a indústria o primeiro dispositivo lógico reprogramável - o EP300 - que mostrava uma janela de quartzo na embalagem permitindo aos usuários acender uma lâmpada ultravioleta para apagar as células EPROM que mantinham a configuração do dispositivo.

Dispositivos reprogramáveis como o EP300 foram chamados de Field-Programmable Gate Array (FPGA), em português Arranjo de Portas Programáveis em Campo. As FPGAs foram definidas como um chip lógico semicondutor que pode ser programado para se tornar praticamente qualquer tipo de sistema ou circuito digital.

DESENVOLVIMENTO

A FPGA normalmente é conectada a um processador host por um barramento de memória. Em muitos sistemas, os FPGAs têm caminhos de dados diferentes para as memórias que necessitam de RAMs de portas duplas ou lógica de arbitragem.

As FPGAs foram utilizadas primeiro por alguns sistemas reconfiguráveis, são eles o DECPeRLe-1, o Splash, o PRISM, o Chimaera, o MorphoSys, o RAW, o Garp, o PRISC e o OneChip.

As FPGAs são compostas normalmente de três itens:

- **Blocos Lógicos:** Os blocos lógicos são formados por uma tabela de busca que é chamada de LUT (Look-up Table), esses blocos também é a parte responsável por executar a lógica da FPGA. Uma matriz de blocos lógicos configuráveis fornece os elementos funcionais a partir dos quais a lógica do usuário é construída. Os blocos lógicos são organizados em uma matriz no centro do dispositivo. Cada um desses blocos tem uma seção lógica combinatória, um elemento de armazenamento e uma seção interna de roteamento e controle. Os blocos lógicos diferem muito em termos do tamanho e das capacidades de implementação de funções lógicas. Essas diferenças são diferidas por dois tipos de granulosidade. A granulosidade fina implementa funções elementares mexendo ao nível de bits individuais e consegue atingir grandes níveis de utilização de recursos lógicos, as principais desvantagens desse tipo de granulosidade é que ela possui muitos pontos de configuração e precisam e portanto precisam de mais bits, além de requerer muitos segmentos de pistas de ligação e interruptores programáveis. Já a granulosidade grossa serve para funções mais complexas, seus blocos lógicos são mais otimizados para isso, as operações são executadas com mais velocidade e consomem menos área. Entretanto, se for utilizada para atividades elementares vai deixar de utilizar os recursos disponíveis.
- **Interconexão programável:** Os recursos de interconexão programável no Logic Cell Array (circuito integrado CMOS de alta densidade) fornecem caminhos de roteamento para conectar entradas e saídas de blocos de E/S e blocos lógicos nas redes desejadas. Eles são divididos em hierárquico e segmentado. No segmentado as pistas de ligações são curtas, ideal para ligações locais. Para sinais de longa distancia, são utilizados interruptores, mas pistas de ligações mais compridas não necessitam de interruptores. Na estrutura de encaminhamento hierárquico os blocos lógicos são organizados em grupos. São

efetuados a conexão entre blocos pertencentes de um grupo com pistas curtas, após isso, utiliza-se pistas longas para interligar outros grupos lógicos.

- **Blocos de entrada e saída:** Os blocos de entrada e saída formam uma borda ao redor do dispositivo. Esses blocos são circuitos responsáveis pelo interfaceamento das saídas provenientes das saídas das combinações de blocos lógicos. São basicamente buffers, que funcionarão como um pino bidirecional de entrada e saída da FPGA.

As FPGAs também contam com portas lógicas que é um dispositivo eletrônico que implementa funções lógicas (booleanas) e apresenta saídas baseadas em diferentes combinações de níveis lógicos digitais (0 e 1) aplicados às suas entradas. Essas portas podem ter uma ou mais entradas, dependendo de qual implementação é feita do circuito lógico, e em sua maioria possui somente uma saída digital.

As portas lógicas mais usadas em circuitos digitais são as portas OR, AND, NOT, NOR e NAND. Cada uma dessas portas realizam uma operação diferente uma da outra, explicaremos mais sobre elas mostrando exemplos e explicando-as a seguir :

- **Porta lógica OR:** Um exemplo bem explicativo de o que é essa operação é o procedimento que acontece no forno de cozinha. A lâmpada dentro do forno deve acender se o interruptor for acionado OU (OR) se a porta do forno for aberta.
- **Porta lógica AND:** Como exemplo do uso lógico da porta AND, considere uma secadora de roupas que só opera se o temporizador estiver acima de zero E (AND) a porta estiver fechada, ou seja, precisa que os dois requisitos estejam acontecendo.
- **Porta lógica NOT:** Também é conhecida como INVERSÃO, é diferente das operações OR e AND pelo fato de poder ser realizada sobre uma única variável de entrada. O circuito NOT inverte o sinal de entrada, de maneira que se a entrada for 0, a saída será 1, e vice-versa.

- **Porta lógica NOR:** A operação que a porta NOR realiza é semelhante à da porta OR seguida de um INVERSOR.
- **Porta lógica NAND:** A operação que a por NAND realiza é semelhante à da porta AND seguida de um INVERSOR.

RAW

O RAW é um sistema reconfigurável cuja a ideia principal é oferecer uma arquitetura de computação altamente paralela e simples, composta de vários blocos repetidos conectados entre si por conexões de vizinhos mais próximos, sendo otimizadas para transferência de palavra de dados única. No RAW cada processador tem a ligação direta dedicada com a própria memória local, com isso resulta numa arquitetura do tipo MIMD (Multiple Instruction streams, Multiple Data streams), esse sistema necessita da efetuação de uma distribuição das instruções entre todos os blocos e também tratar da comunicação entre estes. A arquitetura do RAW disponibiliza uma rede dinâmica e estática com roteamento de buraco de minhoca para o encaminhamento de dados.

PIPERENCH

O PipeRench é baseado no conceito de reconfiguração pipeline - um método de virtualização de projetos de aplicativos de hardware. O PipeRench é considerado uma classe de dispositivos reconfiguráveis, inicialmente foi proposta como co-processador em aplicações multimídia, composto de muitas camadas (estágios reais do pipeline), que por sua vez são compostas de inúmeros elementos de processamento (PEs). Cada um desse elemento de processamento tem um arquivo de registradores e de uma unidade lógica aritmética (ULA). Toda unidade lógica aritmética contém Look-up Tables e também uma lógica a mais que permite propagação e avaliação com alta velocidade de carry-bits. Os dispositivos PipeRench consiste basicamente em um conjunto de estágios físicos de pipeline também chamados de faixas. Todos esses dispositivos contam com quatro barramentos globais, dois deles são utilizados para entrada e saída, enquanto os outros dois são encarregados de armazenar e restaurar o estado de fração durante a virtualização de hardware.

GARP

A composição do GARP conta com um processador MIPS-II que contém uma unidade de FPGA ligada nele, tudo isso num mesmo chip. A thread principal de um programa é executada pelo processador MIPS-II e é o programa quem comanda quando uma programação de trecho de código será carregada e executada no FPGA. Na arquitetura do Garp, FPGA tem acesso direto à memória e ao cache de dados. Para diminuir o tempo de reconfiguração, o coprocessador conta com uma cache que armazena configurações recentemente removidas. O Garp depois de ser configurado pode ser executado de forma independente e se o processador perceber algo de estranho tem o poder de interrompê-lo a qualquer momento.

CONCLUSÕES

Com a invenção de FPGAs o seu uso em aplicações hoje, importantes para a humanidade como a exploração de outros planetas é possível graças ao baixo custo de seus chips, a sua segurança e a sua possibilidade de reprogramação, coisa que não é possível nos ASIC. Um exemplo desse uso é o Mars Perseverance Rover lançado pela Nasa no dia 30 de julho de 2020 e pousado em Marte no dia 18 de fevereiro de 2021. Os chips reprogramáveis também ajuda em diversas áreas importantes do nosso dia à dia, como na medicina (em seus equipamentos), em sistemas de seguranças e processamentos de vídeos e de imagens.

No dia 6 de maio de 2021, a International Business Machines (IBM) revelou a criação de novos chips semicondutores com os menores transistores do mundo, essa nova tecnologia de 2 nanômetros (nm) possibilita que a empresa coloque impressionantes 50 bilhões de transistores dentro de um chip do tamanho de uma unha.

Ainda temos algumas dúvidas sobre as FPGAs, como por exemplo até qual o tamanho conseguiremos diminuir o chip e colocar transistores nele? Qual é o máximo de performance que conseguiremos alcançar?

REFERÊNCIAS

BOBDA, Christophe. **INTRODUCTION TO RECONFIGURABLE COMPUTING: Architectures, Algorithms, and Application**. 1. ed. EUA: Springer, 2010. p. 16-63.

G1.555. **IBM diz ter criado primeiro chip de 2 nanômetros do mundo; entenda o que muda para a computação.** Disponível em: <https://g1.globo.com/economia/tecnologia/noticia/2021/05/06/ibm-diz-ter-criado-primeiro-chip-de-2-nanometros-do-mundo-entenda-o-que-muda-para-a-computacao.ghtml>. Acesso em: 4 nov. 2021.

GONÇALVES, Richard Aderbal. ARCHITECT-R: uma ferramenta para o desenvolvimento de robôs móveis reconfiguráveis. São Paulo, p. 15-30, jul./2002. Disponível em: <https://www.teses.usp.br/teses/disponiveis/55/55134/tde-03062015-142611/publico/RichardAderbalGoncalves.pdf>. Acesso em: 17 out. 2021.

OLIVEIRA, K. Z. D. Arquiteturas Reconfiguráveis e GARP. São Paulo, p. 1-3, nov./2005. Disponível em: <https://www.ic.unicamp.br/~rodolfo/Cursos/mo401/2s2005/Trabalho/028520-garp.pdf>. Acesso em: 17 out. 2021.

PINHO, Marcos Vinícios; KRAEAMER, Fabiano; SOARES, Iago. FPGAs em aplicações espaciais. Santa Catarina, p. 2-3, mai./2016. Disponível em: <https://wiki.sj.ifsc.edu.br/wiki/images/c/c6/DLP29006-AE1-Tema4-2016-1.pdf>. Acesso em: 21 out. 2021.

SKLIAROVA, Iouliia; FERRARI, António B.. Introdução à computação reconfigurável. **REVISTA DO DETUA**, v. 2, n. 6, p. 3-4, set./2003. Disponível em: http://sweet.ua.pt/iouliia/Papers/2003/1_SF_ETSet2003.pdf. Acesso em: 25 out. 2021.

XILINX. **What is an FPGA?**. Disponível em: <https://www.xilinx.com/products/silicon-devices/fpga/what-is-an-fpga.html>. Acesso em: 25 out. 2021.

YOUSUF, Abida; MIR, Roohie Naaz; NAJEEB-UD-DIN, Hakim. Reconfigurable Architectures. **Journal of Advanced Computer Science & Technology**, Índia, p. 1-5, ago./2012. Disponível em: <https://www.sciencepubco.com/index.php/JACST/article/view/518>. Acesso em: 17 out. 2021.

