

ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ (2^Ο ΕΞΑΜΗΝΟ 2003)

Εξετάσεις Θεωρίας

27 Ιουνίου 2003

A

Όνοματεπώνυμο : Πασχάλης Αντώνης

Βαθμός :

Έτος Εγγραφής : 2003

A.A.

333

← 018 2003 00333

Θέμα 1 : Θεωρία (1,5 μονάδες)

1.1 Να αποδείξετε το Θεώρημα 1 της Άλγεβρας Boole :

"Για κάθε X που ανήκει στο $B = \{0,1\}$ ισχύει $X + X = X$ "

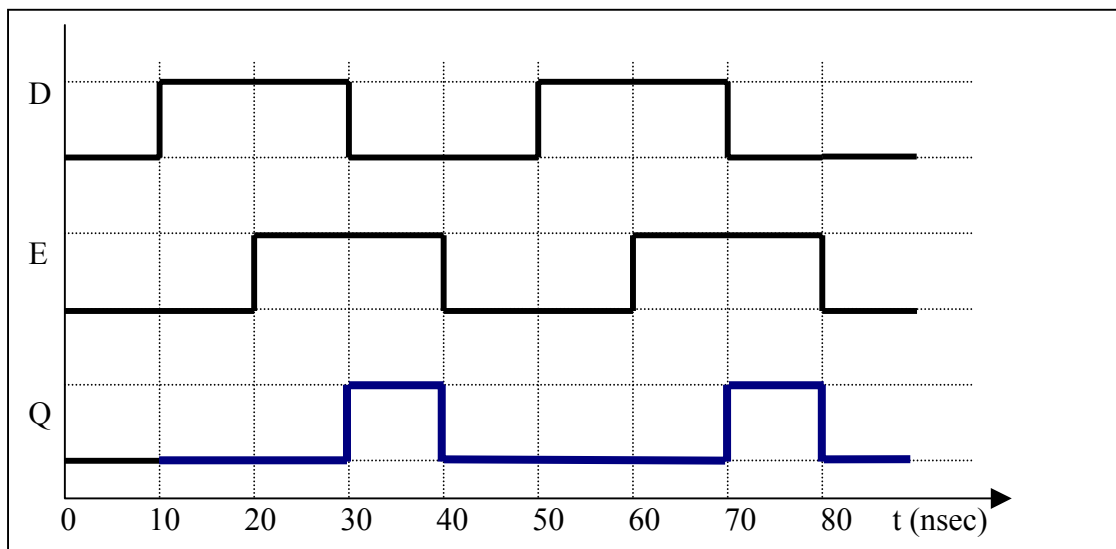
βασιζόμενοι στα αξιώματα της Άλγεβρας Boole, τα οποία και θα αναφέρετε ονομαστικά.

$X + X =$	$(X + X) \cdot 1$	ουδέτερο στοιχείο
	$= (X + X) \cdot (X + X')$	νόμος συμπληρώματος
	$= X + (X \cdot X')$	επιμεριστικός νόμος
	$= X + 0$	νόμος συμπληρώματος
	$= X$	ουδέτερο στοιχείο

1.2 Ποια είναι η συμπληρωματική συνάρτηση F' της συνάρτησης $F = ABC + A'(D+E) + CD'E$, που προκύπτει ύστερα από διαδοχική εφαρμογή του θεωρήματος De Morgan;

$$F' = (A' + B' + C') \cdot (A + D'E') \cdot (C' + D + E')$$

1.3 Να συμπληρώσετε το χρονικό διάγραμμα που αφορά τη λειτουργία του **D Latch**, εάν η καθυστέρηση διάδοσης από την είσοδο D ή την είσοδο E μέχρι την έξοδο Q είναι 10 nsec.

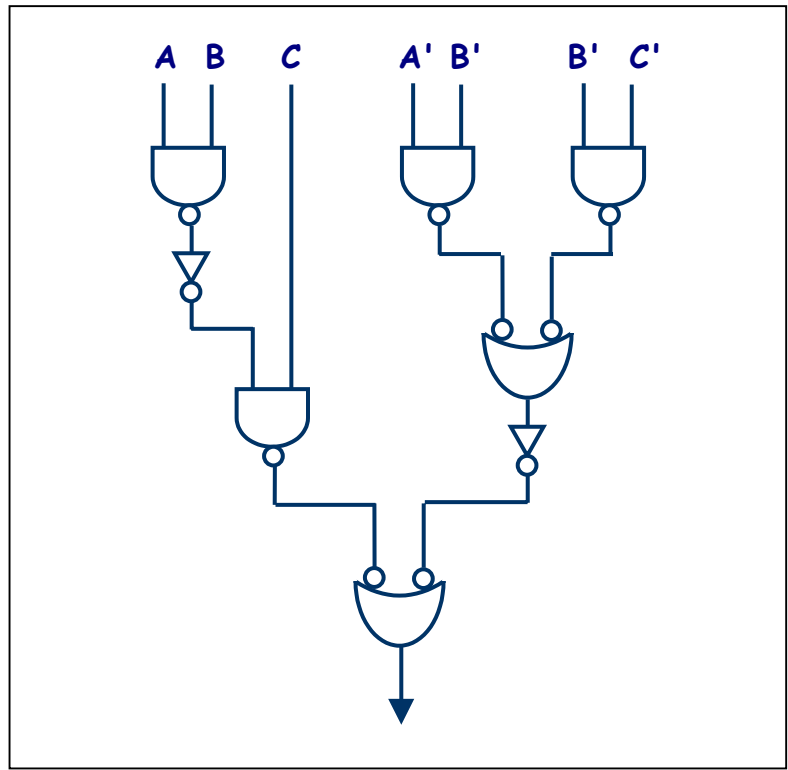


Θέμα 2 : Συνδυαστική λογική (1,5 μονάδες)

Δίδεται ο Πίνακας Αλήθειας της λογικής συνάρτησης F.

D	C	B	A	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	X
1	0	1	0	0
1	0	1	1	X
1	1	0	0	X
1	1	0	1	0
1	1	1	0	X
1	1	1	1	1

2.2 Να δοθεί η υλοποίηση της συνάρτησης F που βασίζεται αποκλειστικά σε πύλες NAND δύο εισόδων.

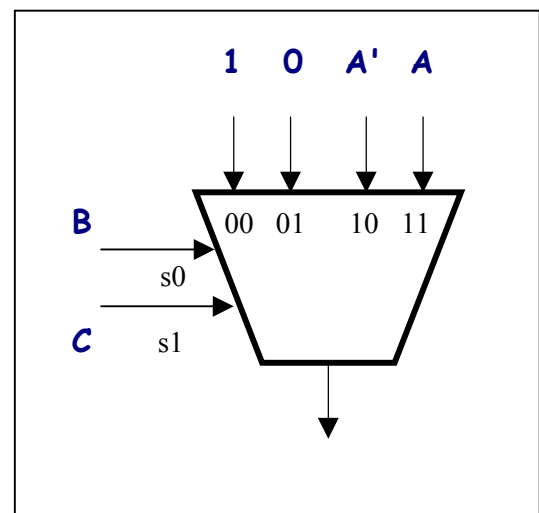


2.1 Να δοθεί ο χάρτης Karnaugh και η πρότυπη μορφή της λογικής συνάρτησης F που προκύπτει μετά την απλοποίηση.

DC \ BA	BA			
	00	01	11	10
00	1	1	0	0
01	1	0	1	0
11	X	0	1	X
10	1	X	X	0

$$F = ABC + A'B' + B'C'$$

2.3 Να δοθεί η υλοποίηση της συνάρτησης F που βασίζεται σε πολυπλέκτη 4 σε 1.



Θέμα 3 : Ακολουθιακή Λογική (4 μονάδες)

Στα πλαίσια της σχεδίασης ενός σύγχρονου δυαδικού μετρητή που μετράει από το **3** μέχρι το **12** με δυνατότητα *ασύγχρονης αρχικοποίησης* στο 3 με το σήμα RESET και δυνατότητα *παύσης λειτουργίας*, όταν φτάσει στο 12 :

3.1 Να συμπληρώσετε τον Πίνακα Καταστάσεων και τον Πίνακα Διέγερσης, υποθέτοντας ότι η υλοποίηση θα γίνει με T Flip-Flops with Enable.

Πίνακας Καταστάσεων					Πίνακας Διέγερσης							
Παρούσα Κατάσταση					Επόμενη Κατάσταση				Είσοδοι Enable			
Q3	Q2	Q1	Q0		Q3*	Q2*	Q1*	Q0*	E3	E2	E1	E0
0	0	0	0	0	X	X	X	X	X	X	X	X
1	0	0	0	1	X	X	X	X	X	X	X	X
2	0	0	1	0	X	X	X	X	X	X	X	X
3	0	0	1	1	0	1	0	0	0	1	1	1
4	0	1	0	0	0	1	0	1	0	0	0	1
5	0	1	0	1	0	1	1	0	0	0	1	1
6	0	1	1	0	0	1	1	1	0	0	0	1
7	0	1	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	1	0	0	1	0	0	0	1
9	1	0	0	1	1	0	1	0	0	0	1	1
10	1	0	1	0	1	0	1	1	0	0	0	1
11	1	0	1	1	1	1	0	0	0	1	1	1
12	1	1	0	0	1	1	0	0	0	0	0	0
13	1	1	0	1	X	X	X	X	X	X	X	X
14	1	1	1	0	X	X	X	X	X	X	X	X
15	1	1	1	1	X	X	X	X	X	X	X	X

3.2 Να δώσετε τους χάρτες Karnaugh και τις εξισώσεις διέγερσης που προκύπτουν μετά την απλοποίηση.

Q3 Q2		Q1 Q0			
		00	01	11	10
00	00	X	X	0	X
01	01	0	0	1	0
11	11	0	X	X	X
10	10	0	0	0	0

$$E3 = Q2 Q1 Q0$$

Q3 Q2		Q1 Q0			
		00	01	11	10
00	00	X	X	1	X
01	01	0	0	1	0
11	11	0	X	X	X
10	10	0	0	1	0

$$E2 = Q1 Q0$$

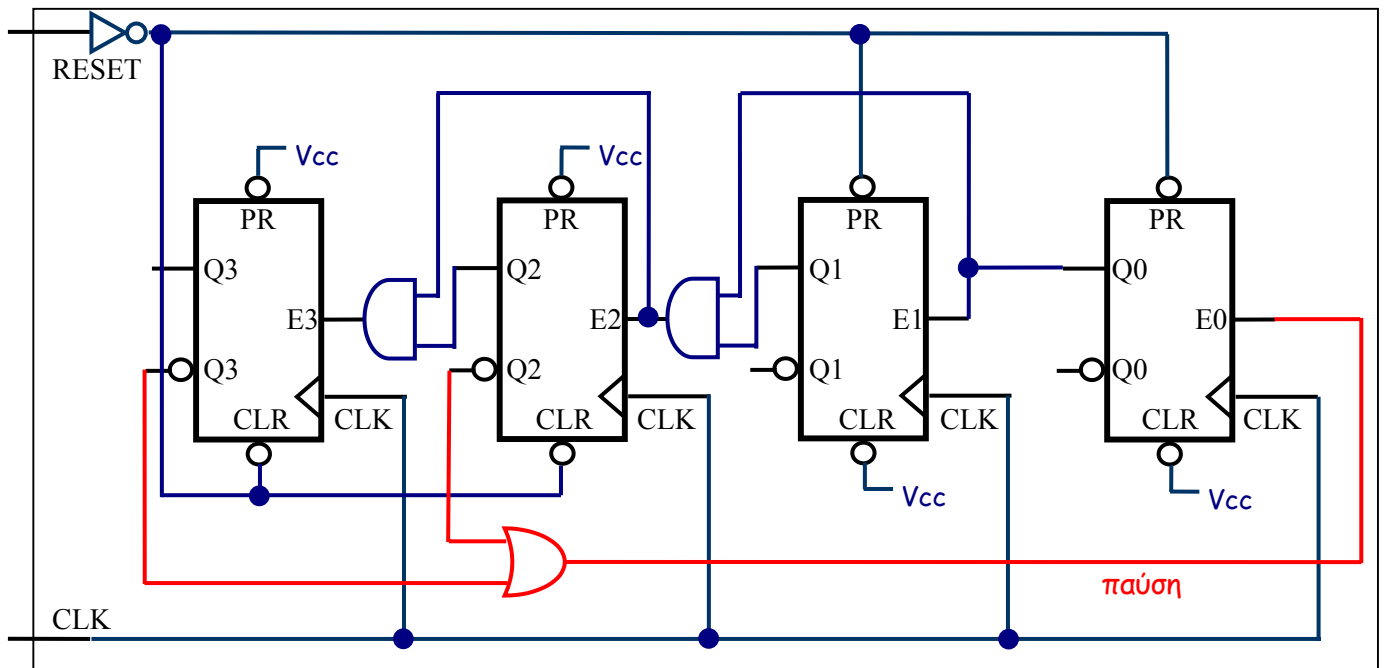
Q3 Q2		Q1 Q0			
		00	01	11	10
00	00	X	X	1	X
01	01	0	1	1	0
11	11	0	X	X	X
10	10	0	1	1	0

$$E1 = Q0$$

$$E0 = Q3' + Q2'$$

Λόγω παύσης

3.3 Να σχεδιάσετε τον μετρητή χρησιμοποιώντας πύλες δύο εισόδων και αντιστροφείς.



3.4 Να δώσετε τις λίστες ελαχιστόρων για όλες τις εξισώσεις διέγερσης υποθέτοντας ότι οι αδιάφοροι όροι είναι 0.

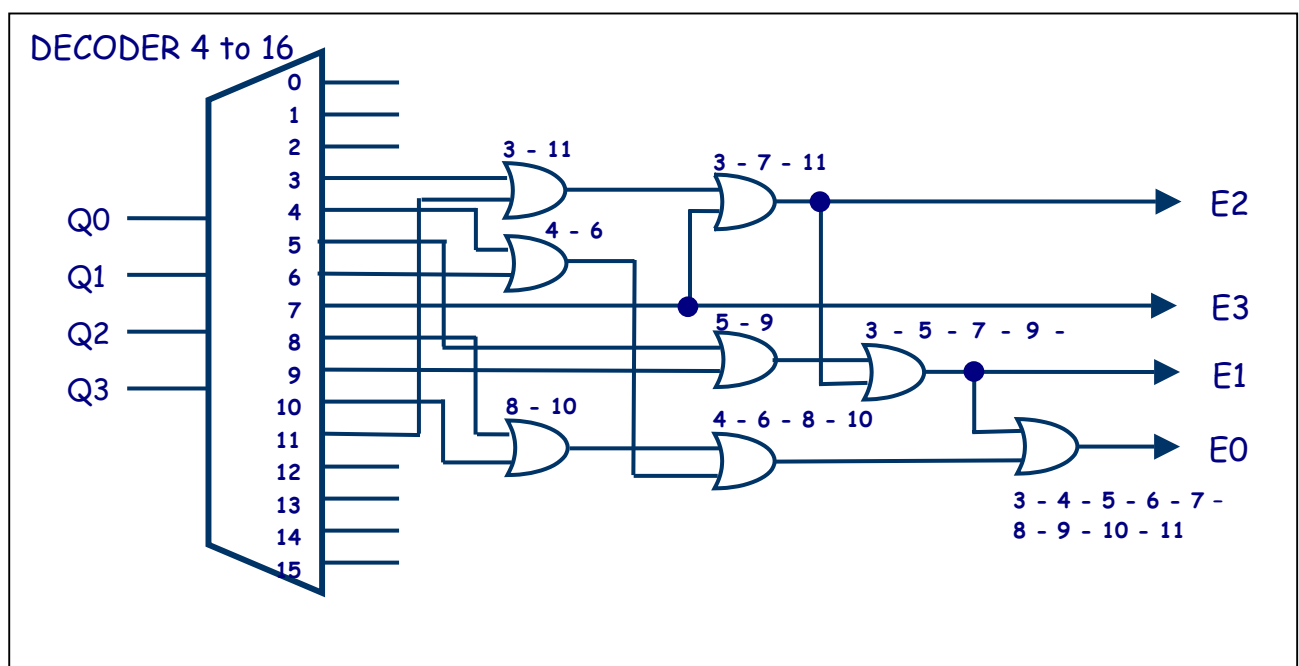
$$E3 = \Sigma (7)$$

$$E1 = \Sigma (3, 5, 7, 9, 11)$$

$$E2 = \Sigma (3, 7, 11)$$

$$E0 = \Sigma (3, 4, 5, 6, 7, 8, 9, 10, 11)$$

3.5 Να δοθεί η ελάχιστη σε κόστος υλοποίηση των εξισώσεων διέγερσης E3, E2, E1, E0 που βασίζεται σε αποκωδικοποιητή 4 σε 16 και σε πύλες OR δύο εισόδων αποκλειστικά.



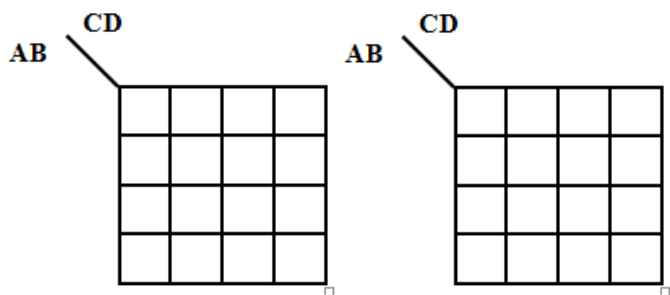
Ονοματεπώνυμο	ΑΜ (έτος/α.α.)	Πλήθος Μαθημάτων που έχετε παρακολουθήσει: /16	Βαθμός/10
---------------	----------------	--	-----------

Θέμα 1 : Συνδυαστικά Κυκλώματα (3,5)

Στο πλαίσιο της σχεδίασης του συνδυαστικού κυκλώματος με τον ακόλουθο Πίνακα Αλήθειας:

A	B	C	D	Y	Z	A	B	C	D	Y	Z
0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	1	1	0	1	0	0	1	0	0
0	0	1	0	1	0	1	0	1	0	X	1
0	0	1	1	0	1	1	0	1	1	X	1
0	1	0	0	1	0	1	1	0	0	X	1
0	1	0	1	0	1	1	1	0	1	X	1
0	1	1	0	0	1	1	1	1	0	X	1
0	1	1	1	1	1	1	1	1	1	X	1

1.1 Να δώσετε τις απλοποιημένες λογικές συναρτήσεις **Y** και **Z** σε μορφή αθροίσματος γινομένων.



Y =

Z =

1.2 Να δώσετε, πρώτα, την απλοποιημένη λογική συνάρτηση **Z'** σε μορφή αθροίσματος γινομένων, ύστερα, τη συμπληρωματική της συνάρτηση **Z** σε μορφή γινομένου αθροισμάτων και, τέλος, την υλοποίηση της συνάρτησης **Z** με πύλες **NOR 2 εισόδων**.

Z' =

Z =

1.3 Να δώσετε την υλοποίηση της συνάρτησης **Y** που βασίζεται σε πύλες **XOR/XNOR 2 εισόδων**.

1.4 Να δώσετε την υλοποίηση της συνάρτησης **Z** με πολυπλέκτη 4 σε 1 με εισόδους επιλογής A, B και όσες πύλες 2 εισόδων απαιτούνται.

Θέμα 2: Αριθμητικά Κυκλώματα (1)

Στα πλαίσια της υλοποίησης του συνδυαστικού κυκλώματος που εκτελεί την πράξη $Y = X^2$, όπου η είσοδος $X = (x_3, x_2, x_1, x_0)$ λαμβάνει τους προσημασμένους ακέραιους αριθμούς σε απεικόνιση συμπληρώματος ως προς 2, με τιμές από -5 μέχρι +5, και η έξοδος $Y = (y_4, y_3, y_2, y_1, y_0)$ παράγει τους αντίστοιχους μη προσημασμένους αριθμούς με τιμές όπως προκύπτουν από την πράξη, να δώσετε τον πίνακα αλήθειας.

x3	x2	x1	x0	y4	y3	y2	y1	y0
0	0	0	0					
0	0	0	1					
0	0	1	0					
0	0	1	1					
0	1	0	0					
0	1	0	1					
0	1	1	0					
0	1	1	1					
1	0	0	0					
1	0	0	1					
1	0	1	0					
1	0	1	1					
1	1	0	0					
1	1	0	1					
1	1	1	0					
1	1	1	1					

Όνοματεπώνυμο	ΑΜ (έτος/α.α.)	Πλήθος Μαθημάτων που έχετε παρακολουθήσει:	Βαθμός/10
---------------	----------------	--	-----------

Θέμα 3 : Σχεδίαση άλλου Flip-Flop (1,5)

Δίδεται ο χαρακτηριστικός πίνακας λειτουργίας του AB-F/F.

clock	synchrous control	synchrous data	output	Τρόπος Λειτουργίας
CLK	A B	D	Q(t+1)	
↑	0 0	X	Q(t)	Hold
↑	0 1	X	Q(t)'	Toggle
↑	1 0	0/1	0/1	Load
↑	1 1	X	1	Set

Να σχεδιάσετε το AB-F/F που απαρτίζεται από ένα **D Flip-Flop**, έναν **πολυπλέκτη**, μία πύλη **XOR/XNOR**, κ.α. (Να δοθεί η χαρακτηριστική εξίσωση).

Θέμα 4 : Διάγραμμα Καταστάσεων (1)

Να σχεδιάσετε το διάγραμμα καταστάσεων του ανιχνευτή ακολουθίας ψηφίων που εντοπίζει την ακολουθία των τεσσάρων ψηφίων **1110**, που μεταδίδονται στη σειριακή είσοδο του X, και παράγει στη σειριακή έξοδο του Y την τιμή 1 κάθε φορά που λαμβάνονται διαδοχικά τα τέσσερα αυτά ψηφία.

Θέμα 5 : Μετρητής (1,5)

Στα πλαίσια της σχεδίασης ενός σύγχρονου μετρητή με T Flip-Flops with Enable, ο οποίος στη θετική ακμή του ρολογιού λαμβάνει διαδοχικά τις καταστάσεις **0011, 1100, 0110, 1001, 0101, 1010, 0011, ...**:

5.1 Να συμπληρώσετε τον **Πίνακα Καταστάσεων** και τον **Πίνακα Διέγερσης**.

Πίνακας Καταστάσεων								Πίνακας Διέγερσης			
Παρούσα Κατ. Q3 Q2 Q1 Q0				Επόμενη Κατ. Q3* Q2* Q1* Q0*				Είσοδοι Enable E3 E2 E1 E0			
0 0 0 0											
0 0 0 1											
0 0 1 0											
0 0 1 1											
0 1 0 0											
0 1 0 1											
0 1 1 0											
0 1 1 1											
1 0 0 0											
1 0 0 1											
1 0 1 0											
1 0 1 1											
1 1 0 0											
1 1 0 1											
1 1 1 0											
1 1 1 1											

$$Q(t+1) =$$

5.2 Να δώσετε τις **εξισώσεις διέγερσης** που προκύπτουν μετά την απλοποίηση. (Οι χάρτες Karnaugh στο πρόχειρο).

E3 = _____
E2 = _____
E1 = _____
E0 = _____

Θέμα 6: Θεωρία (1,5)

Να απλοποιήσετε αλγεβρικά τη λογική συνάρτηση:

$$F = A'B'C' + A'BC + AB'C' + A'B'C + AB'C$$

Ποια είναι η φυσική σημασία του γινομένου της καθυστέρησης διάδοσης επί την κατανάλωση ισχύος σε μία πύλη;

Ονοματεπώνυμο	ΑΜ (έτος/α.α.)	Πλήθος μαθημάτων που έχετε παρακολουθήσει: ~20 <input type="checkbox"/> ~15 <input type="checkbox"/> ~10 <input type="checkbox"/> ~5 <input type="checkbox"/> ~0 <input type="checkbox"/>
---------------	----------------	--

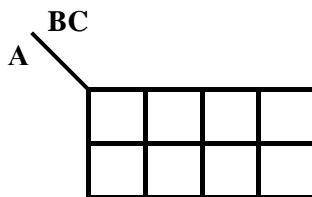
Θέμα 1 : Συνδυαστική λογική (4 μονάδες)

Στο πλαίσιο της σχεδίασης του συνδυαστικού αριθμητικού κυκλώματος, που εκτελεί την πράξη $X = A+B-C-1$, όπου A,B,C είναι μονοψήφιοι δυαδικοί αριθμοί και $X=(X1,X0)$ είναι διψήφιος προσημασμένος ακέραιος δυαδικός αριθμός σε απεικόνιση συμπληρώματος ως προς 2, που λαμβάνει τιμές από -2, -1, 0 και +1:

1.1 Να συμπληρώσετε τον πίνακα αλήθειας, αφού πρώτα υπολογίσετε το X.

A	B	C	X	X1	X0
0	0	0	-1		
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1	0		

1.2 Να βρείτε την απλοποιημένη λογική συνάρτηση **X1** σε πρότυπη μορφή αθροίσματος γινομένων δύο επιπέδων με τη χρήση του K-map και στη συνέχεια στην πιο απλοποιημένη μορφή πολλών επιπέδων.



X1 =

X1 =

1.3 Πώς ονομάζεται η συνάρτηση **X0** και σε ποια περίπτωση λαμβάνει την τιμή 1;

1.4 Πώς υλοποιείται η συνάρτηση **X0** χρησιμοποιώντας αποκλειστικά 2 πύλες 2 εισόδων;

--

1.5 Να υλοποιήσετε τη συνάρτηση **X1** χρησιμοποιώντας πολλούς πολυπλέκτες 2 σε 1 (χωρίς πύλες).

--

1.6 Να υλοποιήσετε τη συνάρτηση **X1** στην πιο απλοποιημένη μορφή πολλών επιπέδων χρησιμοποιώντας μόνο πύλες **NAND** 2 εισόδων. Είναι διαθέσιμες οι συμπληρωματικές εισόδους.

--

Θέμα 2 : Κωδικοποίηση GRAY (1 μονάδα)

Να σχεδιάσετε με πύλες **XOR** τον μετατροπέα από τον κώδικα GRAY στον δυαδικό κώδικα (για 3 ψηφία).

--

Θέμα 3 : Σχεδίαση άλλου Flip-Flop (1,5)

Δίδεται ο χαρακτηριστικός πίνακας λειτουργίας του AB-F/F.

clock	synchronous control	synchronous data	output	Τρόπος Λειτουργίας
CLK	A B	D	Q(t+1)	
↑	0 0	X	Q(t)	Hold
↑	0 1	X	Q(t)'	Toggle
↑	1 0	X	0	Reset
↑	1 1	0/1	0/1	Load

Να σχεδιάσετε το AB-F/F που απαρτίζεται από ένα **D Flip-Flop**, έναν **πολυπλέκτη**, μία πύλη **XOR/XNOR**, κ.α. (Να δοθεί η χαρακτηριστική εξίσωση).

Θέμα 4 : Μετρητής (1,5)

Στα πλαίσια της σχεδίασης ενός σύγχρονου μετρητή με T Flip-Flops with Enable, ο οποίος στη θετική ακμή του ρολογιού λαμβάνει διαδοχικά τις καταστάσεις 0, 3, 6, 9, 12, 15, 2, 5, 8, 11, 14, 1, 4, 7, 10, 13, 0, ... ($s(i+1)=(s(i)+3)\bmod 16$):

3.1 Να συμπληρώσετε τον **Πίνακα Καταστάσεων** και τον **Πίνακα Διέγερσης**.

Πίνακας Καταστάσεων					Πίν. Διέγερσης			
Παρούσα Κατ. Q3 Q2 Q1 Q0	Επόμενη Κατ. Q3* Q2* Q1* Q0*				Είσοδοι Enable E3 E2 E1 E0			
0 0 0 0								
0 0 0 1								
0 0 1 0								
0 0 1 1								
0 1 0 0								
0 1 0 1								
0 1 1 0								
0 1 1 1								
1 0 0 0								
1 0 0 1								
1 0 1 0								
1 0 1 1								
1 1 0 0								
1 1 0 1								
1 1 1 0								
1 1 1 1								

3.2 Να δώσετε τις **εξισώσεις διέγερσης** που προκύπτουν μετά την απλοποίηση. (Οι χάρτες Karnaugh στο πρόχειρο).

E3 = _____
 E2 = _____
 E1 = _____
 E0 = _____

Θέμα 5 : Σύγχρονη Ακολουθιακή Μηχανή (FSM) (2)

Στα πλαίσια της σχεδίασης του ελεγκτή, ως FSM τύπου Moore, ενός αυτόματου πωλητή προϊόντος αξίας **3€** λαμβάνοντας υπόψη ότι: α) ο κερματοδέκτης δέχεται νομίσματα του **1€** και **2€** μέχρι **3€** ή **4€** και παράγει

Καθηγητής Πασχάλης Αντώνης

Q(t+1) =

σύγχρονα για ένα κύκλο ρολογιού το διψήφιο σήμα X, που είναι είσοδος στον ελεγκτή, με τιμές **X=01** ή **X=10**, όταν ο πελάτης έχει πληρώσει 1€ ή 2€, αντίστοιχα, αλλιώς **X=00**, β) ο ελεγκτής παράγει σύγχρονα για ένα κύκλο ρολογιού τα δύο σήματα Y και Z με τιμές: **Y=1**, που δηλώνει ότι ο πελάτης έχει πληρώσει **3€** ή **4€** και πρέπει να πάρει το προϊόν, αλλιώς **Y=0**, και **Z=1**, που δηλώνει ότι ο πελάτης έχει πληρώσει **4€** και πρέπει να πάρει ρέστα **1€**, αλλιώς **Z=0**, γ) οι καταστάσεις του ελεγκτή σχετίζονται με τα χρήματα που έχει πληρώσει ο πελάτης σε κάθε στιγμή της συναλλαγής, δ) ο ελεγκτής πηγαίνει ασύγχρονα στην αρχική του κατάσταση **S0**, και ε) ο ελεγκτής επιστρέφει στην κατάσταση **S0**, αφού έχει δοθεί η εντολή να πάρει ο πελάτης το προϊόν (Y=1):

4.1 Να ορίσετε τις καταστάσεις του ελεγκτή.

S0 ο πελάτης έχει πληρώσει 0€

4.2 Να δώσετε το διάγραμμα καταστάσεων του ελεγκτή.

Επώνυμο:	AM (έτος/α.α.)	Πεδίο:	Αίθουσα:	Βαθμός
Όνομα:		Σειρά:	Στήλη:	

Θέμα 1: Αριθμητικά Συστήματα (1,5)

1.1 Μετατρέψτε τους δεκαδικούς αριθμούς A και B σε προσημασμένους δυαδικούς αριθμούς συμπληρώματος ως προς δύο των 6 bit και αφαιρέστε τους. Αναφέρετε αν η διαφορά θα προκαλέσει υπερχείλιση ή όχι στην περίπτωση που το αποτέλεσμα έχει 6 bit (με διαγραφή του μη ισχύοντος).

$$A = -25_{10} = 1001111_2 \quad B = 8_{10} = 001000_2$$

$$A - B = 1011111_2 \quad \text{Υπερχείλιση ΝΑΙ/ΟΧΙ}$$

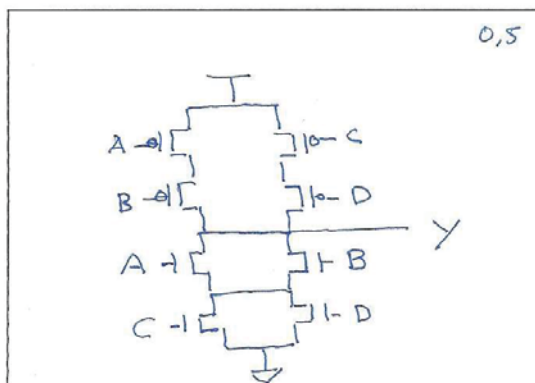
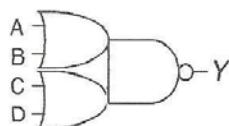
1.2 Μετατρέψτε τους δεκαδικούς αριθμούς C και D σε μη προσημασμένους δυαδικούς αριθμούς και προσθέστε τους. Αναφέρετε αν το άθροισμα θα προκαλέσει υπερχείλιση ή όχι στην περίπτωση που το αποτέλεσμα έχει 8 bit (με διαγραφή του μη ισχύοντος).

$$C = 7C_{16} = 01111100_2 \quad D = 9E_{16} = 10011110_2$$

$$C + D = 100011010_2 \quad \text{Υπερχείλιση ΝΑΙ/ΟΧΙ}$$

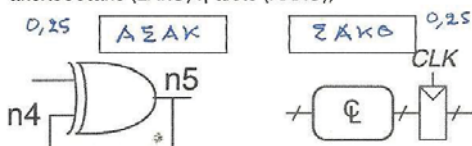
Θέμα 2: Υλοποίηση σε τεχνολογία CMOS (0,5)

Σχεδιάστε ένα σχηματικό διάγραμμα στο επίπεδο CMOS για τη σύνθετη πύλη της παρακάτω εικόνας.



Θέμα 3: Συνδυαστική και ακολουθιακή λογική (0,5)

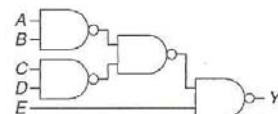
Ποια από τα παρακάτω κυκλώματα είναι: συνδυαστικό (ΣΥΝΔ), ασύγχρονο ακολουθιακό (ΑΣΑΚ), σύγχρονο ακολουθιακό (ΣΑΚΟ) ή άλλο (ΑΛΛΟ);



Καθηγητής Πασχάλης Αντώνης

Θέμα 4: Μέθοδος ώθησης φυσαλίδων (1,0)

Με χρήση του Θ. De Morgan ξανασχεδιάστε το κύκλωμα της εικόνας έτσι ώστε να φαίνονται οι εξισώσεις Boole με απλή οπτική εξέταση ως άθροισμα γινομένων.

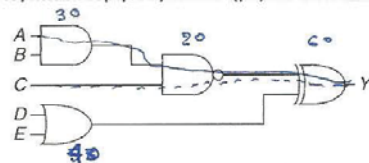


$$Y = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D}) + \bar{E}$$

$$= \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{A}\bar{D} + \bar{B}\bar{D} + \bar{E}$$

Θέμα 5: Χρονισμός συνδυαστικής λογικής (1,0)

Υπολογίστε τις καθυστερήσεις διάδοσης t_{pd} και μόλυνσης t_{cd} του κυκλώματος της παραπάνω εικόνας. Χρησιμοποιήστε τις καθυστερήσεις πυλών (ps) του πίνακα.



Πύλη	t_{pd}	t_{cd}	Πύλη	t_{pd}	t_{cd}
NOT	15	10	XOR-2	60	40
NAND-2	20	15	AND-2	30	25
NAND-3	30	25	AND-3	40	30
NOR-2	30	25	OR-2	40	30
NOR-3	45	35	OR-3	55	45

$$t_{pd} = t_{pdAND} + t_{pdNAND} + t_{pdXOR} = 30 + 20 + 60 = 110 \text{ ns}$$

$$t_{cd} = t_{cdNAND} + t_{cdXOR} = 15 + 40 = 55 \text{ ns}$$

Θέμα 6: Ψηφιακά δομικά στοιχεία (0,5)

Πώς αποθηκεύει δεδομένα η μνήμη PROM και τί συμβαίνει κατά τον προγραμματισμό της;

Η αποθήκευση δεδομένων βασίζεται στην παρουσία μιας αεργάλας μεταξύ του τρανζίστορ και της σχίσσης. Κατά τον προγραμματισμό υψηλές τάσεις και χρόνος απλοποιούνται αεργάλας που απλοποιούνται αεργάλας.

Θέμα 7: Σχεδίαση συνδυαστικής λογικής - VHDL (2,25)

Στο πλαίσιο της σχεδίασης του κυκλώματος με εισόδους A, B, C, D και εξόδους X, Y, του οποίου η συμπεριφορά περιγράφεται σε VHDL με δύο δομές process ως εξής::

```
U1: process (A,B,C,D) begin
    if ((A = '1') and (B /= C))
        then X <= '1';
    elsif ((A = '0') and (B = C))
        then X <= '1';
    else X <= '0'; end if;
end process;
```

```
U2: process (A,B,C,D) begin
    if ((A = B) and (C = D)) then Y <= '1';
    else Y <= '0'; end if;
end process;
```

7.1 Να συμπληρώσετε τον πίνακα αλήθειας.

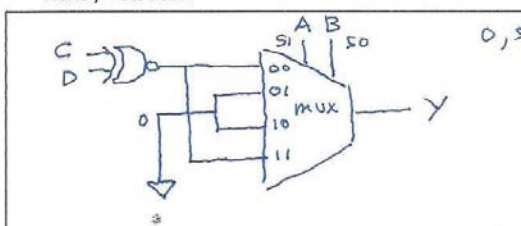
A	B	C	D	X	Y	A	B	C	D	X	Y
0	0	0	0	1	1	1	0	0	0	0	0
0	0	0	1	1	0	1	0	0	1	0	0
0	0	1	0	0	0	1	0	1	0	1	0
0	0	1	1	0	1	1	0	1	1	1	0
0	1	0	0	0	0	1	1	0	0	1	1
0	1	0	1	0	0	1	1	0	1	1	0
0	1	1	0	1	0	1	1	1	0	0	0
0	1	1	1	1	0	1	1	1	1	0	1

7.2 Να βρείτε την ελαχιστοποιημένη εξίσωση Boolean της συνάρτησης X με K-map ως άθροισμα γινομένων. Στη συνέχεια, να αποδείξετε αλγεβρικά πως μειώνεται το υλικό με τη χρήση πυλών XOR/XNOR

AB	CD	00	01	11	10
00		1	0	1	0
01		1	0	1	0
11		0	1	0	1
10		0	1	0	1

$$\begin{aligned}
 X &= \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C \\
 &= \bar{A}(\bar{B}\bar{C} + BC) + A(\bar{B}\bar{C} + \bar{B}C) \\
 &= \bar{A}(\bar{B} \oplus C) + A(\bar{B} \oplus C) \\
 &= \bar{A} \oplus B \oplus C
 \end{aligned}$$

7.3 Να υλοποιήσετε τη συνάρτηση Y με τη χρήση ενός πολυπλέκτη 4 σε 1 με εισόδους επιλογής A, B και πύλες 2 εισόδων



Θέμα 8: Το A-B Flip-Flop - VHDL (2,0)

Δίδεται ο πίνακας λειτουργιών του A-B Flip-Flop.

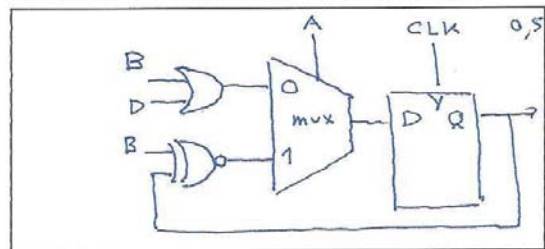
8.1 Να δοθεί η εξίσωση Boolean με τη χρήση του K-map και να απλοποιηθεί αλγεβρικά, ώστε να προκύπτει η χρήση του πολυπλέκτη 2 σε 1 και της πύλης XOR.

AB	Λειτουργία
00	LOAD
01	SET
10	TOGGLE
11	HOLD

D Q(t)	00	01	11	10
00	0	1	0	1
01	0	1	1	0
11	1	1	1	0
10	1	1	0	1

$$\begin{aligned}
 Q(t+1) &= \bar{A}D + \bar{A}B + ABQ(t) + A\bar{B}\bar{Q}(t) \\
 &= \bar{A}(B+D) + A(\bar{B}Q(t) + B\bar{Q}(t)) \\
 &= \bar{A}(B+D) + A(B \oplus Q(t))
 \end{aligned}$$

8.2 Να δώσετε το σχηματικό διάγραμμα του A-B F/F.

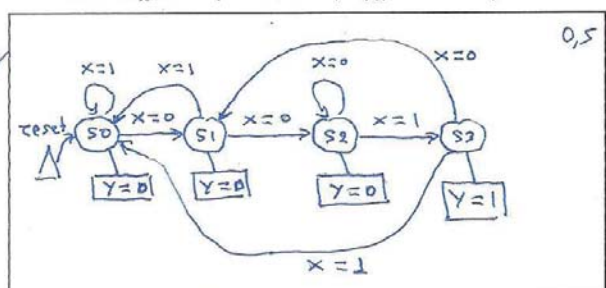


8.3 Να συμπληρώσετε στη VHDL την αρχιτεκτονική του.

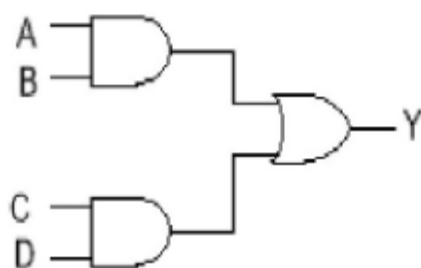
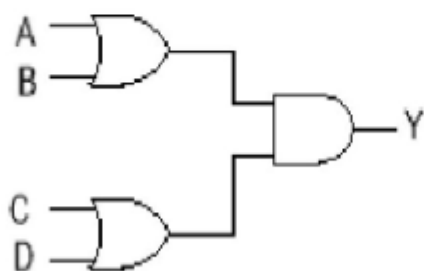
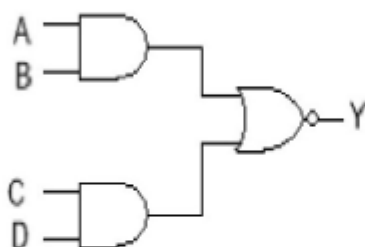
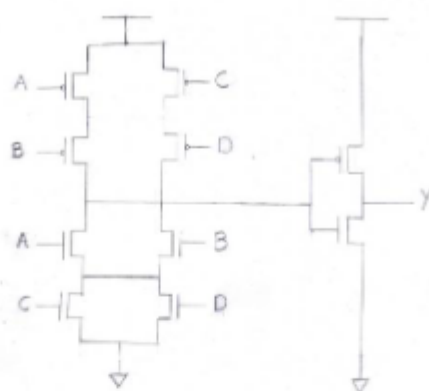
```
architecture BEHAVIORAL of ABFF is
    signal Q in: STD_LOGIC;
begin
    process (CLK) begin
        if (CLK = '1' and CLK'event) then
            Q in <= ((not A) and (B or D)) or
                    (A and (B xor Q_in));
        end if;
    end process;
    Q <= Q in;
end BEHAVIORAL;
```

Θέμα 9: Διάγραμμα Καταστάσεων (0,75)

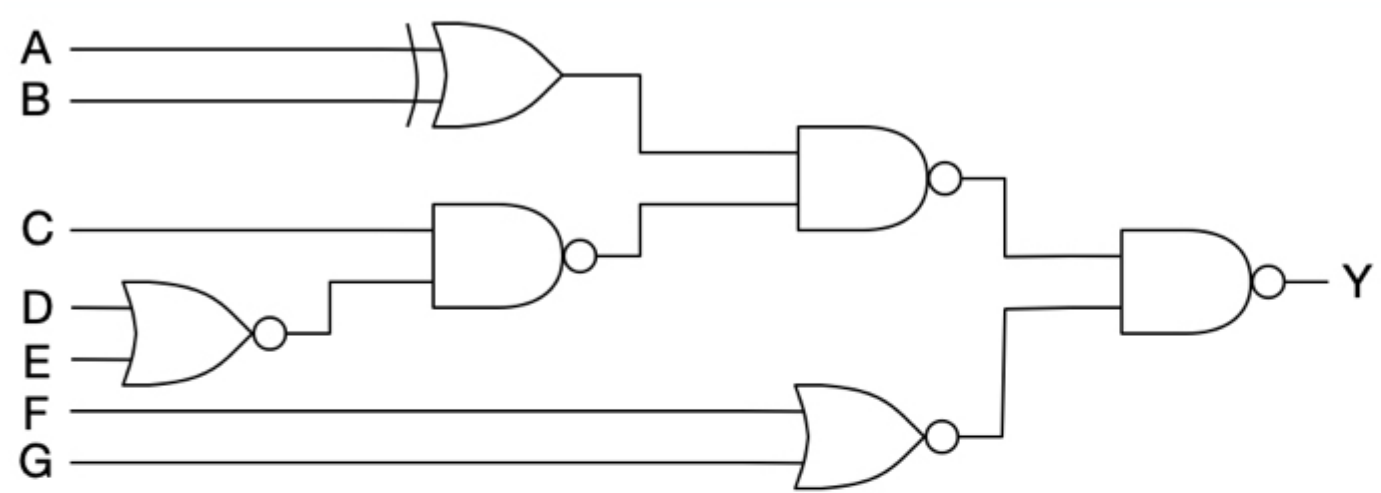
Να σχεδιάσετε το διάγραμμα μεταβολής κατάστασης του ανιχνευτή ακολουθίας 3 διαδοχικών ψηφίων 100 με σειριακή είσοδο X και σειριακή έξοδο Y (Y=1 κάθε φορά που ανιχνεύει την ακολουθία). Αρχικοποιείται με Reset.



Επιλέξτε το κύκλωμα που αντιστοιχεί στο παρακάτω διάγραμμα στο επίπεδο CMOS



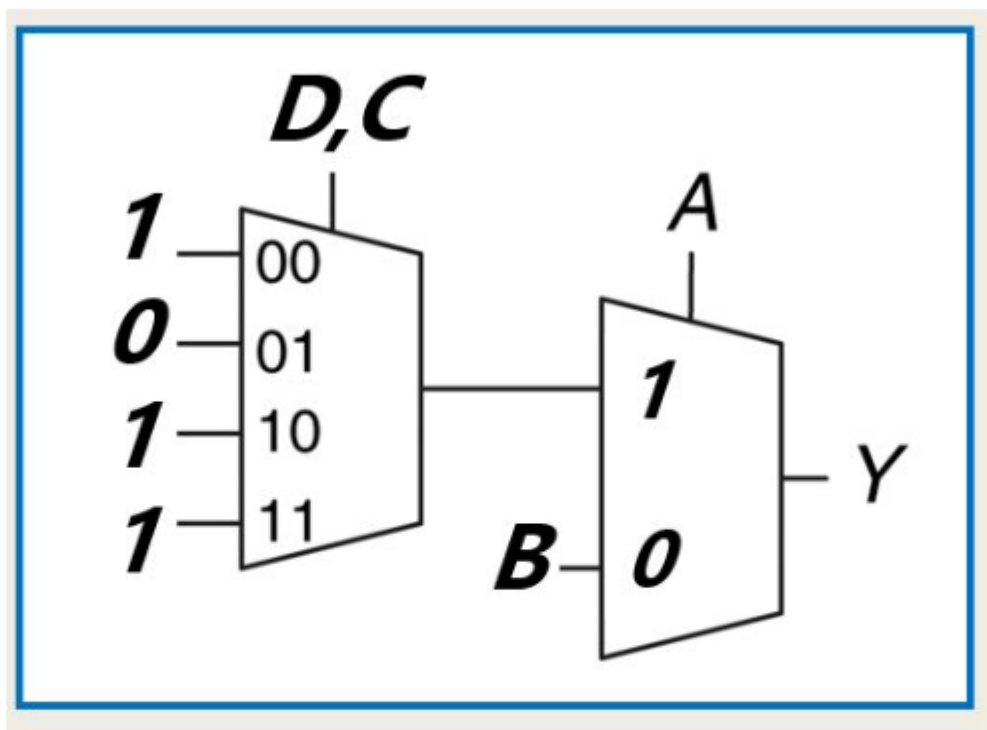
Υπολογίστε τις καθυστερήσεις διάδοσης t_{pd} και μόλυνσης t_{cd} του κυκλώματος της παρακάτω εικόνας και επιλέξτε σωστή απάντηση. Χρησιμοποιήστε τις καθυστερήσεις πυλών (ps) του πίνακα.



Πύλη	t_{pd}	t_{cd}	Πύλη	t_{pd}	t_{cd}
NOT	15	10	XOR-2	60	40
NAND-2	30	25	XNOR-2	50	30
NAND-3	30	25	AND-2	30	25
NOR-2	20	15	AND-3	40	30
NOR-3	45	35	OR-2	40	30

- ☐ $t_{pd} = 150\text{ ps}$ και $t_{cd} = 75\text{ ps}$
- ☐ $t_{pd} = 130\text{ ps}$ και $t_{cd} = 45\text{ ps}$
- ☐ $t_{pd} = 120\text{ ps}$ και $t_{cd} = 40\text{ ps}$
- ☐ $t_{pd} = 110\text{ ps}$ και $t_{cd} = 40\text{ ps}$
- ☐ $t_{pd} = 110\text{ ps}$ και $t_{cd} = 45\text{ ps}$
- ☐ $t_{pd} = 150\text{ ps}$ και $t_{cd} = 50\text{ ps}$

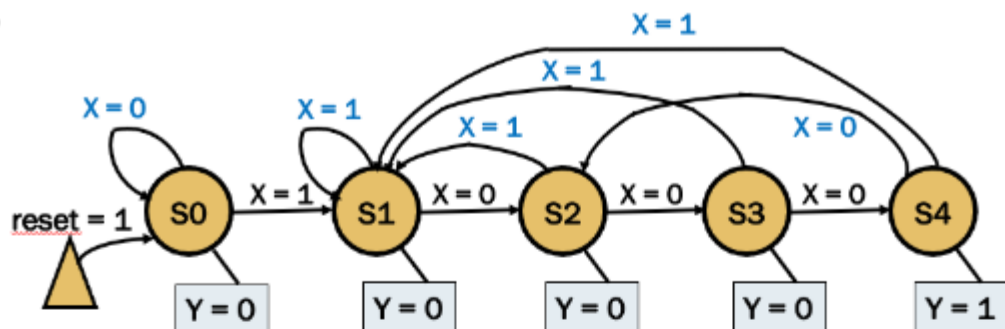
Ποια είναι η σωστή εξίσωση Boole της συνάρτησης Y που υλοποιείται από το κύκλωμα της Εικόνας;



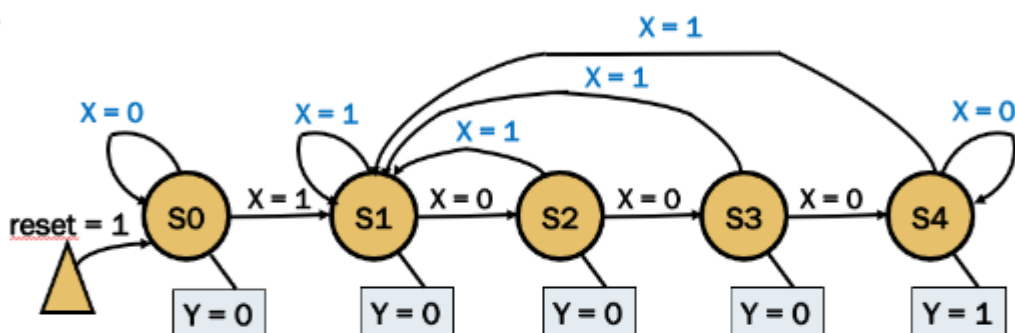
- ☐ $Y = \overline{A}B + AC \overline{D}$
- ☐ $Y = \overline{A}B + A(C + D)$
- ☐ $Y = A \overline{B} + A(C \oplus D)$
- ☐ $Y = \overline{A}B + AD + A \overline{C}$

Επιλέξτε το σωστό διάγραμμα μεταβολής κατάστασης για έναν ανιχνευτή ακολουθίας 4 διαδοχικών ψηφίων 1000.

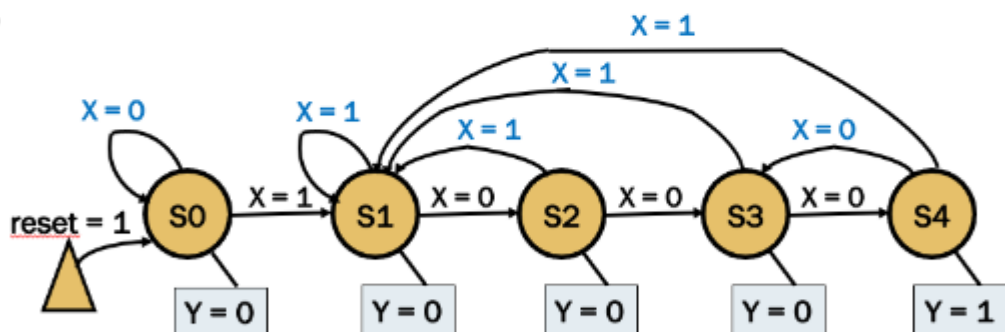
○



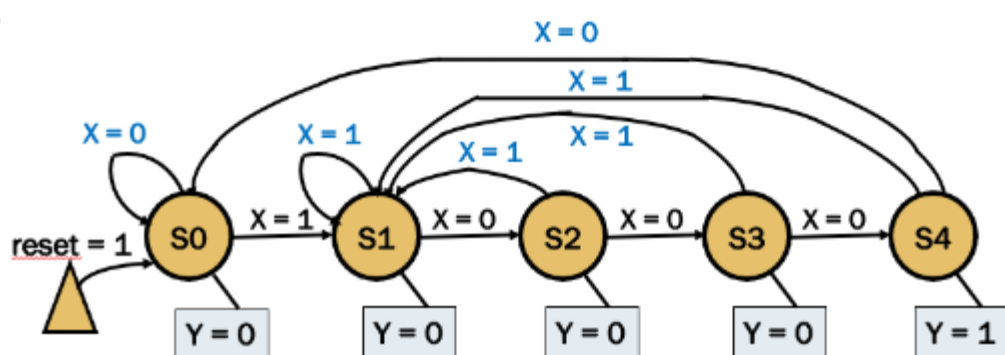
○



○



○



Έστω το ακόλουθο VHDL πρόγραμμα. Επιλέξτε ποια από τις ακόλουθες εντολές θα μπορούσε να είναι έγκυρη εντολή μέσα στο process.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity Exercise is port (
    I1, I2: in STD_LOGIC;
    O:      out STD_LOGIC);
end Exercise;

architecture BEHAVIORAL of Exercise is

    signal S: STD_LOGIC;

begin

    process (I1, I2) is

        variable V : STD_LOGIC;
        begin

            ....

        end process;

    end BEHAVIORAL;
```

- ☐ O := I1 and I2;
- ☐ S := I1 and I2;
- ☒ S <= I1 and I2;
- ☐ S <= I1 and O;